

テクニカル・サマリ  
16-BIT MICROCONTROLLER UNIT

**M68HC16 Family**  
**MC68HC(9)16Y5**  
**MC68HC916Y6**

## 目 次

第1章 はじめに	7
1.1 ピン説明	14
1.2 信号説明	32
1.3 未使用信号	36
1.4 アドレス・マップ	36
1.5 インタモジュール・バス	40
第2章 中央処理ユニット	41
2.1 概要	41
2.2 M68HC11 との互換性	41
2.3 プログラマーズ・モデル	42
2.3.1 コンディション・コード・レジスタ	43
2.4 データ・タイプ	44
2.5 アドレッシング・モード	44
2.6 命令セット	45
2.7 例外	67
2.7.1 例外ベクタ	67
2.7.2 例外スタック・フレーム	68
2.7.3 例外処理シーケンス	68
2.7.4 例外のタイプ	68
2.8 開発サポート	68
2.8.1 フリーズ	69
2.8.2 BDM 接続のピン配置	69
2.8.3 リセット後に BDM に入るメカニズム	69
第3章 ストリームライン・ロー・パワー・インテグレーション・モジュール	70
3.1 概要	70
3.2 システム構成および保護ブロック	73
3.2.1 システム構成	74
3.2.2 システム保護	77
3.2.3 バス・モニタ	79
3.2.4 スプリアス割込みモニタ	79
3.2.5 ホルト・モニタ	79
3.2.6 ソフトウェア・ウォッチドッグ	79
3.2.7 タイマ・セクション	80
3.2.8 リアルタイム・クロック	83
3.2.9 チェーン・モードでの RTC と SWDOG	84
3.2.10 タイマ制御	85
3.3 システム・クロック	87
3.3.1 クロック・ソース	89
3.3.2 クロック・モード	90
3.3.3 クロック・シンセサイザの動作	90
3.3.4 クロック制御	92
3.4 外部バス・インタフェース	94
3.4.1 マスタ・モード	94
3.4.2 アドレス・バス	95
3.4.3 データ・バス	96
3.4.4 バス制御信号	96
3.4.4.1 アドレス・ストローブ	96
3.4.4.2 データ・ストローブ	96
3.4.4.3 サイズ信号	96
3.4.4.4 ファンクション・コード	97
3.4.4.5 リード / ライト信号	97
3.4.4.6 バス・サイクル終了信号	97

3.4.5	データ転送メカニズム	97
3.4.6	オペランドのアライメント	98
3.4.7	オペランドのミスアライメント	98
3.4.8	オペランド転送ケース	98
3.4.9	ロー・パワー・ストップ・モードでの外部バス・インタフェース	99
3.5	リセット	100
3.5.1	リセット・モードの選択	101
3.5.2	リセット時のデフォルト設定を外部ピンより設定	102
3.5.2.1	ポート / クロック構成	104
3.5.3	リセットのタイミング	104
3.5.4	パワー・オン・リセット	106
3.5.5	スリー・ステート制御ピンの使用法	106
3.6	割込み	106
3.6.1	マスタ・モードでの割込みアクノリッジ・サイクル	107
3.6.2	割込み処理の要約	108
3.7	汎用入出力	108
3.7.1	ポート A および B の動作	109
3.7.2	ポート C の動作	110
3.7.3	ポート D の動作	112
3.7.4	ポート E の動作	113
3.7.5	ポート F の動作	114
3.7.6	ポート G および H の動作	117
3.8	チップ・セレクト	119
3.8.1	プログラム可能なチップ・セレクト回路	119
3.8.2	チップ・セレクト構成	120
3.8.3	チップ・セレクト・ピン割当て	120
3.8.4	チップ・セレクト・コントロール・レジスタ	121
3.8.5	チップ・セレクト・ベース・レジスタ	122
3.8.6	オプション・レジスタ	124
3.8.7	ブート ROM チップ・セレクトとブート ROM サブモジュール	127
3.9	工場テスト・ブロック	127
3.9.1	テスト・レジスタ	127
第 4 章	補助チップ・セレクト	128
4.1	概要	128
4.2	ACS グローバル・レジスタ	130
4.3	ACS ベース・アドレス・レジスタ	131
4.4	オプション・レジスタ	132
4.5	システム接続例	135
第 5 章	タイム・プロセッサ・ユニット 2	136
5.1	概要	136
5.2	プログラマーズ・モデル	137
5.3	TPU2 の構成要素	138
5.3.1	タイム・ベース	138
5.3.2	タイマ・チャンネル	138
5.3.3	スケジューラ	138
5.3.4	マイクロエンジン	138
5.3.5	ホスト・インタフェース	138
5.3.6	パラメータ RAM	138
5.4	TPU2 の機能	139
5.4.1	イベントのタイミング	139
5.4.2	チャンネル間通信	139
5.4.3	プログラム可能なチャンネルのサービス優先順位	139
5.4.4	コヒーレンシ	140
5.5	タイマ機能	140
5.5.1	ディスクリート入力 / 出力 (D10)	140
5.5.2	出力コンペア (OC)	140

5.5.3	パルス幅変調 (PWM)	140
5.5.4	同期パルス幅変調 (SPWM)	141
5.5.5	周期 / パルス幅アキュムレータ (PPWA)	141
5.5.6	テーブル・ステッパ・モータ (TSM)	141
5.5.7	新しい入力キャプチャ / トランジション・カウンタ (NITC)	141
5.5.8	キュー付き出力マッチ (QOM)	141
5.5.9	プログラマブル・タイム・アキュムレータ (PTA)	142
5.5.10	マルチチャネル・パルス幅変調 (MCPWM)	142
5.5.11	高速クワドラチャ・デコード (FQD)	142
5.5.12	ユニバーサル非同期レシーバ / トランスミッタ (UART)	142
5.5.13	ブラシレス・モータ転流 (COMM)	142
5.5.14	周波数測定 (FQM)	142
5.5.15	ホール効果デコード (HALLD)	143
5.5.16	シリアル入力 / 出力ポート (SIOP)	143
5.6	TPU2 レジスタ	143
5.6.1	システム・コンフィギュレーション・レジスタ	143
5.6.2	チャネル・コントロール・レジスタ	147
5.6.3	開発サポート・レジスタおよびテスト・レジスタ	149
第 6 章	コンフィギュラブル・タイマ・モジュール 3	150
6.1	概 要	150
6.2	アドレス・マップ	151
6.3	タイム・ベース・バス・システム	154
6.4	カウンタ・サブモジュール用クロック・ソース	156
6.5	バス・インタフェース・ユニット・サブモジュール (BIUSM)	157
6.5.1	BIUSM のレジスタ	157
6.6	カウンタ・プリスケアラ・サブモジュール (CPSM)	159
6.6.1	CPSM のレジスタ	159
6.7	モジュラス・カウンタ・サブモジュール (MCSM)	160
6.7.1	MCSM レジスタ	161
6.8	ダブル・アクション・サブモジュール (DASM)	164
6.8.1	DASM のレジスタ	166
6.9	パルス幅変調サブモジュール (PWMSM)	172
6.9.1	PWM 周波数	173
6.9.2	PWM パルス幅	174
6.9.3	PWM 周期レジスタおよび PWM パルス幅レジスタの値	174
6.9.4	PWM 周期およびパルス幅レジスタ値	174
6.9.5	PWMSM のレジスタ	176
6.10	CTM3 割込み	181
第 7 章	キュー付きアナログ / デジタル・コンバータ・モジュール	183
7.1	概 要	183
7.2	信号説明	185
7.3	QADC のレジスタ	186
7.3.1	グローバル・レジスタ	186
7.3.2	汎用 I/O ポート・レジスタ	188
7.3.3	コントロール・レジスタとステータス・レジスタ	188
7.3.3.1	QADC クロック生成	190
7.3.4	変換コマンド・ワード・テーブル	194
7.3.5	リザルト・ワード・テーブル	197
7.4	キュー・プライオリティの例	198
第 8 章	RAM バッファ付きシリアルペリフェラル・インタフェース	204
8.1	概 要	204
8.1.1	一般的な機能	206
8.1.1.1	マスタまたはスレーブ動作	206
8.1.1.2	半二重および全二重動作	206
8.1.1.3	バイト / ワード送信ワード長	207

8.1.1.4	設定可能な CPU のエンディアン・タイプとデータ・シフト方向	207
8.1.1.5	プログラム可能なワード送信後の遅延時間	207
8.1.2	RSPI RAM とデータ・ポインタ	207
8.1.2.1	RSPI データ RAM	207
8.1.2.2	データ・インデックス・ポインタ	208
8.1.2.3	RSPI RAM の部分的な書込み保護	209
8.1.2.4	ラップアラウンド転送	209
8.1.3	スレーブ・デバイスの選択	209
8.1.3.1	ピン・スレーブ・セレクト・モード	209
8.1.3.2	アドレス・スレーブ・セレクト・モード	210
8.1.4	マルチ・マスタ・サポート (シリアル・バス・マスタ調停)	210
8.1.5	データ・フレーム・モード	210
8.1.5.1	マルチプル・データ・フレーム・モード	210
8.1.5.2	シングル・データ・フレーム・モード	210
8.1.6	パターン生成 / パターン・キャプチャ機能	210
8.1.7	チップ・セレクト・ポート	210
8.1.8	データ保持機能の強化	213
8.1.8.1	フレーミング・エラー検査	213
8.1.8.2	ブロック検査符号 (BCC):LPC/CRC-CCITT/ITU-T	213
8.1.8.3	受信データのマルチポイント・サンプリング	213
8.1.8.4	マスタ・プログラマブル SCK クロック・スキュー	213
8.1.8.5	アクノリッジおよびリトライ機能	213
8.1.9	コマンド転送	214
8.1.9.1	スレーブ・アドレッシング	214
8.1.9.2	マスタ RSPI からのスレーブ・データ・インデックス・ポインタの操作	214
8.1.9.3	マスタ RSPI によるスレーブの状態の監視と変更	214
8.2	RSPI レジスタ	216
8.2.1	グローバル・レジスタ	216
8.2.2	ローカル・レジスタ	218
8.2.2.1	RSPI ピン・コントロール・レジスタ	218
8.2.2.2	RSPI コントロール・レジスタ	219
8.2.2.3	RSPI コマンド・レジスタ	228
8.2.2.4	RSPI データ・インデックス・レジスタ	230
8.2.2.5	RSPI ステータス・レジスタ	232
8.2.2.6	RSPI BCC レジスタ	236
8.2.2.7	RSPI データ・シフト・レジスタとローカル・テスト・レジスタ	236
8.2.2.8	RSPI チップ・セレクト・ピン・コントロール・レジスタ	236
8.2.2.9	RSPI 機能の要約	238
第 9 章	マルチチャネル通信インタフェース	239
9.1	概 要	239
9.2	MCCI レジスタ	240
9.2.1	MCCI グローバル・レジスタ	241
9.2.2	MCCI ピン・コントロール・レジスタ	242
9.3	シリアル・ペリフェラル・インタフェース	243
9.3.1	SPI ピン	243
9.3.2	SPI レジスタ	244
9.3.3	SPI 動作	246
9.4	シリアル通信インタフェース	246
9.4.1	SCI ピン	247
9.4.2	SCI レジスタ	247
9.4.3	SCI の送信側の動作	252
9.4.4	SCI の受信側の動作	252
9.4.5	送信 / 受信の転送レイトの許容誤差	253
第 10 章	マスク ROM モジュール (MC68HC16Y5)	255
10.1	概 要	257
10.2	マスク ROM 制御ブロック	257

10.2.1	ブートストラップ動作	260
第 11 章	フラッシュ EEPROM(MC68HC916Y5)	261
11.1	概 要	261
11.2	フラッシュ EEPROM コントロール・ブロック	264
11.3	フラッシュ EEPROM アレイ	264
11.4	フラッシュ EEPROM レジスタ	265
11.5	フラッシュ EEPROM の動作	268
11.5.1	リセット動作	268
11.5.2	ブートストラップ動作	269
11.5.3	通常動作	269
11.5.4	プログラム / 消去動作	269
11.5.4.1	プログラミング・シーケンス	270
11.5.4.2	消去動作	272
11.5.4.3	シャドウレジスタのリード方法	274
11.5.5	フラッシュ EEPROM 書込み / 消去電圧信号の条件	275
第 12 章	HD フラッシュ EEPROM(MC68HC916Y6)	276
12.1	概 要	276
12.2	HD フラッシュ EEPROM コントロール・ブロック	279
12.3	HD フラッシュ EEPROM アレイ	280
12.4	HD フラッシュ EEPROM レジスタ	280
12.5	HD フラッシュ EEPROM の動作	284
12.5.1	リセット動作	284
12.5.2	ブートストラップ動作	285
12.5.3	通常動作	285
12.5.4	プログラム / 消去動作	285
12.5.4.1	プログラミング・シーケンス	285
12.5.4.2	消去動作	288
12.5.4.3	シャドウレジスタのリード方法	290
12.5.5	HD フラッシュ EEPROM 書込み / 消去電圧信号の条件	291
第 13 章	TPU フラッシュ EEPROM	292
13.1	概 要	292
13.2	TPU フラッシュ EEPROM コントロール・ブロック	293
13.3	TPU フラッシュ EEPROM アレイ	293
13.4	TPU フラッシュ EEPROM レジスタ	294
13.5	TPU フラッシュ EEPROM の動作	297
13.5.1	リセット動作	297
13.5.2	ブートストラップ動作	297
13.5.3	通常動作	298
13.5.4	TPU モード動作	298
13.5.5	プログラム / 消去動作	298
13.5.5.1	プログラミング・シーケンス	299
13.5.5.2	消去動作	301
13.5.5.3	シャドウレジスタのリード方法	303
13.5.6	TPU フラッシュ EEPROM 書込み / 消去電圧信号の条件	304
第 14 章	スタンバイ RAM モジュール	305
14.1	概 要	305
14.2	SRAM レジスタ・ブロック	305
14.3	SRAM のレジスタ	306
第 15 章	ブート ROM	308
15.1	ブート ROM コードの目的	308
15.2	サイズ	308
15.3	特 長	308
15.3.1	初期設定	308

15.3.1.1 CPU レジスタ .....	308
15.3.1.2 オンチップ SRAM .....	308
15.3.1.3 SLIM MCR .....	309
15.3.1.4 SLIM SYNCR(VCO/PLL) .....	309
15.3.1.5 ポート .....	309
15.3.1.6 SLIM SYPCR .....	309
15.3.1.7 チップ・セレクト .....	309
15.3.2 ウォーム・リブート .....	309
15.3.3 オートポー / ホストとの通信 .....	309
15.3.4 コマンド・ループ・ステート・マシンとエラー処理 .....	310
15.3.5 接続例 .....	310
15.3.6 マッピング .....	311
15.3.7 簡単なブート・オペレーション .....	311
15.3.7.1 接 続 .....	311
15.3.7.2 ボー・レートの設定 .....	311
15.3.7.3 プログラムのダウンロード .....	311
15.3.7.4 プログラム・カウンタの設定 .....	311
15.3.7.5 ウォーム・スタート .....	312

---

# 第 1 章 は じ め に

---

MC68HC(9)16Y5/916Y6 は、M68HC11 コアとコード・レベルで上位互換性がある CPU16 を内蔵する 16 ビットのシングルチップ・マイクロコントローラ・ユニット (MCU) です。この MCU は、M68300/68HC16 モジュラ・マイクロコントローラ・ユニット・ファミリのメンバです。

MCU は、16 ビット CPU (CPU16)、ストリームライン・ロー・パワー・インテグレーション・モジュール (SLIM)、4K バイト TPU フラッシュ EEPROM (TPUFLASH) 付きタイマ・プロセッシング・ユニット (TPU2) の機能強化バージョン、コンフィギュラブル・タイマ・モジュール (CTM3)、キュー付きアナログ・デジタル・コンバータ (QADC)、RAM バッファ付き SPI (RSPI)、マルチチャネル通信インタフェース (MCCI)、補助チップ・セレクト (ACS)、164K バイト・フラッシュ EEPROM (FLASH EEPROM 版)/160K バイト ROM (MASK ROM 版)、および 7K バイト・スタンバイ RAM (SRAM/RSPI-RAM) を内蔵しています。

外部バス・サイクルはすべて SLIM によって処理されます。SLIM は、512 バイトのブート ROM、周期割込みタイマ、ウォッチドッグ・タイマ、および 3 つのチップ・セレクトを備えています。ACS モジュールは、外部デバイスのためにさらに 3 つのチップ・セレクト信号を供給します。

TPU2 と CTM3 タイマ・モジュールは、合計 34 本のタイマ・チャンネルを提供します。TPU2 は、マイクロコードで機能をプログラムできるインテリジェントなタイマです。CTM3 チャンネルは、CPU の動作を中断することなく各チャンネルでダブル・イベントを処理できます。

RSPI と MCCI に、2 つのシリアル・ペリフェラル・インタフェース (SPI) と 2 つの非同期型通信インタフェース (SCI) がインプリメントされています。RSPI は、3K バイトの SRAM データを高速同期シリアル・インタフェースを通して高いデータ信頼性を維持しながら転送します。外部デバイスは、RSPI の内部ポインタを更新して、転送するデータ・ブロックを指定することができます。

QADC には、2 つのキュー・ポインタとチャンネル・コントロール・ワードによって制御される 44 個のリザルト・レジスタがあります。16 チャンネルから変換されたデータは、44 個のリザルト・レジスタのいずれかに転送することができます。この方式では、リアルタイム・アプリケーションにおける CPU 割込みも大幅に低減されます。

フラッシュ EEPROM と TPU フラッシュ EEPROM を使用しているため、電氣的消去とプログラミング動作を何回でも実行できます。ユーザはこれらの ROM を利用して、システムの開発中や製造中に、規定最大回数の消去およびプログラム・サイクルを超えないかぎり、いつでもプログラムの内容を更新することができます。

M68HC16 デバイスは PLL を内蔵しており、4 ~ 8MHz の基準周波数 (高速基準モード) または 32.768kHz 基準周波数 (低速基準モード) での動作が可能です。システムのハードウェアおよびソフトウェアによって、動作中にクロック速度を変更できます。

本書に記載する情報は、新製品に関するものです。仕様と情報は予告なしに変更することがあります。

本書ではマイクロコントローラ・ユニット (Microcontroller Unit) を以下 MCU と略し、シリアル・ペリフェラル・インタフェース (Serial Peripheral Interface) を SPI と略します。IMB<sup>®</sup> はモトローラ株式会社の登録商標です。



表 1 注文情報

製品名	パッケージ・タイプ	周波数 (MHz)	温 度	注文番号
MC68HC16Y5	プラスチック表面実装	20.00	-40 ~ +105	MC68HC16Y5VFT20
		25.00	-40 ~ +105	MC68HC16Y5VFT25
MC68HC916Y5	プラスチック表面実装	20.00	-40 ~ +105	MC68HC916Y5VFT20
		25.00	-40 ~ +105	MC68HC916Y5VFT25
MC68HC916Y6	プラスチック表面実装	20.00	-40 ~ +105	MC68HC916Y6VFT20
		25.00	-40 ~ +105	MC68HC916Y6VFT25

### 参考資料

CPU16 セントラル・プロセッサ・ユニット・リファレンス・マニュアル (CPU16RMJ/AD)

TPU リファレンス・マニュアル (TPURMJ/AD)

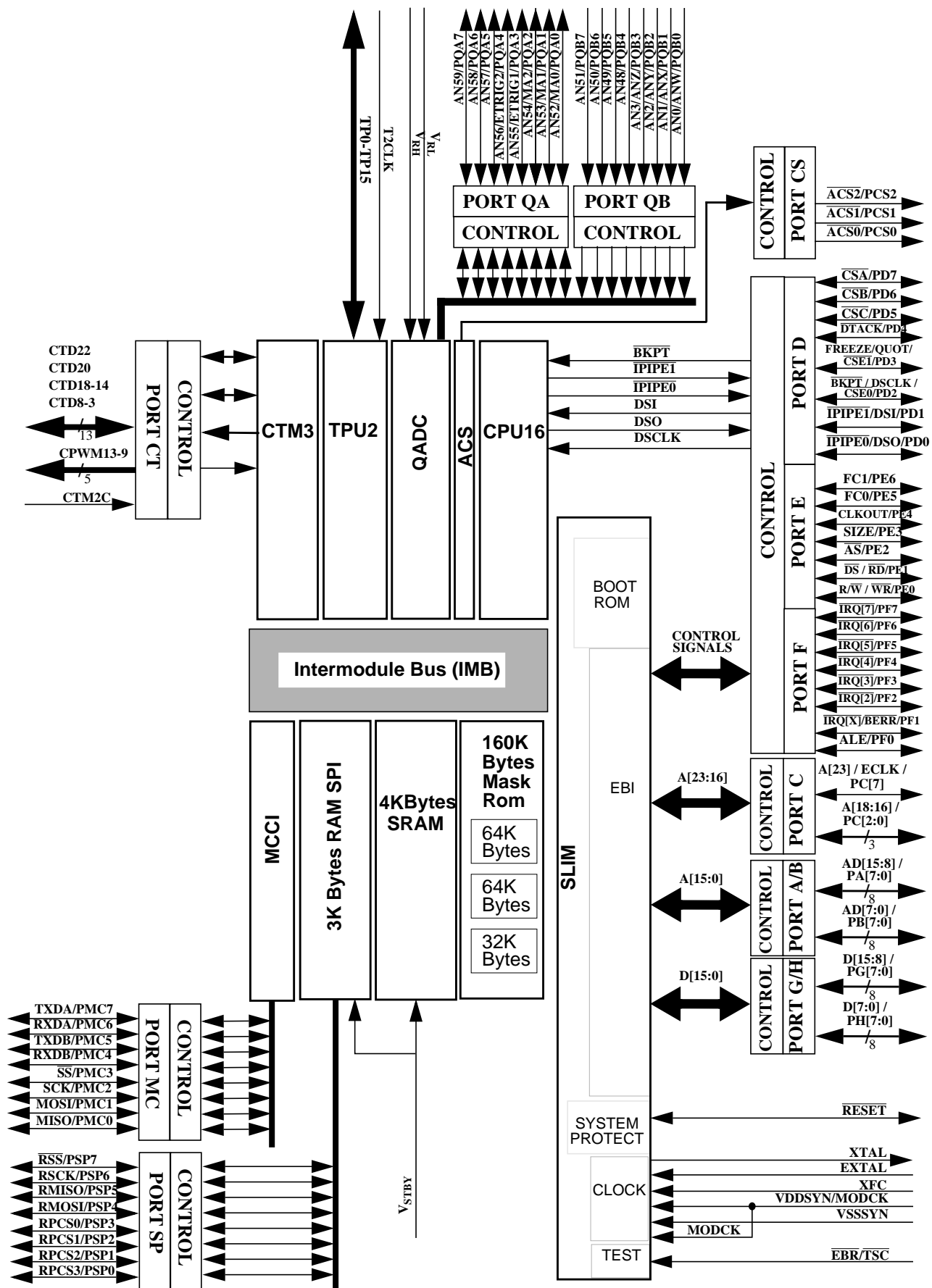
CTM ユーザーズ・マニュアル (CTMRMJ/D)

QADC リファレンス・マニュアル (QADCRMJ/AD)

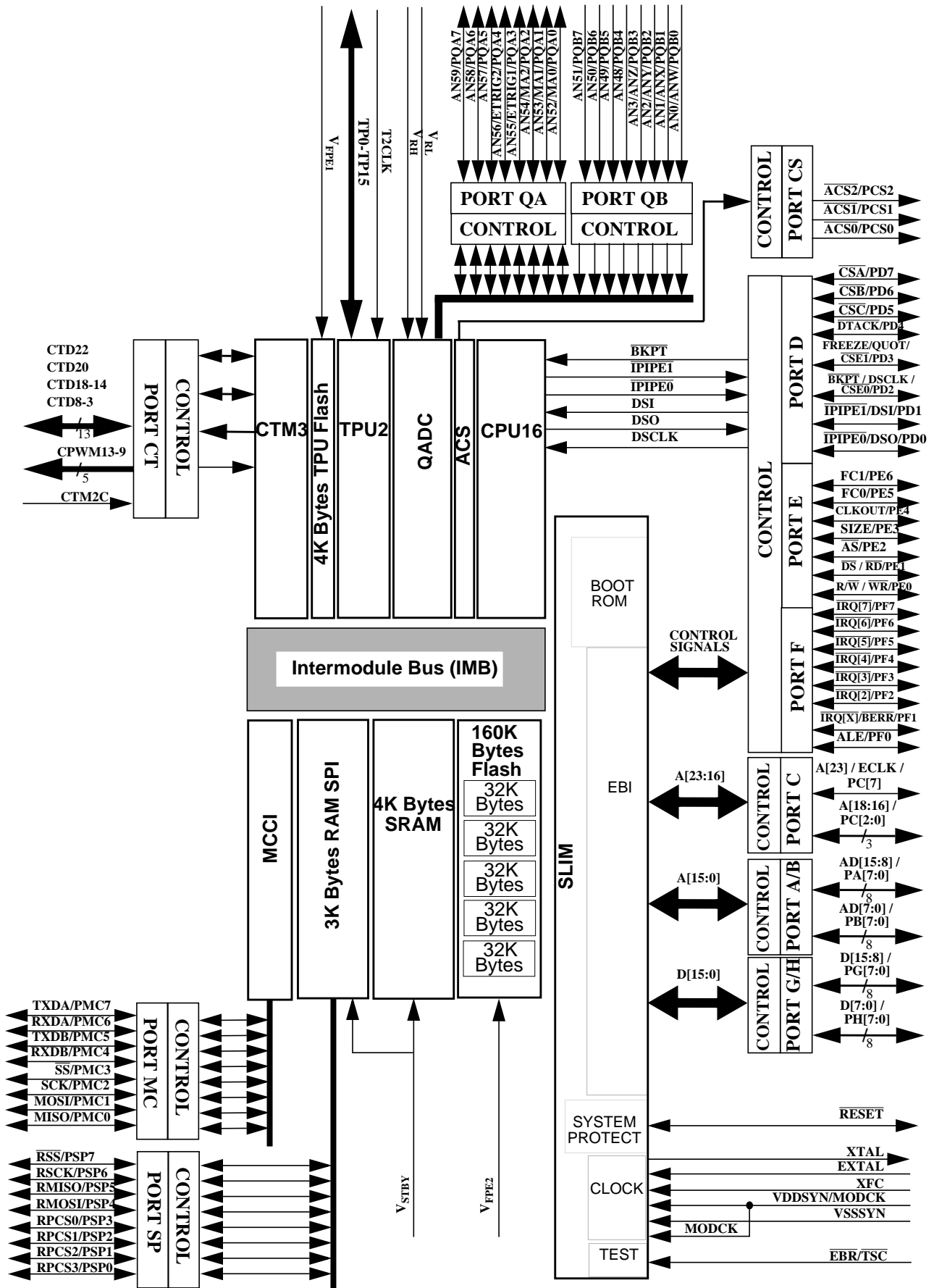
MCCI リファレンス・マニュアル (MCCIRM/AD)

## 特長

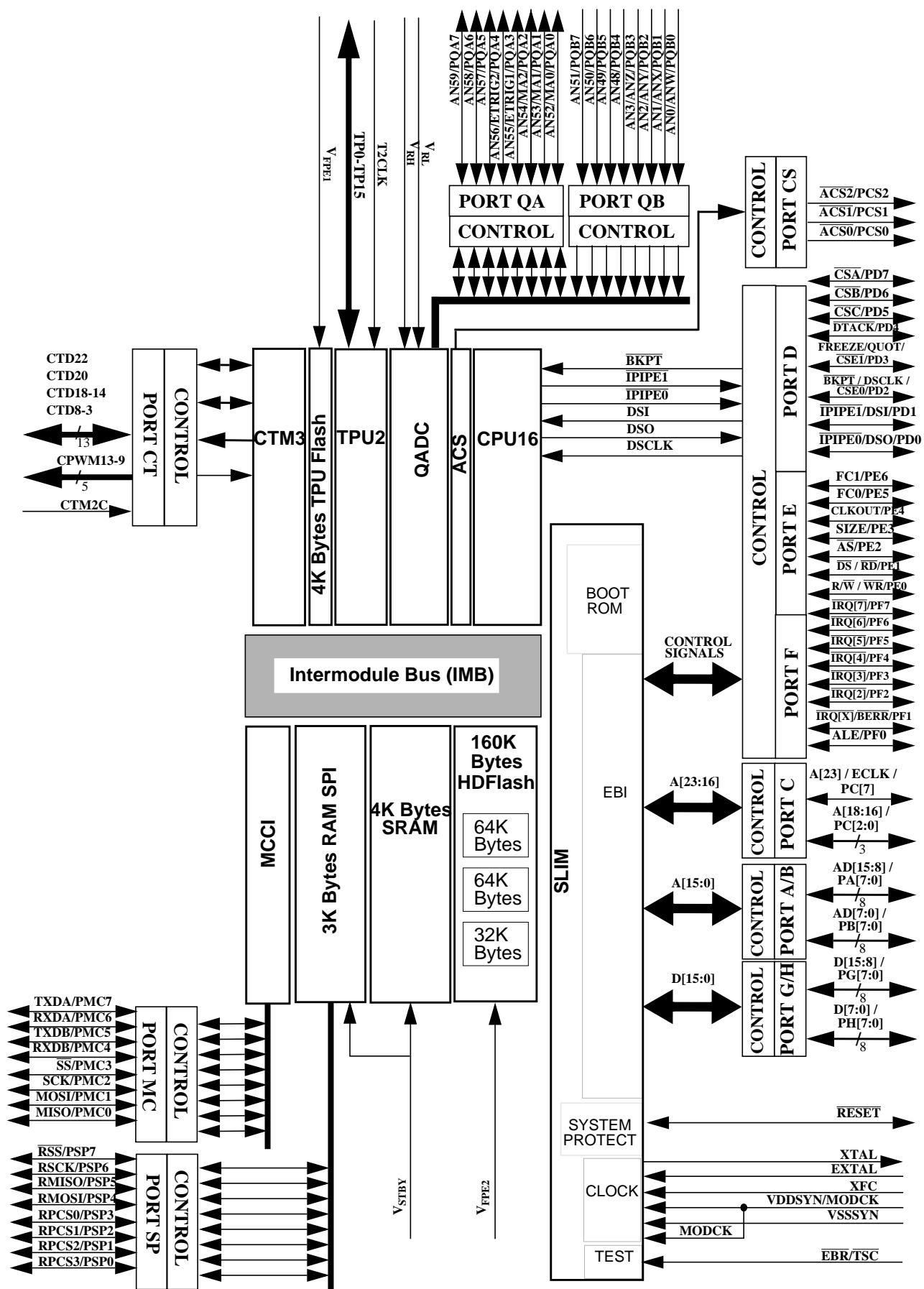
- ・ 中央処理ユニット (CPU16)
  - 16 ビット・アーキテクチャ
  - フルセットの 16 ビット命令
  - 3 個の 16 ビット・インデックス・レジスタ
  - 2 個の 16 ビット・アキュムレータ
  - 制御を主体とするデジタル信号処理機能
  - 高級言語のサポート
  - 高速割込み応答時間
  - バックグラウンド・デバッグ・モード
- ・ ストリームライン・ロー・パワー・インテグレーション・モジュール (SLIM)
  - シングルチップまたは多重化外部バス・サポート
  - 3 つのプログラム可能なチップ・セレクト出力
  - 512 バイト・ブート ROM
  - システム保護ロジック (改善された発振器消失保護、ウォッチドッグ・タイマ、およびバス・モニタを含む)
  - シャドウ・レジスタからの自動構成
  - システム・クロック用オンチップ・フェーズロックド・ループ (PLL) により、高速基準モードをサポート
- ・ 補助チップ・セレクト (ACS)
  - 16 ビット非多重化バス用の 3 つの追加チップ・セレクト
- ・ 4K バイト・フラッシュ EEPROM (TPUFLASH) 付きタイマ・プロセッサ・ユニット 2 (TPU2)
  - 16 チャンネル
  - 各チャンネルは、4K バイトの  $\mu$  コード ROM にストアされたタイマ機能を実行可能
  - TPUFLASH には、開発時のタイマ機能デバッグ用  $\mu$  コードを格納
- ・ コンフィギュラブル・タイマ・モジュール 3 (CTM3)
  - 4 つのモジュラス・カウンタ・サブモジュール (MCSM)
  - 5 つの PWM サブモジュール (PWMSM)
  - 13 個のダブル・アクション・サブモジュール (DASM)
  - 外部クロック入力
- ・ キュー付きアナログ - デジタル・コンバータ (QADC)
  - 2 つの外部トリガ付きの 16 本のアナログ・チャンネル
  - 2 つの変換コマンド・キューで制御される 44 個のリザルト・レジスタ
- ・ RAM バッファ付きシリアル・ペリフェラル・インタフェース (RSPI)
  - 3K バイトの RAM バッファ
  - 送信および受信用の Start/End/Current データ・ポインタ
  - ブロック・データ転送のための CRC または水平パリティ・チェック
- ・ シリアル I/O モジュール (MCCI)
  - 2 チャンネルの高性能 SCI (UART)
  - 1 チャンネルの SPI
- ・ 160K バイト・マスク ROM (64K バイト  $\times$  2 / 32K バイト の構成) : MC68HC16Y5 のみ
- ・ 160K バイト・フラッシュ EEPROM (32K バイト  $\times$  5 の構成) : MC68HC916Y5 のみ
- ・ 160K バイト・フラッシュ EEPROM (64K バイト  $\times$  2 / 32K バイト の構成) : MC68HC916Y6 のみ
- ・ 4K バイト TPU フラッシュ EEPROM (TPU FLASH) : MC68HC916Y5/MC68HC916Y6
  - 1K バイト・ブロックごと消去可能
  - TPU2  $\mu$  コード ROM エミュレーションまたは通常動作に使用可能
- ・ 7K バイト・スタンバイ RAM (SRAM の 4K バイト / RSPI RAM の 3K バイト)
  - 各々任意の 4K バイト境界へマップ可能
  - 外部からのスタンバイ電圧供給とパワーダウン・ステータス・フラグ
  - RSPI から直接アクセス可能な 3K バイトの RSPI SRAM



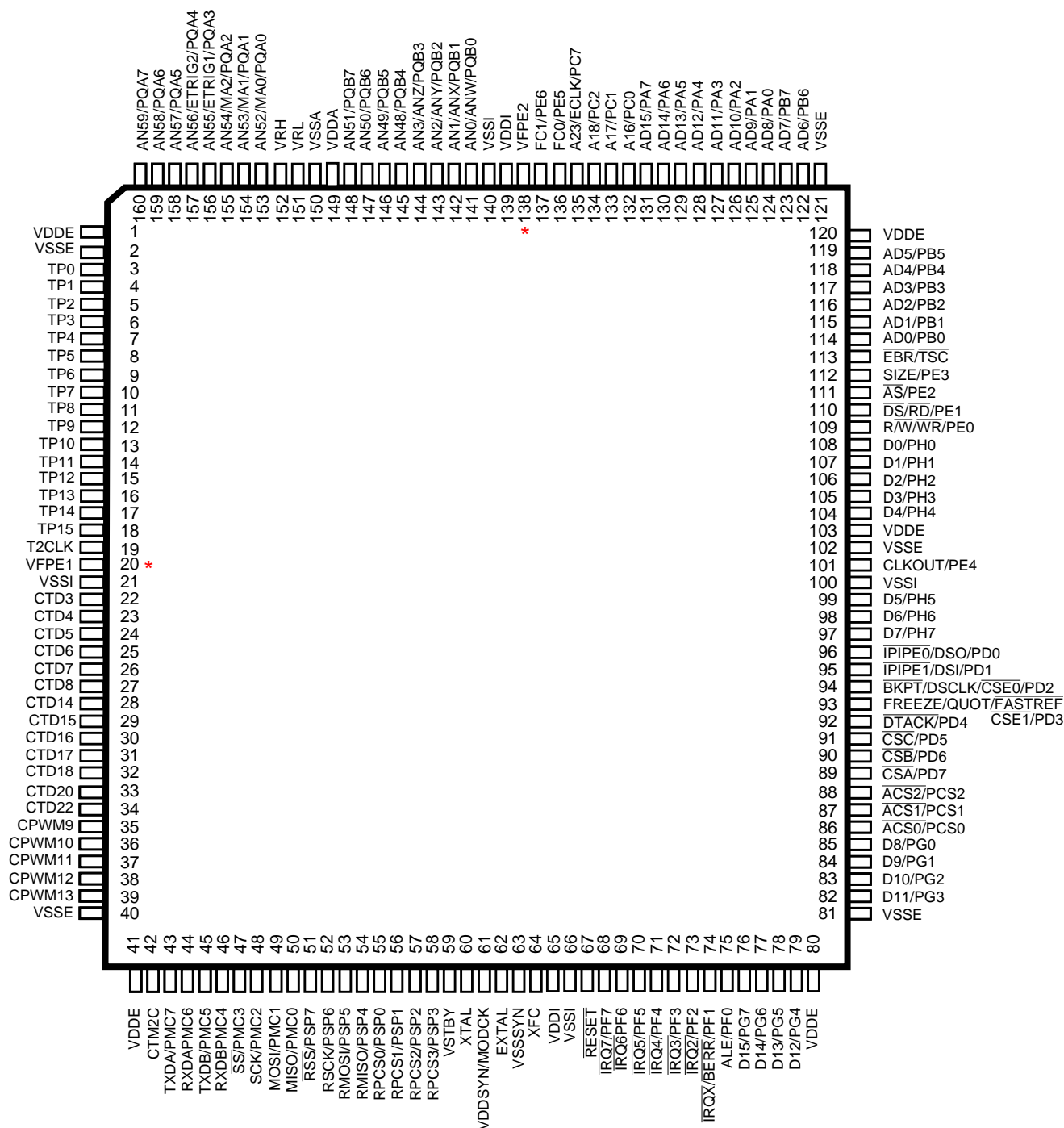
1(a) MC68HC16Y5



1(b) MC68HC916Y5



1(c) MC68HC916Y6



\* 注: pin 20(VFPE1) と 138(VFPE2) は  
MC68HC16Y5 において未接続です。

図 2 MC68HC(9)16Y5/916Y6 の 160 ピン QFP のピン配置

## 1.1 ピン説明

以下の表に MCU ピンの特性を示します。すべての入力は CMOS 論理レベルを使用しています。また、すべての出力はハイ・インピーダンス状態に置くことができますが、これを行なう方法は、ピンの機能によって異なります。出力ドライバの説明は、ドライバ・タイプの表を参照してください。ピン特性表のディスクリート I/O 欄は、そのピンに別の機能があるかどうかを示します。ポート名は該当するものだけを記載しています。ポート構成については、MCU ブロック図を参照してください。

表 2 ピン特性

ピンのニモニック	出力ドライバ	入力同期化	入力ヒステリシス	ディスクリート I/O	ポート名
A23/ECLK	Aw	Note <sup>1</sup>	Y	I/O	PC7
A[18:16]	Aw	Note <sup>1</sup>	Y	I/O	PC[2:0]
$\overline{\text{ACS}}[2:0]$	A	-	-	0	PCS[2:0]
AD[15:8]	Aw	Note <sup>1</sup>	Y	I/O	PA[7:0]
AD[7:0]	Aw	Note <sup>1</sup>	Y	I/O	PB[7:0]
ALE	A	Note <sup>1</sup>	N	I/O	PF0
AN[3:0]/AN[Z,Y,X,W]	-	Y	Y	I	PQB[3:0]
AN[51:48]	-	Y	Y	I	PQB[7:4]
AN[54:52]	A	Y	Y	I/O	PQA[2:0]
AN[59:55]	Ba	Y	Y	I/O	PQA[7:3]
$\overline{\text{AS}}$	Bw	Note <sup>1</sup>	Y	I/O	PE2
$\overline{\text{BKPT}}/\overline{\text{DSCLK}}/\overline{\text{CSE0}}$	Aw	Note <sup>1</sup>	Y	I/O	PD2
CLKOUT	A	Note <sup>1</sup>	N	I/O	PE4
$\overline{\text{CSA}}$	Aw	Note <sup>1</sup>	N	I/O	PD7
$\overline{\text{CSB}}$	B	Note <sup>1</sup>	N	I/O	PD6
$\overline{\text{CSC}}$	Aw	Note <sup>1</sup>	N	I/O	PD5
CPWM[13:9]	A	-	-	0	-
CTD[22]/[20]/ [18:14]/[8:3]	A	Y	Y	I/O	-
CTM2C	-	Y	Y	I	-
D[15:8]	A	Note <sup>1</sup>	Y	I/O	PG[7:0]
D[7:0]	A	Note <sup>1</sup>	Y	I/O	PH[7:0]
$\overline{\text{DS}}/\overline{\text{RD}}$	Bw	Note <sup>1</sup>	Y	I/O	PE1
$\overline{\text{DTACK}}$	B	Note <sup>1</sup>	Y	I/O	PD4
$\overline{\text{EBR}}/\overline{\text{TSC}}$	-	y <sup>3</sup>	Y	-	-
EXTAL <sup>2</sup>	-	-	Note <sup>2</sup>	-	-
FC[1:0]	Aw	Note <sup>1</sup>	Y	I/O	PE[6:5]
$\overline{\text{FREEZE}}/\overline{\text{CSE1}}$	Aw	Note <sup>1</sup>	N	I/O	PD3

表 2 ピン特性 ( 続き )

ピンのニーマニック	出力ドライバ	入力同期化	入力ヒステリシス	ディスクリート I/O	ポート名
$\overline{\text{IPIPE1}}/\text{DSI}$	Aw	Y	Y	I/O	PD1
$\overline{\text{IPIPE0}}/\text{DS0}$	A	-	Y	I/O	PD0
$\overline{\text{IRQX}}/\text{BERR}$	Bw	Y	Y	I/O	PF1
$\overline{\text{IRQ}}[7:2]$	Bw	Y	Y	I/O	PF[7:2]
MISO	Bo	Note <sup>1</sup>	Y	I/O	PMC0
MOSI	Bo	Note <sup>1</sup>	Y	I/O	PMC1
$\overline{\text{RESET}}$	Bo	Y	Y	-	-
RMISO	Bo	Note <sup>1</sup>	Y	I/O	PSP5
RMOSI	Bo	Note <sup>1</sup>	Y	I/O	PSP4
RPCS[3:0]	Bo	Y	Y	I/O	PSP[3:0]
RSCK	Bo	Note <sup>1</sup>	Y	I/O	PSP6
$\overline{\text{RSS}}$	Bo	Note <sup>1</sup>	Y	I/O	PSP7
$\overline{\text{R}}/\overline{\text{W}}/\overline{\text{WR}}$	Bw	Note <sup>1</sup>	Y	I/O	PE0
RXDA	Bo	Y	Y	I/O	PMC6
RXDB	Bo	Y	Y	I/O	PMC4
SCK	Bo	Note <sup>1</sup>	Y	I/O	PMC2
SIZE	Bw	-	Y	I/O	PE3
$\overline{\text{SS}}$	Bo	Note <sup>1</sup>	Y	I/O	PMC3
T2CLK	A	Y	Y	-	-
TP[15:0]	A	Y	Y	-	-
TXDA	Bo	Y	Y	I/O	PMC7
TXDB	Bo	Y	Y	I/O	PMC5
XFC	-	-	-	-	-
XTAL	-	-	-	-	-

- 注： 1. 同期入力、デジタル I/O ピンとして構成した場合にだけ使用されます。  
 2. PLL がイネーブルされた場合にヒステリシスが与えられます。  
 3. 非同期入力を、外部バス要求 ( EBR ) 機能に使用します。



表 3(a) シングル・チップ・モード・ピン・コンディション

ピン	ピン名	シングル・チップ・モード (DSI=1,MCRM[11:9]=%111)	
		リセット中のコンディション	リセット後のコンディション
1	VDDE	(Power)	
2	VSSE	(GND)	
3	TP0	Hi Z (disable)	Hi Z (for input)
4	TP1	Hi Z (disable)	Hi Z (for input)
5	TP2	Hi Z (disable)	Hi Z (for input)
6	TP3	Hi Z (disable)	Hi Z (for input)
7	TP4	Hi Z (disable)	Hi Z (for input)
8	TP5	Hi Z (disable)	Hi Z (for input)
9	TP6	Hi Z (disable)	Hi Z (for input)
10	TP7	Hi Z (disable)	Hi Z (for input)
11	TP8	Hi Z (disable)	Hi Z (for input)
12	TP9	Hi Z (disable)	Hi Z (for input)
13	TP10	Hi Z (disable)	Hi Z (for input)
14	TP11	Hi Z (disable)	Hi Z (for input)
15	TP12	Hi Z (disable)	Hi Z (for input)
16	TP13	Hi Z (disable)	Hi Z (for input)
17	TP14	Hi Z (disable)	Hi Z (for input)
18	TP15	Hi Z (disable)	Hi Z (for input)
19	T2CLK	Hi Z (disable)	Hi Z (for input)
20	VFPE1	(Power)	
21	VSSI	(GND)	
22	CTD3	Hi Z (disable)	Hi Z (for input)
23	CTD4	Hi Z (disable)	Hi Z (for input)
24	CTD5	Hi Z (disable)	Hi Z (for input)
25	CTD6	Hi Z (disable)	Hi Z (for input)
26	CTD7	Hi Z (disable)	Hi Z (for input)
27	CTD8	Hi Z (disable)	Hi Z (for input)
28	CTD14	Hi Z (disable)	Hi Z (for input)
29	CTD15	Hi Z (disable)	Hi Z (for input)
30	CTD16	Hi Z (disable)	Hi Z (for input)
31	CTD17	Hi Z (disable)	Hi Z (for input)
32	CTD18	Hi Z (disable)	Hi Z (for input)
33	CTD20	Hi Z (disable)	Hi Z (for input)
34	CTD22	Hi Z (disable)	Hi Z (for input)
35	CPWM9	Hi Z (output only)	Low drive
36	CPWM10	Hi Z (output only)	Low drive
37	CPWM11	Hi Z (output only)	Low drive
38	CPWM12	Hi Z (output only)	Low drive
39	CPWM13	Hi Z (output only)	Low drive
40	VSSE	(GND)	
41	VDDE	(Power)	
42	CTM2C	Hi Z (disable)	Hi Z (for input)
43	TXDA/PMC7	Hi Z (disable)	Hi Z (for input port)
44	RXDA/PMC6	Hi Z (disable)	Hi Z (for input port)
45	TXDB/PMC5	Hi Z (disable)	Hi Z (for input port)
46	RDXB/PMC4	Hi Z (disable)	Hi Z (for input port)

表 3(a) シングル・チップ・モード・ピン・コンディション ( 続き )

ピン	ピン名	シングル・チップ・モード (DSI=1, MCRM[11:9]=%111)	
		リセット中のコンディション	リセット後のコンディション
47	SS/PMC3	Hi Z (disable)	Hi Z (for input port)
48	SCK/PMC2	Hi Z (disable)	Hi Z (for input port)
49	MOSI/PMC1	Hi Z (disable)	Hi Z (for input port)
50	MISO/PMC0	Hi Z (disable)	Hi Z (for input port)
51	RSS/PSP7	Hi Z (disable)	Hi Z (for input port)
52	RSCK/PSP6	Hi Z (disable)	Hi Z (for input port)
53	RMOSI/PSP5	Hi Z (disable)	Hi Z (for input port)
54	RMISO/PSP4	Hi Z (disable)	Hi Z (for input port)
55	RPCS0/PSP0	Hi Z (disable)	Hi Z (for input port)
56	RPCS1/PSP1	Hi Z (disable)	Hi Z (for input port)
57	RPCS2/PSP2	Hi Z (disable)	Hi Z (for input port)
58	RPCS3/PSP3	Hi Z (disable)	Hi Z (for input port)
59	VSTBY	(Power)	
60	XTAL	(Clock)	
61	VDDSYN/MODCK	(Power)	
62	EXTAL	(Clock)	
63	VSSSYN	(GND)	
64	XFC	(Clock filter)	
65	VDDI	(Power)	
66	VSSI	(GND)	
67	RESET	(RESET)	
68	IRQ7/PF7	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
69	IRQ6/PF6	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
70	IRQ5/PF5	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
71	IRQ4/PF4	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
72	IRQ3/PF3	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
73	IRQ2/PF2	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
74	IRQX/BERR/PF1	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
75	ALE/PF0	Hi Z (for input)	Hi Z (for input port)
76	D15/PG7	Hi Z (for input)	Hi Z (for input port)
77	D14/PG6	Hi Z (for input)	Hi Z (for input port)
78	D13/PG5	Hi Z (for input)	Hi Z (for input port)
79	D12/PG4	Hi Z (for input)	Hi Z (for input port)
80	VDDE	(Power)	
81	VSSE	(GND)	
82	D11/PG3	Hi Z (for input)	Hi Z (for input port)
83	D10/PG2	Hi Z (for input)	Hi Z (for input port)
84	D9/PG1	Hi Z (for input)	Hi Z (for input port)
85	D8/PG0	Hi Z (for input)	Hi Z (for input port)
86	$\overline{\text{ACS0}}$ /PCS0	High drive	Drive for $\overline{\text{CS}}$
87	$\overline{\text{ACS1}}$ /PCS1	High drive	Drive for $\overline{\text{CS}}$
88	$\overline{\text{ACS2}}$ /PCS2	High drive	Drive for $\overline{\text{CS}}$
89	$\overline{\text{CSA}}$ /PD7	Pull up	Hi Z (for input port)
90	$\overline{\text{CSB}}$ /PD6	Hi Z (for input)	Hi Z (for input port)
91	$\overline{\text{CSC}}$ /PD5	Pull up	Hi Z (for input port)
92	$\overline{\text{DTACK}}$ /PD4	Hi Z (for input)	Hi Z (for input port)
93	FREEZE/QUOT/FASTREF/ CSE1/PD3	Pull up (if BKPT=1)	Hi Z (for input port) (if BKPT=1)
		Low drive (if BKPT=0)	Drive for FREEZE (if BKPT=0)

表 3(a) シングル・チップ・モード・ピン・コンディション ( 続き )

ピン	ピン名	シングル・チップ・モード (DSI=1,MCRM[11:9]=%111)	
		リセット中のコンディション	リセット後のコンディション
94	BKPT/DSCLK/CSE0/PD2	Pull up	Hi Z (for input port) (if BKPT=1) Hi Z (for DSCLK) (if BKPT=0)
95	IPIPE1/DSI/PD1	Pull up	Hi Z (for input port) (if BKPT=1) Hi Z (for DSI) (if BKPT=0)
96	IPIPE0/DSO/PD0	Low drive	High drive (output port) (if BKPT=1) Drive for DSO (if BKPT=0)
97	D7/PH7	Hi Z (for input)	Hi Z (for input port)
98	D6/PH6	Hi Z (for input)	Hi Z (for input port)
99	D5/PH5	Hi Z (for input)	Hi Z (for input port)
100	VSSI	(GND)	
101	CLKOUT/PE4	Hi Z (for input) (if AD0=0)	Hi Z (for input port) (if AD0=0)
102	VSSE	(GND)	
103	VDDE	(Power)	
104	D4/PH4	Hi Z (for input)	Hi Z (for input port)
105	D3/PH3	Hi Z (for input)	Hi Z (for input port)
106	D2/PH2	Hi Z (for input)	Hi Z (for input port)
107	D1/PH1	Hi Z (for input)	Hi Z (for input port)
108	D0/PH0	Hi Z (for input)	Hi Z (for input port)
109	R/W/WR/PE0	Pull up	Hi Z (for input port)
110	DS/RD/PE1	Pull up	Hi Z (for input port)
111	AS/PE2	Pull up	Hi Z (for input port)
112	SIZE/PE3	Pull up	Hi Z (for input port)
113	EBR/TSC	Hi Z (for input)	HiZ (pull up reg. must be needed)
114	A0/AD0/PB0	Pull up	Hi Z (for input port)
115	A1/AD1/PB1	Pull up	Hi Z (for input port)
116	A2/AD2/PB2	Pull up	Hi Z (for input port)
117	A3/AD3/PB3	Pull up	Hi Z (for input port)
118	A4/AD4/PB4	Pull up	Hi Z (for input port)
119	A5/AD5/PB5	Pull up	Hi Z (for input port)
120	VDDE	(Power)	
121	VSSE	(GND)	
122	A6/AD6/PB6	Pull up	Hi Z (for input port)
123	A7/AD7/PB7	Pull up	Hi Z (for input port)
124	A8/AD8/PA0	Pull up	Hi Z (for input port)
125	A9/AD9/PA1	Pull up	Hi Z (for input port)
126	A10/AD10/PA2	Pull up	Hi Z (for input port)
127	A11/AD11/PA3	Pull up	Hi Z (for input port)
128	A12/AD12/PA4	Pull up	Hi Z (for input port)
129	A13/AD13/PA5	Pull up	Hi Z (for input port)
130	A14/AD14/PA6	Pull up	Hi Z (for input port)
131	A15/AD15/PA7	Pull up	Hi Z (for input port)
132	A16/PC0	Pull up	Hi Z (for input port)
133	A17/PC1	Pull up	Hi Z (for input port)
134	A18/PC2	Pull up	Hi Z (for input port)
135	A23/ECLK/PC7	Pull up	Hi Z (for input port)
136	FC0/PE5	Pull up	Hi Z (for input port)
137	FC1/PE6	Pull up	Hi Z (for input port)
138	VFPE2	(Power)	
139	VDDI	(Power)	

表 3(a) シングル・チップ・モード・ピン・コンディション ( 続き )

ピン	ピン名	シングル・チップ・モード (DSI=1,MCRM[11:9]=%111)	
		リセット中のコンディション	リセット後のコンディション
140	VSSI	(GND)	
141	AN0/ANW/PQB0	Hi Z (disable)	Hi Z (for input port)
142	AN1/ANX/PQB1	Hi Z (disable)	Hi Z (for input port)
143	AN2/ANY/PQB2	Hi Z (disable)	Hi Z (for input port)
144	AN3/ANZ/PQB3	Hi Z (disable)	Hi Z (for input port)
145	AN48/PQB4	Hi Z (disable)	Hi Z (for input port)
146	AN49/PQB5	Hi Z (disable)	Hi Z (for input port)
147	AN50/PQB6	Hi Z (disable)	Hi Z (for input port)
148	AN51/PQB7	Hi Z (disable)	Hi Z (for input port)
149	VDDA	(Power)	
150	VSSA	(GND)	
151	VRL	(A/D ref. volt)	
152	VRH	(A/D ref. volt)	
153	AN52/MA0/PQA0	Hi Z (disable)	Hi Z (for input port)
154	AN53/MA1/PQA1	Hi Z (disable)	Hi Z (for input port)
155	AN54/MA2/PQA2	Hi Z (disable)	Hi Z (for input port)
156	AN55/ETRIG1/PQA3	Hi Z (disable)	Hi Z (for input port)
157	AN56/ETRIG2/PQA4	Hi Z (disable)	Hi Z (for input port)
158	AN57/PQA5	Hi Z (disable)	Hi Z (for input port)
159	AN58/PQA6	Hi Z (disable)	Hi Z (for input port)
160	AN59/PQA7	Hi Z (disable)	Hi Z (for input port)

表 3(b) シングル・チップ・モード・ピン・コンディション

ピン	ピン名	シングル・チップ・モード (DSI=0,DS=1,SIZE=1,RW=X)	
		リセット中のコンディション	リセット後のコンディション
1	VDDE	(Power)	
2	VSSE	(GND)	
3	TP0	Hi Z (disable)	Hi Z (for input)
4	TP1	Hi Z (disable)	Hi Z (for input)
5	TP2	Hi Z (disable)	Hi Z (for input)
6	TP3	Hi Z (disable)	Hi Z (for input)
7	TP4	Hi Z (disable)	Hi Z (for input)
8	TP5	Hi Z (disable)	Hi Z (for input)
9	TP6	Hi Z (disable)	Hi Z (for input)
10	TP7	Hi Z (disable)	Hi Z (for input)
11	TP8	Hi Z (disable)	Hi Z (for input)
12	TP9	Hi Z (disable)	Hi Z (for input)
13	TP10	Hi Z (disable)	Hi Z (for input)
14	TP11	Hi Z (disable)	Hi Z (for input)
15	TP12	Hi Z (disable)	Hi Z (for input)
16	TP13	Hi Z (disable)	Hi Z (for input)
17	TP14	Hi Z (disable)	Hi Z (for input)
18	TP15	Hi Z (disable)	Hi Z (for input)
19	T2CLK	Hi Z (disable)	Hi Z (for input)
20	VFPE1	(Power)	
21	VSSI	(GND)	

表 3(b) シングル・チップ・モード・ピン・コンディション ( 続き )

ピン	ピン名	シングル・チップ・モード (DSI=0,DS=1,SIZE=1,RW=X)	
		リセット中のコンディション	リセット後のコンディション
22	CTD3	Hi Z (disable)	Hi Z (for input)
23	CTD4	Hi Z (disable)	Hi Z (for input)
24	CTD5	Hi Z (disable)	Hi Z (for input)
25	CTD6	Hi Z (disable)	Hi Z (for input)
26	CTD7	Hi Z (disable)	Hi Z (for input)
27	CTD8	Hi Z (disable)	Hi Z (for input)
28	CTD14	Hi Z (disable)	Hi Z (for input)
29	CTD15	Hi Z (disable)	Hi Z (for input)
30	CTD16	Hi Z (disable)	Hi Z (for input)
31	CTD17	Hi Z (disable)	Hi Z (for input)
32	CTD18	Hi Z (disable)	Hi Z (for input)
33	CTD20	Hi Z (disable)	Hi Z (for input)
34	CTD22	Hi Z (disable)	Hi Z (for input)
35	CPWM9	Hi Z (output only)	Low drive
36	CPWM10	Hi Z (output only)	Low drive
37	CPWM11	Hi Z (output only)	Low drive
38	CPWM12	Hi Z (output only)	Low drive
39	CPWM13	Hi Z (output only)	Low drive
40	VSSE	(GND)	
41	VDDE	(Power)	
42	CTM2C	Hi Z (disable)	Hi Z (for input)
43	TXDA/PMC7	Hi Z (disable)	Hi Z (for input port)
44	RXDA/PMC6	Hi Z (disable)	Hi Z (for input port)
45	TXDB/PMC5	Hi Z (disable)	Hi Z (for input port)
46	RDXB/PMC4	Hi Z (disable)	Hi Z (for input port)
47	SS/PMC3	Hi Z (disable)	Hi Z (for input port)
48	SCK/PMC2	Hi Z (disable)	Hi Z (for input port)
49	MOSI/PMC1	Hi Z (disable)	Hi Z (for input port)
50	MISO/PMC0	Hi Z (disable)	Hi Z (for input port)
51	RSS/PSP7	Hi Z (disable)	Hi Z (for input port)
52	RSCK/PSP6	Hi Z (disable)	Hi Z (for input port)
53	RMOSI/PSP5	Hi Z (disable)	Hi Z (for input port)
54	RMISO/PSP4	Hi Z (disable)	Hi Z (for input port)
55	RPCS0/PSP0	Hi Z (disable)	Hi Z (for input port)
56	RPCS1/PSP1	Hi Z (disable)	Hi Z (for input port)
57	RPCS2/PSP2	Hi Z (disable)	Hi Z (for input port)
58	RPCS3/PSP3	Hi Z (disable)	Hi Z (for input port)
59	VSTBY	(Power)	
60	XTAL	(Clock)	
61	VDDSYN/MODCK	(Power)	
62	EXTAL	(Clock)	
63	VSSSYN	(GND)	
64	XFC	(Clock filter)	
65	VDDI	(Power)	
66	VSSI	(GND)	
67	RESET	(RESET)	
68	$\overline{\text{IRQ7}}/\text{PF7}$	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
69	$\overline{\text{IRQ6}}/\text{PF6}$	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
70	$\overline{\text{IRQ5}}/\text{PF5}$	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
71	$\overline{\text{IRQ4}}/\text{PF4}$	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )

表 3(b) シングル・チップ・モード・ピン・コンディション ( 続き )

ピン	ピン名	シングル・チップ・モード (DSI=0,DS=1,SIZE=1,RW=X)	
		リセット中のコンディション	リセット後のコンディション
72	IRQ3/PF3	Pull up	Hi Z (for IRQ)
73	IRQ2/PF2	Pull up	Hi Z (for IRQ)
74	IRQX/BERR/PF1	Pull up	Hi Z (for IRQ)
75	ALE/PF0	Hi Z (for input)	Hi Z (for input port)
76	D15/PG7	Hi Z (for input)	Hi Z (for input port)
77	D14/PG6	Hi Z (for input)	Hi Z (for input port)
78	D13/PG5	Hi Z (for input)	Hi Z (for input port)
79	D12/PG4	Hi Z (for input)	Hi Z (for input port)
80	VDDE	(Power)	
81	VSSE	(GND)	
82	D11/PG3	Hi Z (for input)	Hi Z (for input port)
83	D10/PG2	Hi Z (for input)	Hi Z (for input port)
84	D9/PG1	Hi Z (for input)	Hi Z (for input port)
85	D8/PG0	Hi Z (for input)	Hi Z (for input port)
86	ACS0/PCS0	High drive	Drive for CS
87	ACS1/PCS1	High drive	Drive for CS
88	ACS2/PCS2	High drive	Drive for CS
89	CSA/PD7	Pull up	Hi Z (for input port)
90	CSB/PD6	Hi Z (for input)	Hi Z (for input port)
91	CSC/PD5	Pull up	Hi Z (for input port)
92	DTACK/PD4	Hi Z (for input)	Hi Z (for input port)
93	FREEZE/QUOT/FASTREF/ CSE1/PD3	Pull up (if BKPT=1)	Hi Z (for input port) (if BKPT=1)
		Low drive (if BKPT=0)	Drive for FREEZE (if BKPT=0)
94	BKPT/DSCLK/CSE0/PD2	Pull up	Hi Z (for input port) (if BKPT=1)
			Hi Z (for DSCLK) (if BKPT=0)
95	IPIPE1/DSI/PD1	Pull up	Hi Z (for input port) (if BKPT=1)
			Hi Z (for DSI) (if BKPT=0)
96	IPIPE0/DSO/PD0	Low drive	High drive (output port) (if BKPT=1)
			Drive for DSO (if BKPT=0)
97	D7/PH7	Hi Z (for input)	Hi Z (for input port)
98	D6/PH6	Hi Z (for input)	Hi Z (for input port)
99	D5/PH5	Hi Z (for input)	Hi Z (for input port)
100	VSSI	(GND)	
101	CLKOUT/PE4	Drive for CLKOUT (if AD0=1) CLKOUT=XTALx2 (if BERR=1) CLKOUT=XTALx1 (if BERR=0)	Drive for CLKOUT (if AD0=1) CLKOUT=XTALx2 (if BERR=1) CLKOUT=XTALx1 (if BERR=0)
		Hi Z (for input) (if AD0=0)	Hi Z (for input port) (if AD0=0)
102	VSSE	(GND)	
103	VDDE	(Power)	
104	D4/PH4	Hi Z (for input)	Hi Z (for input port)
105	D3/PH3	Hi Z (for input)	Hi Z (for input port)
106	D2/PH2	Hi Z (for input)	Hi Z (for input port)
107	D1/PH1	Hi Z (for input)	Hi Z (for input port)
108	D0/PH0	Hi Z (for input)	Hi Z (for input port)
109	R/W/WR/PE0	Pull up	Hi Z (for input port)
110	DS/RD/PE1	Pull up	Hi Z (for input port)
111	AS/PE2	Pull up	Hi Z (for input port)
112	SIZE/PE3	Pull up	Hi Z (for input port)
113	EBR/TSC	Hi Z (for input)	HiZ (pull up reg. must be needed)
114	A0/AD0/PB0	Pull up	Hi Z (for input port)
115	A1/AD1/PB1	Pull up	Hi Z (for input port)

表 3(b) シングル・チップ・モード・ピン・コンディション ( 続き )

ピン	ピン名	シングル・チップ・モード (DSI=0,DS=1,SIZE=1,RW=X)	
		リセット中のコンディション	リセット後のコンディション
116	A2/AD2/PB2	Pull up	Hi Z (for input port)
117	A3/AD3/PB3	Pull up	Hi Z (for input port)
118	A4/AD4/PB4	Pull up	Hi Z (for input port)
119	A5/AD5/PB5	Pull up	Hi Z (for input port)
120	VDDE	(Power)	
121	VSSE	(GND)	
122	A6/AD6/PB6	Pull up	Hi Z (for input port)
123	A7/AD7/PB7	Pull up	Hi Z (for input port)
124	A8/AD8/PA0	Pull up	Hi Z (for input port)
125	A9/AD9/PA1	Pull up	Hi Z (for input port)
126	A10/AD10/PA2	Pull up	Hi Z (for input port)
127	A11/AD11/PA3	Pull up	Hi Z (for input port)
128	A12/AD12/PA4	Pull up	Hi Z (for input port)
129	A13/AD13/PA5	Pull up	Hi Z (for input port)
130	A14/AD14/PA6	Pull up	Hi Z (for input port)
131	A15/AD15/PA7	Pull up	Hi Z (for input port)
132	A16/PC0	Pull up	Hi Z (for input port)
133	A17/PC1	Pull up	Hi Z (for input port)
134	A18/PC2	Pull up	Hi Z (for input port)
135	A23/ECLK/PC7	Pull up	Hi Z (for input port)
136	FC0/PE5	Pull up	Hi Z (for input port)
137	FC1/PE6	Pull up	Hi Z (for input port)
138	VFPE2	(Power)	
139	VDDI	(Power)	
140	VSSI	(GND)	
141	AN0/ANW/PQB0	Hi Z (disable)	Hi Z (for input port)
142	AN1/ANX/PQB1	Hi Z (disable)	Hi Z (for input port)
143	AN2/ANY/PQB2	Hi Z (disable)	Hi Z (for input port)
144	AN3/ANZ/PQB3	Hi Z (disable)	Hi Z (for input port)
145	AN48/PQB4	Hi Z (disable)	Hi Z (for input port)
146	AN49/PQB5	Hi Z (disable)	Hi Z (for input port)
147	AN50/PQB6	Hi Z (disable)	Hi Z (for input port)
148	AN51/PQB7	Hi Z (disable)	Hi Z (for input port)
149	VDDA	(Power)	
150	VSSA	(GND)	
151	VRL	(A/D ref. volt)	
152	VRH	(A/D ref. volt)	
153	AN52/MA0/PQA0	Hi Z (disable)	Hi Z (for input port)
154	AN53/MA1/PQA1	Hi Z (disable)	Hi Z (for input port)
155	AN54/MA2/PQA2	Hi Z (disable)	Hi Z (for input port)
156	AN55/ETRIG1/PQA3	Hi Z (disable)	Hi Z (for input port)
157	AN56/ETRIG2/PQA4	Hi Z (disable)	Hi Z (for input port)
158	AN57/PQA5	Hi Z (disable)	Hi Z (for input port)
159	AN58/PQA6	Hi Z (disable)	Hi Z (for input port)
160	AN59/PQA7	Hi Z (disable)	Hi Z (for input port)

表 3(c) 非多重化マスタ・モード・ピン・コンディション

ピン	ピン名	非多重化マスタ・モード (DSI=0,DS=1,SIZE=0,RW=0)	
		リセット中のコンディション	リセット後のコンディション
1	VDDE	(Power)	
2	VSSE	(GND)	
3	TP0	Hi Z (disable)	Hi Z (for input)
4	TP1	Hi Z (disable)	Hi Z (for input)
5	TP2	Hi Z (disable)	Hi Z (for input)
6	TP3	Hi Z (disable)	Hi Z (for input)
7	TP4	Hi Z (disable)	Hi Z (for input)
8	TP5	Hi Z (disable)	Hi Z (for input)
9	TP6	Hi Z (disable)	Hi Z (for input)
10	TP7	Hi Z (disable)	Hi Z (for input)
11	TP8	Hi Z (disable)	Hi Z (for input)
12	TP9	Hi Z (disable)	Hi Z (for input)
13	TP10	Hi Z (disable)	Hi Z (for input)
14	TP11	Hi Z (disable)	Hi Z (for input)
15	TP12	Hi Z (disable)	Hi Z (for input)
16	TP13	Hi Z (disable)	Hi Z (for input)
17	TP14	Hi Z (disable)	Hi Z (for input)
18	TP15	Hi Z (disable)	Hi Z (for input)
19	T2CLK	Hi Z (disable)	Hi Z (for input)
20	VFPE1	(Power)	
21	VSSI	(GND)	
22	CTD3	Hi Z (disable)	Hi Z (for input)
23	CTD4	Hi Z (disable)	Hi Z (for input)
24	CTD5	Hi Z (disable)	Hi Z (for input)
25	CTD6	Hi Z (disable)	Hi Z (for input)
26	CTD7	Hi Z (disable)	Hi Z (for input)
27	CTD8	Hi Z (disable)	Hi Z (for input)
28	CTD14	Hi Z (disable)	Hi Z (for input)
29	CTD15	Hi Z (disable)	Hi Z (for input)
30	CTD16	Hi Z (disable)	Hi Z (for input)
31	CTD17	Hi Z (disable)	Hi Z (for input)
32	CTD18	Hi Z (disable)	Hi Z (for input)
33	CTD20	Hi Z (disable)	Hi Z (for input)
34	CTD22	Hi Z (disable)	Hi Z (for input)
35	CPWM9	Hi Z (output only)	Low drive
36	CPWM10	Hi Z (output only)	Low drive
37	CPWM11	Hi Z (output only)	Low drive
38	CPWM12	Hi Z (output only)	Low drive
39	CPWM13	Hi Z (output only)	Low drive
40	VSSE	(GND)	
41	VDDE	(Power)	
42	CTM2C	Hi Z (disable)	Hi Z (for input)
43	TXDA/PMC7	Hi Z (disable)	Hi Z (for input port)
44	RXDA/PMC6	Hi Z (disable)	Hi Z (for input port)
45	TXDB/PMC5	Hi Z (disable)	Hi Z (for input port)
46	RDXB/PMC4	Hi Z (disable)	Hi Z (for input port)
47	SS/PMC3	Hi Z (disable)	Hi Z (for input port)
48	SCK/PMC2	Hi Z (disable)	Hi Z (for input port)



表 3(c) 非多重化マスタ・モード・ピン・コンディション ( 続き )

ピン	ピン名	非多重化マスタ・モード (DSI=0,DS=1,SIZE=0,RW=0)	
		リセット中のコンディション	リセット後のコンディション
49	MOSI/PMC1	Hi Z (disable)	Hi Z (for input port)
50	MISO/PMC0	Hi Z (disable)	Hi Z (for input port)
51	RSS/PSP7	Hi Z (disable)	Hi Z (for input port)
52	RSCK/PSP6	Hi Z (disable)	Hi Z (for input port)
53	RMOSI/PSP5	Hi Z (disable)	Hi Z (for input port)
54	RMISO/PSP4	Hi Z (disable)	Hi Z (for input port)
55	RPCS0/PSP0	Hi Z (disable)	Hi Z (for input port)
56	RPCS1/PSP1	Hi Z (disable)	Hi Z (for input port)
57	RPCS2/PSP2	Hi Z (disable)	Hi Z (for input port)
58	RPCS3/PSP3	Hi Z (disable)	Hi Z (for input port)
59	VSTBY	(Power)	
60	XTAL	(Clock)	
61	VDDSYN/MODCK	(Power)	
62	EXTAL	(Clock)	
63	VSSSYN	(GND)	
64	XFC	(Clock filter)	
65	VDDI	(GND)	
66	VSSI	(Clock)	
67	RESET	(RESET)	
68	IRQ7/PF7	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
69	IRQ6/PF6	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
70	IRQ5/PF5	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
71	IRQ4/PF4	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
72	IRQ3/PF3	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
73	IRQ2/PF2	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
74	IRQX/BERR/PF1	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
75	ALE/PF0	Hi Z (for input)	Hi Z (for ALE)
76	D15/PG7	Hi Z (for input)	Hi Z (for data)
77	D14/PG6	Hi Z (for input)	Hi Z (for data)
78	D13/PG5	Hi Z (for input)	Hi Z (for data)
79	D12/PG4	Hi Z (for input)	Hi Z (for data)
80	VDDE	(Power)	
81	VSSE	(GND)	
82	D11/PG3	Hi Z (for input)	Hi Z (for data)
83	D10/PG2	Hi Z (for input)	Hi Z (for data)
84	D9/PG1	Hi Z (for input)	Hi Z (for data)
85	D8/PG0	Hi Z (for input)	Hi Z (for data)
86	ACS0/PCS0	High drive	Drive for CS
87	ACS1/PCS1	High drive	Drive for CS
88	ACS2/PCS2	High drive	Drive for CS
89	$\overline{\text{CSA}}$ /PD7	High drive (if PCON10=1)	Drive for $\overline{\text{CSA}}$ (if PCON10=1)
		Pull up (if PCON10=0)	Hi Z (for input port) (if PCON10=0)
90	$\overline{\text{CSB}}$ /PD6	High drive (if AD7=1)	Drive for $\overline{\text{CSB}}$ (if AD7=1)
		Hi Z (for input) (if AD7=0)	Hi Z (for input port) (if AD7=0)
91	$\overline{\text{CSC}}$ /PD5	High drive (if PCON6=1)	Drive for $\overline{\text{CSC}}$ (if PCON6=1)
		Pull up (if PCON6=0)	Hi Z (for input port) (if PCON6=0)
92	$\overline{\text{DTACK}}$ /PD4	Hi Z (for input)	Hi Z for $\overline{\text{DTACK}}$ (if AD8=1)
			Hi Z (for input port) (if AD8=0)
93	FREEZE/QUOT/FASTREF/ CSE1/PD3	Pull up (if BKPT=1)	Hi Z (for input port) (if BKPT=1)
		Low drive (if BKPT=0)	Drive for FREEZE (if BKPT=0)

表 3(c) 非多重化マスタ・モード・ピン・コンディション ( 続き )

ピン	ピン名	非多重化マスタ・モード (DSI=0,DS=1,SIZE=0,RW=0)	
		リセット中のコンディション	リセット後のコンディション
94	BKPT/DSCLK/CSE0/PD2	Pull up	Hi Z (for input port) (if BKPT=1) Hi Z (for DSCLK) (if BKPT=0)
95	IPIPE1/DSI/PD1	Pull up	Hi Z (for input port) (if BKPT=1) Hi Z (for DSI) (if BKPT=0)
96	IPIPE0/DSO/PD0	Low drive	High drive (output port) (if BKPT=1) Drive for DSO (if BKPT=0)
97	D7/PH7	Hi Z (for input)	Hi Z (for data)
98	D6/PH6	Hi Z (for input)	Hi Z (for data)
99	D5/PH5	Hi Z (for input)	Hi Z (for data)
100	VSSI	(GND)	
101	CLKOUT/PE4	Drive for CLKOUT (if AD0=1) CLKOUT=XTALx2 (if BERR=1) CLKOUT=XTALx1 (if BERR=0) Hi Z (for input) (if AD0=0)	Drive for CLKOUT (if AD0=1) CLKOUT=XTALx2 (if BERR=1) CLKOUT=XTALx1 (if BERR=0) Hi Z (for input port) (if AD0=0)
102	VSSE	(GND)	
103	VDDE	(Power)	
104	D4/PH4	Hi Z (for input)	Hi Z (for data)
105	D3/PH3	Hi Z (for input)	Hi Z (for data)
106	D2/PH2	Hi Z (for input)	Hi Z (for data)
107	D1/PH1	Hi Z (for input)	Hi Z (for data)
108	D0/PH0	Hi Z (for input)	Hi Z (for data)
109	R/W/WR/PE0	Pull up	Drive for R/W
110	DS/RD/PE1	Pull up	Drive for DS
111	AS/PE2	High drive	Drive for AS
112	SIZE/PE3	Pull up	Drive for SIZE
113	EBR/TSC	Hi Z (for input)	HiZ (pull up reg. must be needed)
114	A0/AD0/PB0	Pull up	Drive for address
115	A1/AD1/PB1	Pull up	Drive for address
116	A2/AD2/PB2	Pull up	Drive for address
117	A3/AD3/PB3	Pull up	Drive for address
118	A4/AD4/PB4	Pull up	Drive for address
119	A5/AD5/PB5	Pull up	Drive for address
120	VDDE	(Power)	
121	VSSE	(GND)	
122	A6/AD6/PB6	Pull up	Drive for address
123	A7/AD7/PB7	Pull up	Drive for address
124	A8/AD8/PA0	Pull up	Drive for address
125	A9/AD9/PA1	Pull up	Drive for address
126	A10/AD10/PA2	Pull up	Drive for address
127	A11/AD11/PA3	Pull up	Drive for address
128	A12/AD12/PA4	Pull up	Drive for address
129	A13/AD13/PA5	Pull up	Drive for address
130	A14/AD14/PA6	Pull up	Drive for address
131	A15/AD15/PA7	Pull up	Drive for address
132	A16/PC0	Pull up	Drive for address (if AD[3:1]=>%001) Hi Z (for input port) (if AD[3:1]=%000)
133	A17/PC1	Pull up	Drive for address (if AD[3:1]=>%010) Hi Z (for input port) (if AD[3:1]=%010)
134	A18/PC2	Pull up	Drive for address (if AD[3:1]=>%011) Hi Z (for input port) (if AD[3:1]=%000)

表 3(c) 非多重化マスタ・モード・ピン・コンディション ( 続き )

ピン	ピン名	非多重化マスタ・モード (DSI=0,DS=1,SIZE=0,RW=0)	
		リセット中のコンディション	リセット後のコンディション
135	A23/ECLK/PC7	Pull up (if AD[5:4]=%1x)	Drive for address (if AD[5:4]=%1x)
		ECLK (if AD[5:4]=%01)	ECLK (if AD[5:4]=%01)
		Pull up (if AD[5:4]=%00)	Hi Z (for input port) (if AD[5:4]=%00)
136	FC0/PE5	Pull up	Hi Z (for input port) (if AD9=0)
			Drive for FC0 (if AD9=1)
137	FC1/PE6	Pull up	Hi Z (for input port) (if AD9=0)
			Drive for FC1 (if AD9=1)
138	VFPE2	(Power)	
139	VDDI	(Power)	
140	VSSI	(GND)	
141	AN0/ANW/PQB0	Hi Z (disable)	Hi Z (for input port)
142	AN1/ANX/PQB1	Hi Z (disable)	Hi Z (for input port)
143	AN2/ANY/PQB2	Hi Z (disable)	Hi Z (for input port)
144	AN3/ANZ/PQB3	Hi Z (disable)	Hi Z (for input port)
145	AN48/PQB4	Hi Z (disable)	Hi Z (for input port)
146	AN49/PQB5	Hi Z (disable)	Hi Z (for input port)
147	AN50/PQB6	Hi Z (disable)	Hi Z (for input port)
148	AN51/PQB7	Hi Z (disable)	Hi Z (for input port)
149	VDDA	(Power)	
150	VSSA	(GND)	
151	VRL	(A/D ref. volt)	
152	VRH	(A/D ref. volt)	
153	AN52/MA0/PQA0	Hi Z (disable)	Hi Z (for input port)
154	AN53/MA1/PQA1	Hi Z (disable)	Hi Z (for input port)
155	AN54/MA2/PQA2	Hi Z (disable)	Hi Z (for input port)
156	AN55/ETRIG1/PQA3	Hi Z (disable)	Hi Z (for input port)
157	AN56/ETRIG2/PQA4	Hi Z (disable)	Hi Z (for input port)
158	AN57/PQA5	Hi Z (disable)	Hi Z (for input port)
159	AN58/PQA6	Hi Z (disable)	Hi Z (for input port)
160	AN59/PQA7	Hi Z (disable)	Hi Z (for input port)

表 3(d) 多重化マスタ・モード・ピン・コンディション

ピン	ピン名	多重化マスタ・モード (DSI=0,DS=1,SIZE=0,RW=0)	
		リセット中のコンディション	リセット後のコンディション
1	VDDE	(Power)	
2	VSSE	(GND)	
3	TP0	Hi Z (disable)	Hi Z (for input)
4	TP1	Hi Z (disable)	Hi Z (for input)
5	TP2	Hi Z (disable)	Hi Z (for input)
6	TP3	Hi Z (disable)	Hi Z (for input)
7	TP4	Hi Z (disable)	Hi Z (for input)
8	TP5	Hi Z (disable)	Hi Z (for input)
9	TP6	Hi Z (disable)	Hi Z (for input)
10	TP7	Hi Z (disable)	Hi Z (for input)
11	TP8	Hi Z (disable)	Hi Z (for input)
12	TP9	Hi Z (disable)	Hi Z (for input)
13	TP10	Hi Z (disable)	Hi Z (for input)
14	TP11	Hi Z (disable)	Hi Z (for input)
15	TP12	Hi Z (disable)	Hi Z (for input)
16	TP13	Hi Z (disable)	Hi Z (for input)
17	TP14	Hi Z (disable)	Hi Z (for input)
18	TP15	Hi Z (disable)	Hi Z (for input)
19	T2CLK	Hi Z (disable)	Hi Z (for input)
20	VFPE1	(Power)	
21	VSSI	(GND)	
22	CTD3	Hi Z (disable)	Hi Z (for input)
23	CTD4	Hi Z (disable)	Hi Z (for input)
24	CTD5	Hi Z (disable)	Hi Z (for input)
25	CTD6	Hi Z (disable)	Hi Z (for input)
26	CTD7	Hi Z (disable)	Hi Z (for input)
27	CTD8	Hi Z (disable)	Hi Z (for input)
28	CTD14	Hi Z (disable)	Hi Z (for input)
29	CTD15	Hi Z (disable)	Hi Z (for input)
30	CTD16	Hi Z (disable)	Hi Z (for input)
31	CTD17	Hi Z (disable)	Hi Z (for input)
32	CTD18	Hi Z (disable)	Hi Z (for input)
33	CTD20	Hi Z (disable)	Hi Z (for input)
34	CTD22	Hi Z (disable)	Hi Z (for input)
35	CPWM9	Hi Z (output only)	Low drive
36	CPWM10	Hi Z (output only)	Low drive
37	CPWM11	Hi Z (output only)	Low drive
38	CPWM12	Hi Z (output only)	Low drive
39	CPWM13	Hi Z (output only)	Low drive
40	VSSE	(GND)	
41	VDDE	(Power)	
42	CTM2C	Hi Z (disable)	Hi Z (for input)
43	TXDA/PMC7	Hi Z (disable)	Hi Z (for input port)
44	RXDA/PMC6	Hi Z (disable)	Hi Z (for input port)
45	TXDB/PMC5	Hi Z (disable)	Hi Z (for input port)
46	RDXB/PMC4	Hi Z (disable)	Hi Z (for input port)
47	SS/PMC3	Hi Z (disable)	Hi Z (for input port)
48	SCK/PMC2	Hi Z (disable)	Hi Z (for input port)

表 3(d) 多重化マスタ・モード・ピン・コンディション ( 続き )

ピン	ピン名	多重化マスタ・モード (DSI=0,DS=1,SIZE=0,RW=0)	
		リセット中のコンディション	リセット後のコンディション
49	MOSI/PMC1	Hi Z (disable)	Hi Z (for input port)
50	MISO/PMC0	Hi Z (disable)	Hi Z (for input port)
51	RSS/PSP7	Hi Z (disable)	Hi Z (for input port)
52	RSCK/PSP6	Hi Z (disable)	Hi Z (for input port)
53	RMOSI/PSP5	Hi Z (disable)	Hi Z (for input port)
54	RMISO/PSP4	Hi Z (disable)	Hi Z (for input port)
55	RPCS0/PSP0	Hi Z (disable)	Hi Z (for input port)
56	RPCS1/PSP1	Hi Z (disable)	Hi Z (for input port)
57	RPCS2/PSP2	Hi Z (disable)	Hi Z (for input port)
58	RPCS3/PSP3	Hi Z (disable)	Hi Z (for input port)
59	VSTBY	(Power)	
60	XTAL	(Clock)	
61	VDDSYN/MODCK	(Power)	
62	EXTAL	(Clock)	
63	VSSSYN	(GND)	
64	XFC	(Clock filter)	
65	VDDI	(GND)	
66	VSSI	(Clock)	
67	RESET	(RESET)	
68	IRQ7/PF7	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
69	IRQ6/PF6	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
70	IRQ5/PF5	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
71	IRQ4/PF4	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
72	IRQ3/PF3	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
73	IRQ2/PF2	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
74	IRQX/BERR/PF1	Pull up	Hi Z (for $\overline{\text{IRQ}}$ )
75	ALE/PF0	Hi Z (for input)	Drive for ALE
76	D15/PG7	Hi Z (for input)	Hi Z (for data)
77	D14/PG6	Hi Z (for input)	Hi Z (for data)
78	D13/PG5	Hi Z (for input)	Hi Z (for data)
79	D12/PG4	Hi Z (for input)	Hi Z (for data)
80	VDDE	(Power)	
81	VSSE	(GND)	
82	D11/PG3	Hi Z (for input)	Hi Z (for data)
83	D10/PG2	Hi Z (for input)	Hi Z (for data)
84	D9/PG1	Hi Z (for input)	Hi Z (for data)
85	D8/PG0	Hi Z (for input)	Hi Z (for data)
86	ACS0/PCS0	High drive	Drive for CS
87	ACS1/PCS1	High drive	Drive for CS
88	ACS2/PCS2	High drive	Drive for CS
89	$\overline{\text{CSA}}$ /PD7	High drive (if PCON10=1)	Drive for $\overline{\text{CSA}}$ (if PCON10=1)
		Pull up (if PCON10=0)	Hi Z (for input port) (if PCON10=0)
90	$\overline{\text{CSB}}$ /PD6	High drive (if AD7=1)	Drive for $\overline{\text{CSB}}$ (if AD7=1)
		Hi Z (for input) (if AD7=0)	Hi Z (for input port) (if AD7=0)
91	$\overline{\text{CSC}}$ /PD5	High drive (if PCON6=1)	Drive for $\overline{\text{CSC}}$ (if PCON6=1)
		Pull up (if PCON6=0)	Hi Z (for input port) (if PCON6=0)
92	$\overline{\text{DTACK}}$ /PD4	Hi Z (for input)	Hi Z for $\overline{\text{DTACK}}$ (if AD8=1)
			Hi Z (for input port) (if AD8=0)
93	FREEZE/QUOT/FASTREF/ CSE1/PD3	Pull up (if BKPT=1)	Hi Z (for input port) (if BKPT=1)
		Low drive (if BKPT=0)	Drive for FREEZE (if BKPT=0)

表 3(d) 多重化マスタ・モード・ピン・コンディション ( 続き )

ピン	ピン名	多重化マスタ・モード (DSI=0,DS=1,SIZE=0,RW=0)	
		リセット中のコンディション	リセット後のコンディション
94	BKPT/DSCLK/CSE0/PD2	Pull up	Hi Z (for input port) (if BKPT=1) Hi Z (for DSCLK) (if BKPT=0)
95	IPIPE1/DSI/PD1	Pull up	Hi Z (for input port) (if BKPT=1) Hi Z (for DSI) (if BKPT=0)
96	IPIPE0/DSO/PD0	Low drive	High drive (output port) (if BKPT=1) Drive for DSO (if BKPT=0)
97	D7/PH7	Hi Z (for input)	Hi Z (for data)
98	D6/PH6	Hi Z (for input)	Hi Z (for data)
99	D5/PH5	Hi Z (for input)	Hi Z (for data)
100	VSSI	(GND)	
101	CLKOUT/PE4	Drive for CLKOUT (if AD0=1) CLKOUT=XTALx2 (if BERR=1) CLKOUT=XTALx1 (if BERR=0) Hi Z (for input) (if AD0=0)	Drive for CLKOUT (if AD0=1) CLKOUT=XTALx2 (if BERR=1) CLKOUT=XTALx1 (if BERR=0) Hi Z (for input port) (if AD0=0)
102	VSSE	(GND)	
103	VDDE	(Power)	
104	D4/PH4	Hi Z (for input)	Hi Z (for data)
105	D3/PH3	Hi Z (for input)	Hi Z (for data)
106	D2/PH2	Hi Z (for input)	Hi Z (for data)
107	D1/PH1	Hi Z (for input)	Hi Z (for data)
108	D0/PH0	Hi Z (for input)	Hi Z (for data)
109	R/W/WR/PE0	Pull up	Drive for R/W
110	DS/RD/PE1	Pull up	Drive for DS
111	AS/PE2	High drive	Drive for AS
112	SIZE/PE3	Pull up	Drive for SIZE
113	EBR/TSC	Hi Z (for input)	HiZ (pull up reg. must be needed)
114	A0/AD0/PB0	Pull up	Drive for address/data
115	A1/AD1/PB1	Pull up	Drive for address/data
116	A2/AD2/PB2	Pull up	Drive for address/data
117	A3/AD3/PB3	Pull up	Drive for address/data
118	A4/AD4/PB4	Pull up	Drive for address/data
119	A5/AD5/PB5	Pull up	Drive for address/data
120	VDDE	(Power)	
121	VSSE	(GND)	
122	A6/AD6/PB6	Pull up	Drive for address/data
123	A7/AD7/PB7	Pull up	Drive for address/data
124	A8/AD8/PA0	Pull up	Drive for address/data
125	A9/AD9/PA1	Pull up	Drive for address/data
126	A10/AD10/PA2	Pull up	Drive for address/data
127	A11/AD11/PA3	Pull up	Drive for address/data
128	A12/AD12/PA4	Pull up	Drive for address/data
129	A13/AD13/PA5	Pull up	Drive for address/data
130	A14/AD14/PA6	Pull up	Drive for address/data
131	A15/AD15/PA7	Pull up	Drive for address/data
132	A16/PC0	Pull up	Drive for address (if AD[3:1]=>%001) Hi Z (for input port) (if AD[3:1]=>%000)
133	A17/PC1	Pull up	Drive for address (if AD[3:1]=>%010) Hi Z (for input port) (if AD[3:1]=>%010)
134	A18/PC2	Pull up	Drive for address (if AD[3:1]=>%011) Hi Z (for input port) (if AD[3:1]=>%000)

表 3(d) 多重化マスタ・モード・ピン・コンディション ( 続き )

ピン	ピン名	多重化マスタ・モード (DSI=0,DS=1,SIZE=0,RW=0)	
		リセット中のコンディション	リセット後のコンディション
135	A23/ECLK/PC7	Pull up (if AD[5:4]=%1x)	Drive for address (if AD[5:4]=%1x)
		ECLK (if AD[5:4]=%01)	ECLK (if AD[5:4]=%01)
		Pull up (if AD[5:4]=%00)	Hi Z (for input port) (if AD[5:4]=%00)
136	FC0/PE5	Pull up	Hi Z (for input port) (if AD9=0)
			Drive for FC0 (if AD9=1)
137	FC1/PE6	Pull up	Hi Z (for input port) (if AD9=0)
			Drive for FC1 (if AD9=1)
138	VFPE2	(Power)	
139	VDDI	(Power)	
140	VSSI	(GND)	
141	AN0/ANW/PQB0	Hi Z (disable)	Hi Z (for input port)
142	AN1/ANX/PQB1	Hi Z (disable)	Hi Z (for input port)
143	AN2/ANY/PQB2	Hi Z (disable)	Hi Z (for input port)
144	AN3/ANZ/PQB3	Hi Z (disable)	Hi Z (for input port)
145	AN48/PQB4	Hi Z (disable)	Hi Z (for input port)
146	AN49/PQB5	Hi Z (disable)	Hi Z (for input port)
147	AN50/PQB6	Hi Z (disable)	Hi Z (for input port)
148	AN51/PQB7	Hi Z (disable)	Hi Z (for input port)
149	VDDA	(Power)	
150	VSSA	(GND)	
151	VRL	(A/D ref. volt)	
152	VRH	(A/D ref. volt)	
153	AN52/MA0/PQA0	Hi Z (disable)	Hi Z (for input port)
154	AN53/MA1/PQA1	Hi Z (disable)	Hi Z (for input port)
155	AN54/MA2/PQA2	Hi Z (disable)	Hi Z (for input port)
156	AN55/ETRIG1/PQA3	Hi Z (disable)	Hi Z (for input port)
157	AN56/ETRIG2/PQA4	Hi Z (disable)	Hi Z (for input port)
158	AN57/PQA5	Hi Z (disable)	Hi Z (for input port)
159	AN58/PQA6	Hi Z (disable)	Hi Z (for input port)
160	AN59/PQA7	Hi Z (disable)	Hi Z (for input port)

注: "Hi-Z": ピンがハイ・インピーダンス状態  
 "Low Drive": ピンがローを出力  
 "High Drive": ピンがハイを出力  
 "Pull up": 内部のプルアップ機能によりハイが出力 (約 50K オーム程度)  
 "Drive for 信号名 ": 明記された信号が出力  
 "disable": 入力側 / 出力側が内部で処理しているため、外部での処理が不要  
 "for input": 入力ピンとして機能  
 "for input port": 汎用の入力ピンとして機能  
 "output only": 出力専用ピンとして機能  
 "by output port": 汎用出力ピンとして機能  
 "Clock, Clock filter": システムクロック生成に使われるピン  
 "Power": 電源系のピン

以下の表に、このMCUで使用するI/Oドライバのタイプを示します。すべての入力タイプはCMOS論理レベルを使用していることに注意してください。また、バス・コントローラが直接スリー・ステートにできない出力タイプ(タイプA)が一部ありますが、外部バス信号およびモジュール・ピンを含むすべての出力は、スリー・ステート・コントロール・ピンでスリー・ステートにすることが可能です。

表4 ドライバのタイプ

タイプ	I/O	説明	等価回路
A	0	常にドライブされる出力専用信号(外部プルアップは不要) 注: テスト・モード(TSC信号により)でのみHi-Zにすることが可能です。通常動作ではHi-Zになることはありません。	内部信号
Aw	0	タイプA出力。リセット時に弱Pチャネル・プルアップがアクティブとなる。	内部リセット
B <sup>1</sup>	0	スリー・ステート出力。ハイ・インピーダンスが安定する前に出力をプルアップする(立上り時間を短縮する)ための回路を内蔵する。ピンがハイ・インピーダンス状態の時に論理レベルを維持するための外部ホールド抵抗が必要。	内部信号
Bo	0	オープン・ドレイン出力または、常にドライブする出力として動作可能。 注: RESET信号はオープン・ドレイン出力に固定しています。	コントロール信号
Ba	0	タイプB出力。オープン・ドレイン・モードでのみ動作可能。	内部信号
Bw	0	タイプB出力。リセット時に弱Pチャネル・プルアップがアクティブとなる。	内部リセット

注: 1. このタイプのドライバをもつピンは、特定の条件でのみハイ・インピーダンスになります。これらはすべて、TSC信号でハイ・インピーダンス状態にすることができます。



表 5 電源の接続

ピン	説 明
$V_{DDA}$ 、 $V_{SSA}$ 、 $V_{RH}$ 、 $V_{RL}$	A/D コンバータ電源および基準電源
$V_{DDSYN}$ /MODCK、 $V_{SSSYN}$	クロック・シンセサイザ電源 / モード選択
$V_{DDE}$ 、 $V_{SSE}$	外部ペリフェラル電源 ( ソースおよびドレイン )
$V_{DDI}$ 、 $V_{SSI}$	内部モジュール電源 ( ソースおよびドレイン )
$V_{STBY}$	スタンバイ RAM 電源
$V_{FPE1}$	4K TPU Flash EEPROM への書き込み / 消去電源
$V_{FPE2}$	160K Flash/HDFlash EEPROM への書き込み / 消去電源

## 1.2 信号説明

以下の表に、MCU 信号の種類と機能を示します。

表 6 信号特性

信号名	MCU モジュール	信号タイプ	アクティブ状態
A[23:16]	SLIM	Bus	-
$\overline{ACS}[2:0]$	ACS2	Output	0
AD[15:0]	SLIM	Bus	-
ALE	SLIM	Output	1
AN[3:0]/AN[Z,Y,X,W]	QADC	Input	-
AN[59:48]	QADC	Input	-
$\overline{AS}$	SLIM	Output	0
$\overline{BERR}$	SLIM	Input	0
$\overline{BKPT}$	CPU16	Input	0
CLKOUT	SLIM	Output	-
CPWM[13:9]	CTM3	Output	-
$\overline{CSA}$ , $\overline{CSB}$ , $\overline{CSC}$	SLIM	Output	0
CSE[1:0]	SLIM	Output	-
CTD[22]/[20]/[18:14]/[8:3]	CTM3	Input/Output	-
CTM2C	CTM3	Input	-
D[15:0]	SLIM	Bus	-
$\overline{DS}$	SLIM	Output	0
DSCLK	CPU16	Input	-
DSI	CPU16	Input	-
DSO	CPU16	Output	-
$\overline{DTACK}$	SLIM	Input	0

表 6 信号特性 ( 続き )

信号名	MCU モジュール	信号タイプ	アクティブ状態
EBR	SLIM	-	0
EXTAL	SLIM	Input	-
FC[1:0]	SLIM	Output	-
FREEZE	SLIM	Output	1
$\overline{\text{IPIPE}}[1:0]$	CPU16	Output	-
$\overline{\text{IRQ}}[7:2]$	SLIM	Input	0
$\overline{\text{IRQX}}$	SLIM	Input	0
MISO	MCCI	Input/Output	-
MOSI	MCCI	Input/Output	-
MODCK	SLIM	Input	-
QUOT	SLIM	Output	-
$\overline{\text{RD}}$	SLIM	Output	0
$\overline{\text{R/W}}$	SLIM	Output	-
$\overline{\text{RESET}}$	SLIM	Input/Output	0
RMISO	RSPi	Input/Output	-
RMOSI	RSPi	Input/Output	-
RPCS[3:0]	RSPi	Input/Output	-
RSCK	RSPi	Input/Output	-
$\overline{\text{RSS}}$	RSPi	Input/Output	0
RXDA	MCCI	Input	-
RXDB	MCCI	Input	-
SCK	MCCI	Input/Output	-
SIZE	SLIM	Output	-
$\overline{\text{SS}}$	MCCI	Input	0
TP[15:0]	TPU2	Input/Output	-
T2CLK	TPU2	Input	-
$\overline{\text{TSC}}$	SLIM	Input	0
TXDA	MCCI	Output	-
TXDB	MCCI	Output	-
$\overline{\text{WR}}$	SLIM	Output	0
XFC	SLIM	Input	-
XTAL	SLIM	Output	-

表 7 信号機能

信号名	ニ ー モ ニ ッ ク	機 能
Address Bus	A[23:20]	最上位の 4 ビットのアドレスは、アドレス 19 に同値
Address Bus	A[19:16]	CPU16 のアドレス [19:16]
Address/Data Bus	AD[15:0]	CPU16 の 16-bit アドレス / データ・バス
Auxiliary Chip Select	ACS[2:0]	補助チップ・セレクト出力
Address Latch Enable	ALE	多重化マスタ・モード時にアドレス / データを確定する
QADC Analog Input	AN[59:48]/[3:0]	QADC 入力
QADC Analog Input	AN[Z,Y,X,W]	マルチプレクス・モードにおけるアナログ入力切り替え信号
Address Strobe	$\overline{AS}$	アドレス・バス上でアドレス信号が有効
Bus Error	$\overline{BERR}$	外部バス・サイクルで問題が生じた時に入力するとバス・サイクルを停止し、バス・エラーの例外処理を行なう。
Breakpoint/Debug Support Clock	$\overline{BKPT}/DSCLK$	$\overline{BKPT}$ は CPU のハードウェア・ブレイク DSCLK はデバッグのためのシリアル・クロック
System Clockout	CLKOUT	システム・クロックを出力
CTM3 Pulse-width Modulation	CPWM[13:9]	CTM3 の 5 本の PWM 用出力
CTM3 Double-Action-Channel	CTD[22]/[20]/[18:14]/[8:3]	CTM3 の 13 本の双方向のダブル・アクション・タイマ・チャンネル
CTM3 Modulus Clock	CTM2C	CTM3 のモジュラス・カウンタ・クロック用入力
General-purpose Chip Selects	$\overline{CSA}$ , $\overline{CSB}$ , $\overline{CSC}$	外部ペリフェラルのセレクト信号、 CSB はブート ROM 用のセレクト信号
Emulation Chip Select	$\overline{CSE0}$ , $\overline{CSE1}$	エミュレーションのためのトラッキング信号
Data Bus	D[15:0]	16 ビット・データ・バス
Data Strobe	$\overline{DS}$	リード・サイクルでは $\overline{DS}$ がアサートし外部デバイスにデータをドライブの指示をする。ライト・サイクルでは DS がデータ・バス上のデータが有効であることを外部デバイスに知らせる。
Development Serial Out	DSO	デバッグ・サポート用の出力
Development Serial In	DSI	デバッグ・サポート用の入力
Data Transfer Acknowledge	$\overline{DTACK}$	CPU にバス・サイクルの終了を知らせる。
External Bus Interrupt	$\overline{EBR}$	マルチ・マスタ等のために出力ピンを Hi-Z にする信号
External Clock	ECLK	M6800 バス クロック出力
QADC External Trigger	ETRIG[2:1]	A/D 変換の外部トリガー入力
Crystal Oscillator	EXTAL, XTAL	クリスタル接続用ピン、 外部クロックを直接入力する場合は EXTAL を使用。
Function Codes	FC[1:0]	アドレスの空間を示す。
Freeze	FREEZE	CPU がバックグラウンド・モードに入っているのを知らせる。
Instruction Pipeline	$\overline{IPIPE0}$ , $\overline{IPIPE1}$	インストラクション・フェッチ用
Interrupt Request	$\overline{IRQ}[7:2]$ , $\overline{IRQX}$	CPU への外部割込み入力
QADC Multiplexed Address	MA[2:0]	外部マルチプレクスを切り替えるアドレス
Master In Slave Out	MISO	マスタ・モード時に SPI からのシリアル・データ入力 スレーブ・モード時に SPI からのシリアル・データ出力

表 7 信号機能 ( 続き )

信号名	ニ-モニツク	機 能
Master Out Slave In	MOSI	マスタ・モード時に SPI からのシリアル・データ出力 スレーブ・モード時に SPI からのシリアル・データ入力
Clock Mode Select	MODCLK	システムクロックの選択
Port A	PA[7:0]	SLIM の汎用入出力ポート
Port B	PB[7:0]	SLIM の汎用入出力ポート
Port C	PC[7:0]	SLIM の汎用入出力ポート
Port CS	PCS[2:0]	ACS の汎用出力ポート
Port D	PD[7:0]	SLIM の汎用入出力ポート
Port E	PE[6:0]	SLIM の汎用入出力ポート
Port F	PF[7:0]	SLIM の汎用入出力ポート
Port G	PG[7:0]	SLIM の汎用入出力ポート
Port H	PH[7:0]	SLIM の汎用入出力ポート
Port MC	PMC[7:0]	MCCI の汎用入出力ポート
Port QA	PQA[7:0]	QADC の汎用入出力ポート
Port QB	PQB[7:0]	QADC の汎用入力ポート
Port SP	PSP[7:0]	RSPI の汎用入出力ポート
QUOT	QUOT	モトローラでのテスト用出力
Read/Write	R/ $\overline{W}$	バス・サイクル中のデータの転送方向を示す。
Read	$\overline{RD}$	バス・サイクル中のデータのリードを示す。
Reset	$\overline{RESET}$	MCU のシステム・リセット
RSPI Master In Slave Out	RMISO	マスタ・モード時に RSPI からのシリアル・データ入力 スレーブ・モード時に RSPI からのシリアル・データ出力
RSPI Master Out Slave In	RMOSI	マスタ・モード時に RSPI からのシリアル・データ出力 スレーブ・モード時に RSPI からのシリアル・データ入力
RSPI Chip Select	RPCS[3:0]	RSPI からのチップ・セレクト出力
RSPI Slave Clock	$\overline{RSS}$	マスタ・モード時にセレクト出力 スレーブ・モード時にセレクト入力
SCI A Receive Data	RXDA	SCIA のシリアル・データ入力
SCI B Receive Data	RXDB	SCIB のシリアル・データ入力
SPI Serial Clock	SCK	マスタ・モード時に SPI からのシリアル同期クロック出力 スレーブ・モード時に SPI からのシリアル同期クロック入力
Size	SIZE	バス・サイクル中のデータのサイズを知らせる。
Slave Select	$\overline{SS}$	マスタ・モード時にモード・フォルト用入力 スレーブ・モード時に SPI からのセレクト用入力
TPU2 Clock	T2CLK	TPU2 のクロック入力
TPU2	TP[15:0]	TPU2 の各チャンネル
Three-State Control	$\overline{TSC}$	モトローラでのテスト用入力 全ピンを Hi-Z にする。
SCI A Transmit Data	TXDA	SCIA のシリアル・データ出力
SCI B Transmit Data	TXDB	SCIB のシリアル・データ出力

表 7 信号機能 ( 続き )

信号名	ニーマニック	機 能
Synthesizer Filter Cap	XFC	PLL のフィルタ用
Write	$\overline{\text{WR}}$	バス・サイクル中のデータのライトを示す。

## 1.3 未使用信号

ピンに引き出されていない信号は、内部でプルアップまたはプルダウンされています。

表 8 未使用信号の接続

未使用信号	説明
FC2	内部でプルアップ
A[22:19]/PC[6:3]	内部でプルダウン

## 1.4 アドレス・マップ

以下の図は、MCU の内部アドレス・マップを示します。

リセット時のシステム構成に応じて、リセットではブート ROM をイネーブルできる場合とできない場合があります。SRAM アレイは、SRAM CTRL ブロックのベース・アドレス・レジスタによって配置される位置が決まります。リセットでは SRAM アレイがディセーブルされます。FLASH ROM アレイは、FLASH アレイ CTRL ブロックのベース・アドレス・レジスタによって配置される位置が決まります。MASK ROM アレイは、MASK ROM アレイ CTRL ブロックのベース・アドレス・レジスタによって配置される位置が決まります。未実装ブロックは外部にマップされます。

24 本のアドレス・ラインがありますが、CPU16 は A[19:0] しか使用しません。ADDR[23:20] は A19 と同じ状態にドライブされるため、\$080000 から \$F7FFFF の範囲のアドレスにはアクセスできません

アドレス・マップでは Y = M111 です。ただし、M はシングルチップ・インテグレーション・モジュールのコンフィギュレーション・レジスタ (SLIM) のモジュール・マッピング・ビット (MM) の状態を表わします。この MCU では、Y は \$F でなければなりません。MM がクリアされている場合、CPU16 は \$080000 から \$F7FFFF までのアドレス範囲をアクセスできないため、リセットが発生するまで IMB モジュールにはアクセスできません。MM はリセットの後に 1 回だけ書き込むことができます。

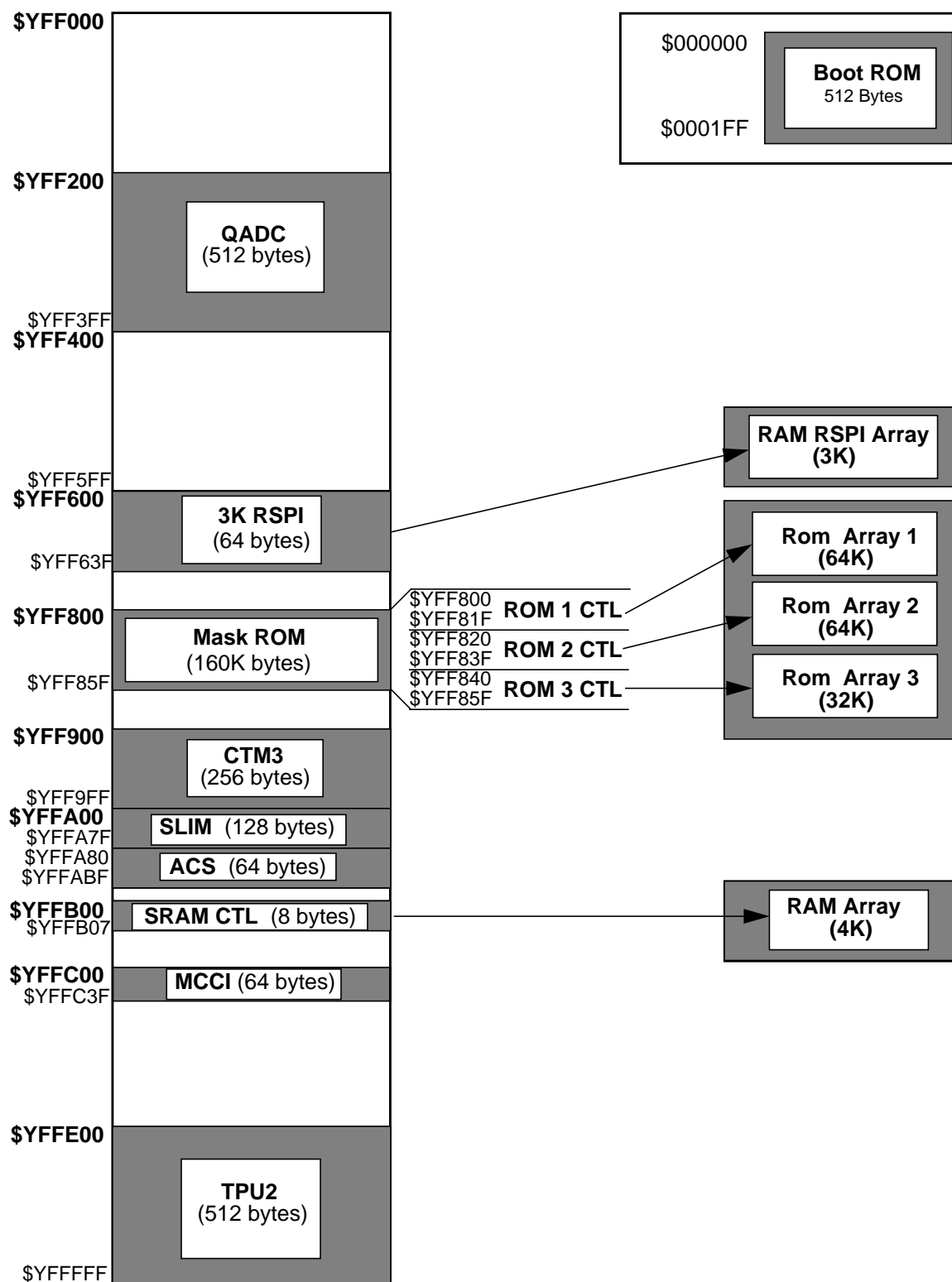


図 3(a) MC68HC16Y5 のシステム・アドレス・マップ

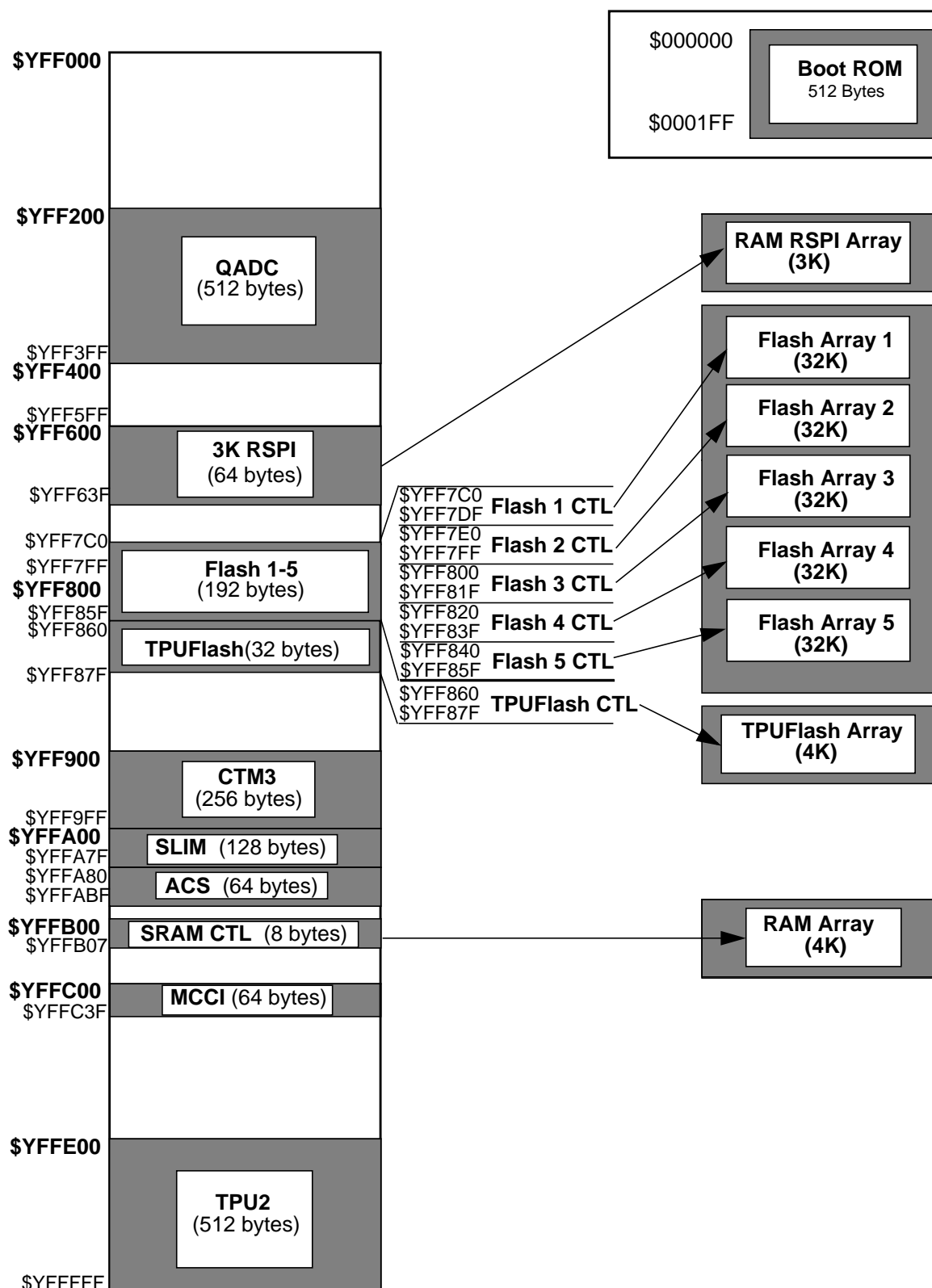


図 3(b) MC68HC916Y5 のシステム・アドレス・マップ

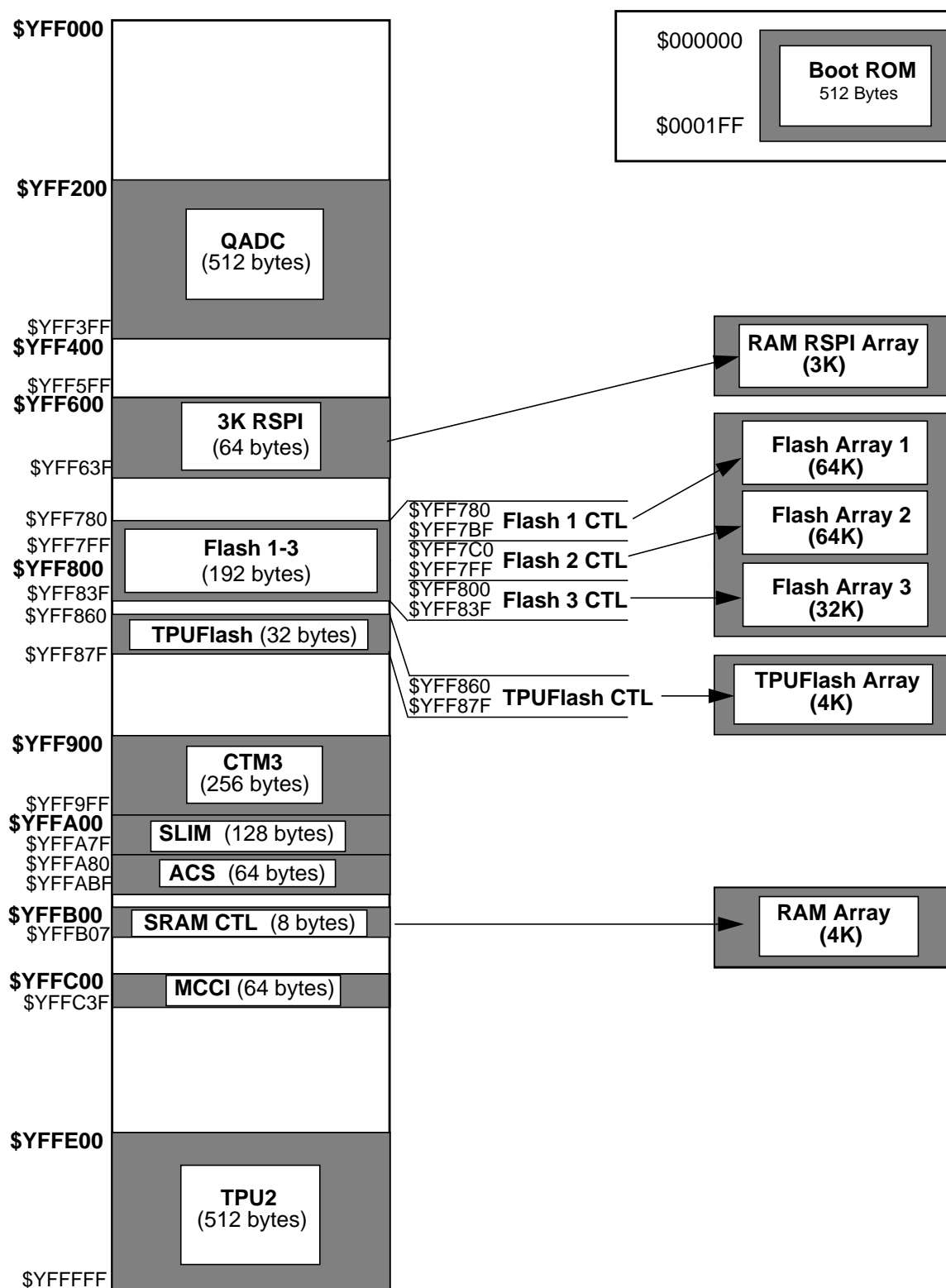


図 3(c) MC68HC916Y6 のシステム・アドレス・マップ



## 1.5 インタモジュール・バス

インタモジュール・バス (IMB) は、モジュラ・マイクロコントローラの設計を簡略化するために開発された標準バスです。例外処理、アドレス空間の分割、多重割込みレベル、およびベクタ割込みをサポートする回路を内蔵しています。CPU 内の標準モジュールは、IMB を介して相互に、あるいは外部とのインタフェースが可能です。IMB は 24 本のアドレス・ラインと 16 本のデータ・ラインをサポートしていますが、CPU16 は 20 本のアドレス・ラインしか使用しないため、A[23:20] は A19 と同じ論理状態にドライブされます。

---

## 第 2 章 中央処理ユニット

---

CPU16 は真の 16 ビット高速デバイスです。M68HC11 のユーザはこのデバイスを使用して、既存のシステムとの互換性を維持しながら性能の向上を図ることができます。

### 2.1 概 要

マイクロコントローラを使用する上での重要事項は、プログラミングが簡単であることです。CPU16 の命令セットは高性能を発揮するように最適化されています。CPU16 は 2 個の 16 ビット汎用アキュムレータと 3 個の 16 ビット・インデックス・レジスタを内蔵しています。8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロング・ワード) のロードおよびストア操作をサポートし、また 16 ビットと 32 ビットの符号付き小数演算もサポートしています。バックグラウンド・デバッグ・モードを使用すればプログラム開発を効率よく進めることができます。

CPU16 のメモリ空間には、1M バイトのデータ空間と 1M バイトのプログラム空間があります。20 ビットのアドレッシング機能と透過型バンク切替え機能を使用して拡張メモリを実現しています。さらに、大部分の命令はバンク境界を自動的に処理します。

CPU16 は、最小のインタフェースで制御を主体としたデジタル信号処理機能を実現する命令とハードウェアを備えています。乗算・累積 (MAC) ユニットは、16 ビットの符号付き小数を乗算し、その結果得られる 32 ビット固定小数点積を 36 ビット・アキュムレータに格納することができます。また、モジュロ・アドレッシングで有限インパルス応答フィルタをサポートしています。

CPU16 の命令セットは高級言語をサポートしており、コントローラ・アプリケーションが複雑になり、制御プログラムが大規模になるにしたがって増える高級言語の利用に対応しています。高級言語を使用すれば、短期間でエラーが少なく容易に移植可能なソフトウェアの開発が可能です。

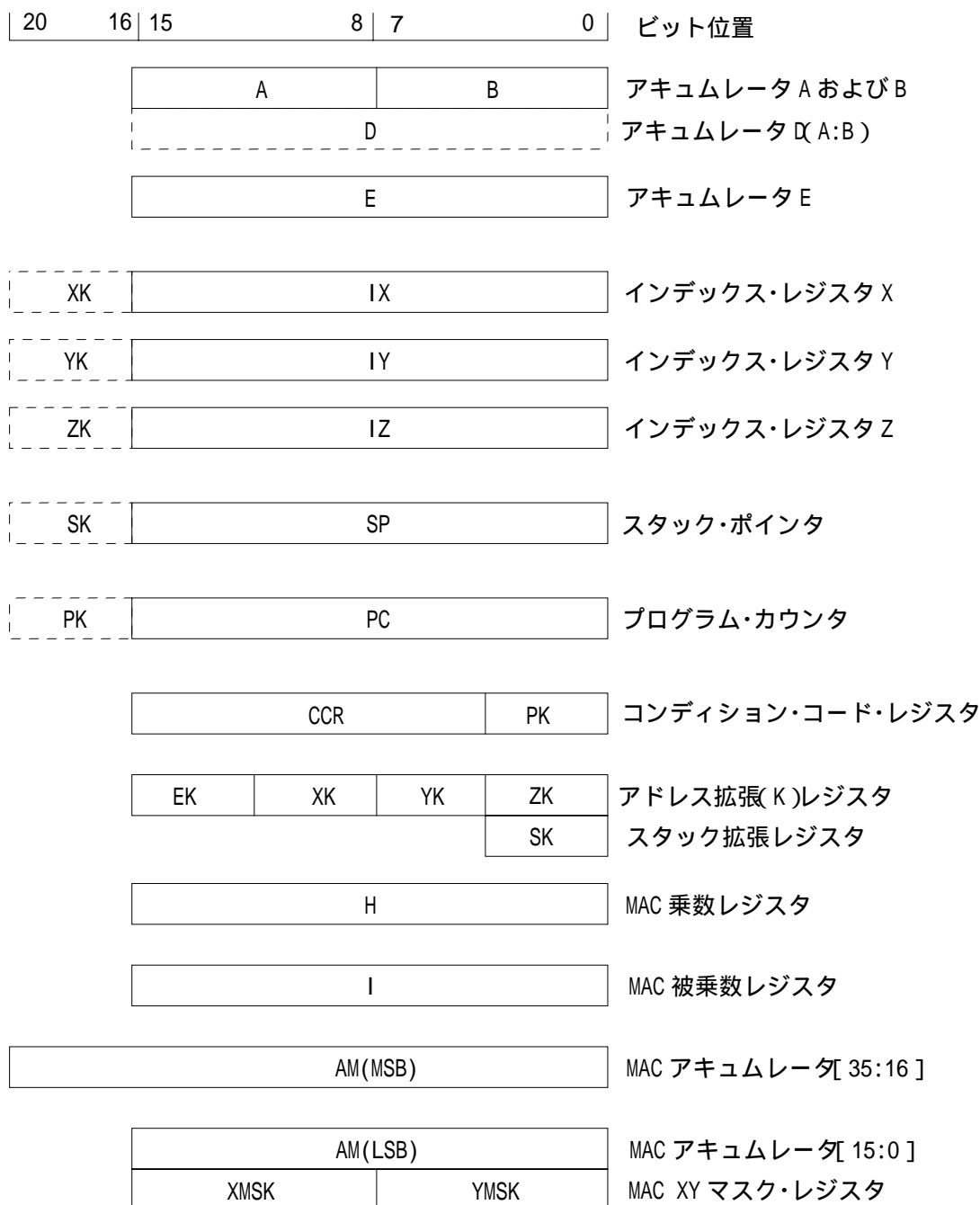
### 2.2 M68HC11 との互換性

CPU16 のアーキテクチャは M68HC11 のアーキテクチャのスーパーセットです。M68HC11 のすべてのリソースを CPU16 で利用できます。M68HC11 の命令は CPU16 に直接インプリメントされるか、同等な形式をもつ命令に置き換えられています。命令セットはソース・コード・レベルで互換性があります。ただし、一部の命令については M68HC16 では動作が異なります。これらの命令は主に割込みや例外処理に関係しています。したがって、割込み処理、スタック・フレーム処理、またはコンディション・コード・レジスタを操作する M68HC11 のコードは書き直す必要があります。

すべての命令の実行時間とサイクル数が異なるため、サイクルに関係する遅延や時限制御ルーチンが影響する場合があります。

CPU16 ではいくつかのアドレッシング・モードが新しく導入されるか、機能が強化されています。M68HC11 の直接モード・アドレッシングは、新しい IZ レジスタとリセット・ベクタを使用する特殊なインデックス・アドレッシング形式に置き換えられており、柔軟性が向上しています。

## 2.3 プログラマーズ・モデル



- アキュムレータ A: 8 ビット汎用レジスタ
- アキュムレータ B: 8 ビット汎用レジスタ
- アキュムレータ D: アキュムレータ A と B を連結して形成した 16 ビット・レジスタ
- アキュムレータ E: 16 ビット汎用レジスタ
- インデックス・レジスタ X: 16 ビット・インデックス・レジスタ、K レジスタの XK フィールドでアドレッシングを拡張
- インデックス・レジスタ Y: 16 ビット・インデックス・レジスタ、K レジスタの YK フィールドでアドレッシングを拡張
- インデックス・レジスタ Z: 16 ビット・インデックス・レジスタ、K レジスタの ZK フィールドでアドレッシングを拡張
- スタック・ポイン: 16 ビット専用レジスタ、SK レジスタでアドレッシングを拡張

- プログラム・カウンタ：16 ビット専用レジスタ、CCR の PK フィールドでアドレッシングを拡張
- コンディション・コード・レジスタ：コンディション・フラグ、割込みプライオリティ・マスク、およびプログラム・カウンタのアドレス拡張フィールドをもつ 16 ビット・レジスタ
- K レジスタ：4 つの 4 ビット・アドレス拡張フィールドで構成される 16 ビット・レジスタ
- SK レジスタ：スタック・ポインタ・アドレス拡張フィールドをもつ 4 ビット・レジスタ
- H レジスタ：16 ビット乗算・累積入力（乗数）レジスタ
- I レジスタ：16 ビット乗算・累積入力（被乗数）レジスタ
- MAC アキュムレータ：36 ビット乗算・累積リザルト・レジスタ
- XMSK、YMSK：オフセット加算時にどのビットを変化させるかを指定

## 2.3.1 コンディション・コード・レジスタ

コンディション・コード・レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S	MV	H	EV	N	Z	V	C	IP			SM	PK			

コンディション・コード・レジスタ（CCR）は、2 つの機能ブロックとして考えることができます。最上位ビット（MSB）は MC68HC11 の CCR に対応しており、低電力ストップ・コントロール・ビットとプロセッサ・ステータス・フラグがあります。最下位ビット（LSB）には、割込みプライオリティ・フィールド、デジタル信号処理（DSP）飽和モード・コントロール・ビット、およびプログラム・カウンタ・アドレス拡張フィールドがあります。

### S---STOP イネーブル

0 = LPSTOP 命令が実行されたときにクロックを停止する。

1 = LPSTOP 命令が実行されたときに NOP を実行する。

### MV--- アキュムレータ M オーバフロー・フラグ

アキュムレータ M の符号ビット（AM35）へのオーバフローが発生するとセットされます。

### H--- ハーフ・キャリ・フラグ

BCD 加算の実行中に、アキュムレータ A または B のビット 3 からキャリが発生するとセットされます。

### EV--- 拡張ビット・オーバフロー・フラグ

アキュムレータ M のビット 31 へのオーバフローが発生するとセットされます。

### N--- ネガティブ・フラグ

リザルト・レジスタの MSB がセットされるとセットされます。

### Z--- ゼロ・フラグ

リザルト・レジスタのすべてのビットがゼロのときにセットされます。

### V--- オーバフロー・フラグ

演算の結果、2 の補数のオーバフローが発生するとセットされます。

### C--- キャリ・フラグ

算術演算中にキャリまたはボローが発生するとセットされます。また、複数のワード演算を容易にするためにシフトおよびローテイト中にも使用されます。

### IP[2:0]--- 割込みプライオリティ・マスク

このフィールドの値（\$0 ~ \$7）は、CPU16 の割込み優先レベルを指定します。

### SM--- 飽和モード・ビット

SM がセットされているときに、EV または MV のいずれかがセットされた場合、TMRT または TMET を使用してアキュムレータ M から読み出されたデータには、オーバフロー発生前の AM の符号ビットの状態に応じて、正の最大値または負の最大値が与えられます。

### PK[3:0]--- プログラム・カウンタ・アドレス拡張フィールド

このフィールドはプログラム・カウンタと連結され、20 ビットの疑似リニア・アドレスを形成します。

## 2.4 データ・タイプ

CPU16 は次のデータ・タイプをサポートしています。

- ・ ビット・データ
- ・ 8 ビット (バイト) および 16 ビット (ワード) 整数
- ・ 32 ビット・ロング・ワード整数
- ・ 16 ビットおよび 32 ビット符号付き小数部 (MAC 演算のみ)
- ・ 16 ビット・ページ・アドレスと 4 ビット拡張部で構成される 20 ビット実効アドレス

1 バイトは 8 ビット幅であり、どのバイト・ロケーションでもアクセスできます。1 ワードは 2 つの連続バイトで構成されており、下位バイトでアドレス指定されます。命令フェッチは常にワード境界でアクセスされます。ワード・オペランドも通常、ワード境界でアクセスされますが、大幅な性能低下を覚悟すれば奇数バイト・アドレスでもアクセスできます。

M68HC11 との互換性を維持するために、不整列ワード転送および不整列スタック・アクセスが許されています。不整列ワードの転送には 2 つの連続したバイト操作が必要です。

## 2.5 アドレッシング・モード

CPU16 は 10 種類のアドレッシング・タイプをサポートしています。各タイプには 1 つまたは複数のアドレッシング・モードがあります。CPU16 の 6 つのアドレッシング・タイプが、M68HC11 のアドレッシング・タイプと同じです。

すべてのアドレッシング・モードで ADDR[15:0] が生成されます。このアドレスに拡張フィールドの ADDR[19:16] を組み合わせて、20 ビットの実効アドレスが形成されます。拡張フィールドは、CPU16 に 1M バイトのアドレス空間を提供するバンク切替え方式の一部です。ほとんどの命令ではユーザがバンク切替えを意識する必要はありません。バンク境界をまたがってアクセスすると、実効アドレスの ADDR[19:16] が変化します。しかし、関連の拡張フィールドの値は、命令のタイプによって異なり、一般にアクセスがバンク境界を超えても変化しないことに注意してください。

イミディエイト・モードでは、命令の直後にあるバイトまたはワードに引数が含まれています。実効アドレスは、命令の直後にあるバイトのアドレスです。AIS、AIX/Y/Z、ADDD、および ADDE 命令には拡張 8 ビット・モードがあり、イミディエイト値は 8 ビットの符号付き数値です。この数値は 16 ビットに符号拡張されてから所定のレジスタに加算されるため、実行時間が短縮されます。

拡張モード命令には、オペコードの直後のワードに ADDR[15:0] が含まれています。実効アドレスは EK フィールドと 16 ビットの拡張部を連結して形成されます。

インデックス・モードでは、レジスタ IX、IY、および IZ をその拡張フィールドとともに使用して、実効アドレスを計算します。符号付き 16 ビット・モードと符号付き 20 ビット・モードは、M68HC11 のインデックス・アドレッシング・モードの拡張です。

8 ビット・インデックス・モードでは、命令に含まれている 8 ビットの符号なしオフセットが、インデックス・レジスタとその拡張フィールドに含まれている値に加算されます。

16 ビット・モードでは、命令に含まれている 16 ビットの符号付きオフセットが、インデックス・レジスタとその拡張フィールドに含まれている値に加算されます。

20 ビット・モードでは、20 ビットの符号付きオフセットが、インデックス・レジスタに含まれている値に加算されます。このモードは JMP 命令と JSR 命令に使用されます。

インヘレント・モード命令は、プロセッサが利用できる情報を使用して実効アドレスを決定します。オペランド (もしあれば) はシステム・リソースであり、メモリからはフェッチされません。

アキュムレータ・オフセット・モードでは、16 ビットのアキュムレータ E の内容が、インデックス・レジスタの 1 つとその拡張フィールドに加算され、実効アドレスが形成されます。このモードではアキュムレータ D の内容を破壊せずに、ループ内でインデックス・レジスタとアキュムレータを使用できます。

相対モードは、分岐命令およびロング分岐命令に使用されます。分岐条件が満足されると、バイトまたはワードの符号付き 2 の補数オフセットが、プログラム・カウンタに加算されます。この PK フィールドと連結された新しい PC の値が実効アドレスです。

ポストモディファイド・インデックス・モードは、MOVB 命令および MOVW 命令で使用されます。XK と IX によって形成される実効アドレスが使用された後、8 ビットの符号付きオフセットがインデックス・レジスタ X に加算されます。

M68HC11 システムでは、ダイレクト・アドレッシング・モードを使用して、ページ 0 (\$0000 ~ \$00FF) にマップされた RAM または I/O への高速アクセスを実行できます。しかし、CPU16 はページ 0 の先頭の

512 バイトを例外ベクタに使用しています。ダイレクト・モードがなくなった代わりに、ZK フィールドとインデックス・レジスタ Z にリセット初期化ベクタが割り当てられています。プログラマは、ZK フィールドに選択したページを再設定し、IZ で 8 ビットの符号なしインデックス・モードを使用して、アドレス・マップ内の有用データ構造にアクセスできます。

## 2.6 命令セット

CPU16 には 8 ビットの命令セットがあります。また、プレバイトを使用してマルチページのオペコード・マップをサポートしています。この構成によって、ページ 0 のオペコードと同時に 8 ビットのオペランドをフェッチすることが可能です。プログラムで 8 ビットのオフセット・インデックス・アドレッシング・モードを最大限に活用すれば、命令空間が大幅に縮小されます。

CPU16 の命令セットは、M68HC11 の命令セットをベースにしていますが、16 ビット・データ・バスで最高の性能を発揮できるよう、オペコード・マップの配置が変更されています。M68HC11 の命令はすべて CPU16 でもサポートされていますが、実行内容は必ずしも同じではありません。M68HC11 のコードの多くは、再アセンブルすれば CPU16 でも動作します。ユーザは命令処理時間の違い、調停方式の違い、そして新しい割込みスタック・フレームを考慮に入れておく必要があります。

CPU16 には、符号付きまたは符号なしの乗算および除算など、豊富な 16 ビットの算術命令や論理命令があります。また、拡張アドレッシングやデジタル信号処理をサポートするための新しい命令も追加されています。

CPU16 の命令セットの要約を表 9 に示します。コンディション・コード・レジスタの LSB は影響を与える命令が少ないため記載していません。割込みマスクや PK フィールドに影響を与える命令には注が付けてあります。

表 9 命令セットの要約

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
ABA	Add B to A	$(A) + (B) \Rightarrow A$	INH	370B	—	2	—	—	—	—	—	—	—	—
ABX	Add B to X	$(XK : IX) + (000 : B) \Rightarrow XK : IX$	INH	374F	—	2	—	—	—	—	—	—	—	—
ABY	Add B to Y	$(YK : IY) + (000 : B) \Rightarrow YK : IY$	INH	375F	—	2	—	—	—	—	—	—	—	—
ABZ	Add B to Z	$(ZK : IZ) + (000 : B) \Rightarrow ZK : IZ$	INH	376F	—	2	—	—	—	—	—	—	—	—
ACE	Add E to AM[31:15]	$(AM[31:15]) + (E) \Rightarrow AM$	INH	3722	—	2	—	—	—	—	—	—	—	—
ACED	Add concatenated E and D to AM	$(E : D) + (AM) \Rightarrow AM$	INH	3723	—	4	—	—	—	—	—	—	—	—
ADCA	Add with Carry to A	$(A) + (M) + C \Rightarrow A$	IND8, X	43	ff	6	—	—	—	—	—	—	—	—
			IND8, Y	53	ff	6								
			IND8, Z	63	ff	6								
			IMM8	73	ii	2								
			IND16, X	1743	gggg	6								
			IND16, Y	1753	gggg	6								
			IND16, Z	1763	gggg	6								
			EXT	1773	hh ll	6								
			E, X	2743	—	6								
			E, Y	2753	—	6								
			E, Z	2763	—	6								
ADCB	Add with Carry to B	$(B) + (M) + C \Rightarrow B$	IND8, X	C3	ff	6	—	—	—	—	—	—	—	—
			IND8, Y	D3	ff	6								
			IND8, Z	E3	ff	6								
			IMM8	F3	ii	2								
			E, X	27C3	—	6								
			E, Y	27D3	—	6								
			E, Z	27E3	—	6								
			IND16, X	17C3	gggg	6								
			IND16, Y	17D3	gggg	6								
			IND16, Z	17E3	gggg	6								
			EXT	17F3	hh ll	6								
ADCD	Add with Carry to D	$(D) + (M : M + 1) + C \Rightarrow D$	IND8, X	83	ff	6	—	—	—	—	—	—	—	—
			IND8, Y	93	ff	6								
			IND8, Z	A3	ff	6								
			E, X	2783	—	6								
			E, Y	2793	—	6								
			E, Z	27A3	—	6								
			IMM16	37B3	jj kk	4								
			IND16, X	37C3	gggg	6								
			IND16, Y	37D3	gggg	6								
			IND16, Z	37E3	gggg	6								
			EXT	37F3	hh ll	6								
ADCE	Add with Carry to E	$(E) + (M : M + 1) + C \Rightarrow E$	IMM16	3733	jj kk	4	—	—	—	—	—	—	—	—
			IND16, X	3743	gggg	6								
			IND16, Y	3753	gggg	6								
			IND16, Z	3763	gggg	6								
			EXT	3773	hh ll	6								

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペラント	サイクル	S	MV	H	EV	N	Z	V	C
ADDA	Add to A	(A) + (M) ⇒ A	IND8, X	41	ff	6	—	—	—					
			IND8, Y	51	ff	6								
			IND8, Z	61	ff	6								
			IMM8	71	ii	2								
			E, X	2741	—	6								
			E, Y	2751	—	6								
			E, Z	2761	—	6								
			IND16, X	1741	gggg	6								
			IND16, Y	1751	gggg	6								
			IND16, Z	1761	gggg	6								
			EXT	1771	hh ll	6								
ADDB	Add to B	(B) + (M) ⇒ B	IND8, X	C1	ff	6	—	—	—					
			IND8, Y	D1	ff	6								
			IND8, Z	E1	ff	6								
			IMM8	F1	ii	2								
			E, X	27C1	—	6								
			E, Y	27D1	—	6								
			E, Z	27E1	—	6								
			IND16, X	17C1	gggg	6								
			IND16, Y	17D1	gggg	6								
			IND16, Z	17E1	gggg	6								
			EXT	17F1	hh ll	6								
ADDD	Add to D	(D) + (M : M + 1) ⇒ D	IND8, X	81	ff	6	—	—	—	—				
			IND8, Y	91	ff	6								
			IND8, Z	A1	ff	6								
			IMM8	FC	ii	2								
			E, X	2781	—	6								
			E, Y	2791	—	6								
			E, Z	27A1	—	6								
			IMM16	37B1	jj kk	4								
			IND16, X	37C1	gggg	6								
			IND16, Y	37D1	gggg	6								
			IND16, Z	37E1	gggg	6								
			EXT	37F1	hh ll	6								
ADDE	Add to E	(E) + (M : M + 1) ⇒ E	IMM8	7C	ii	2	—	—	—	—				
			IMM16	3731	jj kk	4								
			IND16, X	3741	gggg	6								
			IND16, Y	3751	gggg	6								
			IND16, Z	3761	gggg	6								
			EXT	3771	hh ll	6								
ADE	Add D to E	(E) + (D) ⇒ E	INH	2778	—	2	—	—	—	—				
ADX	Add D to X	(XK : IX) + («D) ⇒ XK : IX	INH	37CD	—	2	—	—	—	—	—	—	—	—
ADY	Add D to Y	(YK : IY) + («D) ⇒ YK : IY	INH	37DD	—	2	—	—	—	—	—	—	—	—
ADZ	Add D to Z	(ZK : IZ) + («D) ⇒ ZK : IZ	INH	37ED	—	2	—	—	—	—	—	—	—	—
AEX	Add E to X	(XK : IX) + («E) ⇒ XK : IX	INH	374D	—	2	—	—	—	—	—	—	—	—
AEY	Add E to Y	(YK : IY) + («E) ⇒ YK : IY	INH	375D	—	2	—	—	—	—	—	—	—	—
AEZ	Add E to Z	(ZK : IZ) + («E) ⇒ ZK : IZ	INH	376D	—	2	—	—	—	—	—	—	—	—
AIS	Add Immediate Data to SP	SK : SP + «IMM ⇒ SK : SP	IMM8	3F	ii	2	—	—	—	—	—	—	—	—
			IMM16	373F	jj kk	4								
AIX	Add Immediate Value to X	XK : IX + «IMM ⇒ XK : IX	IMM8	3C	ii	2	—	—	—	—	—	—	—	—
			IMM16	373C	jj kk	4								
AIY	Add Immediate Value to Y	YK : IY + «IMM ⇒ YK : IY	IMM8	3D	ii	2	—	—	—	—	—	—	—	—
			IMM16	373D	jj kk	4								



表 9 命令セットの要約 ( 続き )

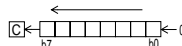
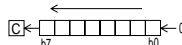
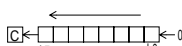
ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード									
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C		
AIZ	Add Immediate Value to Z	ZK : IZ + «IMM ⇒ ZK : IZ	IMM8	3E	ii	2	—	—	—	—	—				—	—
ANDA	AND A	(A) • (M) ⇒ A	IMM16	373E	jj kk	4	—	—	—	—	0					
			IND8, X	46	ff	6										
			IND8, Y	56	ff	6										
			IND8, Z	66	ff	6										
			IMM8	76	ii	2										
			IND16, X	1746	gggg	6										
			IND16, Y	1756	gggg	6										
			IND16, Z	1766	gggg	6										
			EXT	1776	hh ll	6										
			E, X	2746	—	6										
			E, Y	2756	—	6										
			E, Z	2766	—	6										
ANDB	AND B	(B) • (M) ⇒ B	IND8, X	C6	ff	6	—	—	—	—	0					—
			IND8, Y	D6	ff	6										
			IND8, Z	E6	ff	6										
			IMM8	F6	ii	2										
			IND16, X	17C6	gggg	6										
			IND16, Y	17D6	gggg	6										
			IND16, Z	17E6	gggg	6										
			EXT	17F6	hh ll	6										
			E, X	27C6	—	6										
			E, Y	27D6	—	6										
			E, Z	27E6	—	6										
			ANDD	AND D	(D) • (M : M + 1) ⇒ D	IND8, X										
IND8, Y	96	ff				6										
IND8, Z	A6	ff				6										
E, X	2786	—				6										
E, Y	2796	—				6										
E, Z	27A6	—				6										
IMM16	37B6	jj kk				4										
IND16, X	37C6	gggg				6										
IND16, Y	37D6	gggg				6										
IND16, Z	37E6	gggg				6										
EXT	37F6	hh ll				6										
ANDE	AND E	(E) • (M : M + 1) ⇒ E				IMM16	3736	jj kk	4	—	—	—	—	0		
			IND16, X	3746	gggg	6										
			IND16, Y	3756	gggg	6										
			IND16, Z	3766	gggg	6										
			EXT	3776	hh ll	6										
ANDP <sup>1</sup>	AND CCR	(CCR) • IMM16⇒ CCR	IMM16	373A	jj kk	4										
ASL	Arithmetic Shift Left		IND8, X	04	ff	8	—	—	—	—						
			IND8, Y	14	ff	8										
			IND8, Z	24	ff	8										
			IND16, X	1704	gggg	8										
			IND16, Y	1714	gggg	8										
			IND16, Z	1724	gggg	8										
			EXT	1734	hh ll	8										
ASLA	Arithmetic Shift Left A		INH	3704	—	2	—	—	—	—						
ASLB	Arithmetic Shift Left B		INH	3714	—	2	—	—	—	—						

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
ASLD	Arithmetic Shift Left D		INH	27F4	—	2	—	—	—	—				
ASLE	Arithmetic Shift Left E		INH	2774	—	2	—	—	—	—				
ASLM	Arithmetic Shift Left AM		INH	27B6	—	4	—		—		—	—		
ASLW	Arithmetic Shift Left Word		IND16, X	2704	gggg	8	—	—	—	—				
			IND16, Y	2714	gggg	8								
			IND16, Z	2724	gggg	8								
			EXT	2734	hh ll	8								
ASR	Arithmetic Shift Right		IND8, X	0D	ff	8	—	—	—	—				
			IND8, Y	1D	ff	8								
			IND8, Z	2D	ff	8								
			IND16, X	170D	gggg	8								
			IND16, Y	171D	gggg	8								
			IND16, Z	172D	gggg	8								
			EXT	173D	hh ll	8								
ASRA	Arithmetic Shift Right A		INH	370D	—	2	—	—	—	—				
ASRB	Arithmetic Shift Right B		INH	371D	—	2	—	—	—	—				
ASRD	Arithmetic Shift Right D		INH	27FD	—	2	—	—	—	—				
ASRE	Arithmetic Shift Right E		INH	277D	—	2	—	—	—	—				
ASRM	Arithmetic Shift Right AM		INH	27BA	—	4	—	—	—	—			—	—
ASRW	Arithmetic Shift Right Word		IND16, X	270D	gggg	8	—	—	—	—				
			IND16, Y	271D	gggg	8								
			IND16, Z	272D	gggg	8								
			EXT	273D	hh ll	8								
BCC <sup>4</sup>	Branch if Carry Clear	If C = 0, branch	REL8	B4	rr	6, 2	—	—	—	—	—	—	—	—
BCLR	Clear Bit(s)	$(M) \cdot (\overline{\text{Mask}}) \Rightarrow M$	IND16, X	08	mm gggg	8	—	—	—	—	0	—		
			IND16, Y	18	mm gggg	8								
			IND16, Z	28	mm gggg	8								
			EXT	38	mm hh ll	8								
			IND8, X	1708	mm ff	8								
			IND8, Y	1718	mm ff	8								
			IND8, Z	1728	mm ff	8								
BCLRW	Clear Bit(s) Word	$(M : M + 1) \cdot (\overline{\text{Mask}}) \Rightarrow M : M + 1$	IND16, X	2708	gggg mmmm	10	—	—	—	—	0	—		
			IND16, Y	2718	gggg mmmm	10								
			IND16, Z	2728	gggg mmmm	10								
			EXT	2738	hh ll mmmm	10								

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション ・ コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
BCS <sup>4</sup>	Branch if Carry Set	If C = 1, branch	REL8	B5	rr	6, 2	—	—	—	—	—	—	—	—
BEQ <sup>4</sup>	Branch if Equal	If Z = 1, branch	REL8	B7	rr	6, 2	—	—	—	—	—	—	—	—
BGE <sup>4</sup>	Branch if Greater Than or Equal to Zero	If $N \oplus V = 0$ , branch	REL8	BC	rr	6, 2	—	—	—	—	—	—	—	—
BGND	Enter Background Debug Mode	If BDM enabled enter BDM; else, illegal instruction	INH	37A6	—	—	—	—	—	—	—	—	—	—
BGT <sup>4</sup>	Branch if Greater Than Zero	If $Z + (N \oplus V) = 0$ , branch	REL8	BE	rr	6, 2	—	—	—	—	—	—	—	—
BHI <sup>4</sup>	Branch if Higher	If $C + Z = 0$ , branch	REL8	B2	rr	6, 2	—	—	—	—	—	—	—	—
BITA	Bit Test A	(A) • (M)	IND8, X	49	ff	6	—	—	—	—	0	—		
			IND8, Y	59	ff	6								
			IND8, Z	69	ff	6								
			IMM8	79	ii	2								
			IND16, X	1749	gggg	6								
			IND16, Y	1759	gggg	6								
			IND16, Z	1769	gggg	6								
			EXT	1779	hh ll	6								
			E, X	2749	—	6								
			E, Y	2759	—	6								
			E, Z	2769	—	6								
BITB	Bit Test B	(B) • (M)	IND8, X	C9	ff	6	—	—	—	—	0	—		
			IND8, Y	D9	ff	6								
			IND8, Z	E9	ff	6								
			IMM8	F9	ii	2								
			IND16, X	17C9	gggg	6								
			IND16, Y	17D9	gggg	6								
			IND16, Z	17E9	gggg	6								
			EXT	17F9	hh ll	6								
			E, X	27C9	—	6								
			E, Y	27D9	—	6								
			E, Z	27E9	—	6								
BLE <sup>4</sup>	Branch if Less Than or Equal to Zero	If $Z + (N \oplus V) = 1$ , branch	REL8	BF	rr	6, 2	—	—	—	—	—	—	—	—
BLS <sup>4</sup>	Branch if Lower or Same	If $C + Z = 1$ , branch	REL8	B3	rr	6, 2	—	—	—	—	—	—	—	—
BLT <sup>4</sup>	Branch if Less Than Zero	If $N \oplus V = 1$ , branch	REL8	BD	rr	6, 2	—	—	—	—	—	—	—	—
BMI <sup>4</sup>	Branch if Minus	If N = 1, branch	REL8	BB	rr	6, 2	—	—	—	—	—	—	—	—
BNE <sup>4</sup>	Branch if Not Equal	If Z = 0, branch	REL8	B6	rr	6, 2	—	—	—	—	—	—	—	—
BPL <sup>4</sup>	Branch if Plus	If N = 0, branch	REL8	BA	rr	6, 2	—	—	—	—	—	—	—	—
BRA	Branch Always	If 1 = 1, branch	REL8	B0	rr	6	—	—	—	—	—	—	—	—
BRCLR <sup>4</sup>	Branch if Bit(s) Clear	If (M) • (Mask) = 0, branch	IND8, X	CB	mm ff rr	10, 12	—	—	—	—	—	—	—	—
			IND8, Y	DB	mm ff rr	10, 12								
			IND8, Z	EB	mm ff rr	10, 12								
			IND16, X	0A	mm gggg rrrr	10, 14								
			IND16, Y	1A	mm gggg rrrr	10, 14								
			IND16, Z	2A	mm gggg rrrr	10, 14								
			EXT	3A	mm hh ll rrrr	10, 14								
BRN	Branch Never	If 1 = 0, branch	REL8	B1	rr	2	—	—	—	—	—	—	—	—

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
BRSET <sup>4</sup>	Branch if Bit(s) Set	If $(\overline{M}) \cdot (\text{Mask}) = 0$ , branch	IND8, X	8B	mm ff rr	10, 12	—	—	—	—	—	—	—	—
			IND8, Y	9B	mm ff rr	10, 12								
			IND8, Z	AB	mm ff rr	10, 12								
			IND16, X	0B	mm gggg rrrr	10, 14								
			IND16, Y	1B	mm gggg rrrr	10, 14								
			IND16, Z	2B	mm gggg rrrr	10, 14								
			EXT	3B	mm hh ll rrrr	10, 14								
BSET	Set Bit(s)	$(M) \cdot (\text{Mask}) \Rightarrow M$	IND16, X	09	mm gggg	8	—	—	—	—	0	—		
			IND16, Y	19	mm gggg	8								
			IND16, Z	29	mm gggg	8								
			EXT	39	mm hh ll	8								
			IND8, X	1709	mm ff	8								
			IND8, Y	1719	mm ff	8								
			IND8, Z	1729	mm ff	8								
BSETW	Set Bit(s) in Word	$(M : M + 1) \cdot (\text{Mask}) \Rightarrow M : M + 1$	IND16, X	2709	gggg mmmm	10	—	—	—	—	0	—		
			IND16, Y	2719	gggg mmmm	10								
			IND16, Z	2729	gggg mmmm	10								
			EXT	2739	hh ll mmmm	10								
BSR	Branch to Subroutine	(PK : PC) - 2 $\Rightarrow$ PK : PC Push (PC) (SK : SP) - 2 $\Rightarrow$ SK : SP Push (CCR) (SK : SP) - 2 $\Rightarrow$ SK : SP (PK : PC) + Offset $\Rightarrow$ PK : PC	REL8	36	rr	10	—	—	—	—	—	—	—	—
BVC <sup>4</sup>	Branch if Overflow Clear	If V = 0, branch	REL8	B8	rr	6, 2	—	—	—	—	—	—	—	—
BVS <sup>4</sup>	Branch if Overflow Set	If V = 1, branch	REL8	B9	rr	6, 2	—	—	—	—	—	—	—	—
CBA	Compare A to B	(A) - (B)	INH	371B	—	2	—	—	—	—				
CLR	Clear Memory	$\$00 \Rightarrow M$	IND8, X	05	ff	4	—	—	—	—	0	1	0	0
			IND8, Y	15	ff	4								
			IND8, Z	25	ff	4								
			IND16, X	1705	gggg	6								
			IND16, Y	1715	gggg	6								
			IND16, Z	1725	gggg	6								
			EXT	1735	hh ll	6								
CLRA	Clear A	$\$00 \Rightarrow A$	INH	3705	—	2	—	—	—	—	0	1	0	0
CLRB	Clear B	$\$00 \Rightarrow B$	INH	3715	—	2	—	—	—	—	0	1	0	0
CLRD	Clear D	$\$0000 \Rightarrow D$	INH	27F5	—	2	—	—	—	—	0	1	0	0
CLRE	Clear E	$\$0000 \Rightarrow E$	INH	2775	—	2	—	—	—	—	0	1	0	0
CLRM	Clear AM	$\$000000000 \Rightarrow \text{AM}[32:0]$	INH	27B7	—	2	—	0	—	0	—	—	—	—
CLRW	Clear Memory Word	$\$0000 \Rightarrow M : M + 1$	IND16, X	2705	gggg	6	—	—	—	—	0	1	0	0
			IND16, Y	2715	gggg	6								
			IND16, Z	2725	gggg	6								
			EXT	2735	hh ll	6								

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション ・ コード							
				オペコード	オペラント	サイクル	S	MV	H	EV	N	Z	V	C
CMPA	Compare A to Memory	(A) – (M)	IND8, X	48	ff	6	—	—	—	—				
			IND8, Y	58	ff	6								
			IND8, Z	68	ff	6								
			IMM8	78	ii	2								
			IND16, X	1748	gggg	6								
			IND16, Y	1758	gggg	6								
			IND16, Z	1768	gggg	6								
			EXT	1778	hh ll	6								
			E, X	2748	—	6								
			E, Y	2758	—	6								
			E, Z	2768	—	6								
CMPB	Compare B to Memory	(B) – (M)	IND8, X	C8	ff	6	—	—	—	—				
			IND8, Y	D8	ff	6								
			IND8, Z	E8	ff	6								
			IMM8	F8	ii	2								
			IND16, X	17C8	gggg	6								
			IND16, Y	17D8	gggg	6								
			IND16, Z	17E8	gggg	6								
			EXT	17F8	hh ll	6								
			E, X	27C8	—	6								
			E, Y	27D8	—	6								
			E, Z	27E8	—	6								
COM	One's Complement	$\$FF - (M) \Rightarrow M$	IND8, X	00	ff	8	—	—	—	—		0	1	
			IND8, Y	10	ff	8								
			IND8, Z	20	ff	8								
			IND16, X	1700	gggg	8								
			IND16, Y	1710	gggg	8								
			IND16, Z	1720	gggg	8								
			EXT	1730	hh ll	8								
COMA	One's Complement A	$\$FF - (A) \Rightarrow A$	INH	3700	—	2	—	—	—	—		0	1	
COMB	One's Complement B	$\$FF - (B) \Rightarrow B$	INH	3710	—	2	—	—	—	—		0	1	
COMD	One's Complement D	$\$FFFF - (D) \Rightarrow D$	INH	27F0	—	2	—	—	—	—		0	1	
COME	One's Complement E	$\$FFFF - (E) \Rightarrow E$	INH	2770	—	2	—	—	—	—		0	1	
COMW	One's Complement Word	$\$FFFF - M : M + 1 \Rightarrow M : M + 1$	IND16, X	2700	gggg	8	—	—	—	—		0	1	
			IND16, Y	2710	gggg	8								
			IND16, Z	2720	gggg	8								
			EXT	2730	hh ll	8								
CPD	Compare D to Memory	(D) – (M : M + 1)	IND8, X	88	ff	6	—	—	—	—				
			IND8, Y	98	ff	6								
			IND8, Z	A8	ff	6								
			E, X	2788	—	6								
			E, Y	2798	—	6								
			E, Z	27A8	—	6								
			IMM16	37B8	jj kk	4								
			IND16, X	37C8	gggg	6								
			IND16, Y	37D8	gggg	6								
			IND16, Z	37E8	gggg	6								
			EXT	37F8	hh ll	6								
CPE	Compare E to Memory	(E) – (M : M + 1)	IMM16	3738	jj kk	4	—	—	—	—				
			IND16, X	3748	gggg	6								
			IND16, Y	3758	gggg	6								
			IND16, Z	3768	gggg	6								
			EXT	3778	hh ll	6								

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペラント	サイクル	S	MV	H	EV	N	Z	V	C
CPS	Compare SP to Memory	(SP) – (M : M + 1)	IND8, X	4F	ff	6	—	—	—	—				
			IND8, Y	5F	ff	6								
			IND8, Z	6F	ff	6								
			IND16, X	174F	gggg	6								
			IND16, Y	175F	gggg	6								
			IND16, Z	176F	gggg	6								
			EXT	177F	hh ll	6								
CPX	Compare IX to Memory	(IX) – (M : M + 1)	IMM16	377F	jj kk	4	—	—	—	—				
			IND8, X	4C	ff	6								
			IND8, Y	5C	ff	6								
			IND8, Z	6C	ff	6								
			IND16, X	174C	gggg	6								
			IND16, Y	175C	gggg	6								
			IND16, Z	176C	gggg	6								
CPY	Compare IY to Memory	(IY) – (M : M + 1)	EXT	177C	hh ll	6	—	—	—	—				
			IMM16	377C	jj kk	4								
			IND8, X	4D	ff	6								
			IND8, Y	5D	ff	6								
			IND8, Z	6D	ff	6								
			IND16, X	174D	gggg	6								
			IND16, Y	175D	gggg	6								
CPZ	Compare IZ to Memory	(IZ) – (M : M + 1)	IND16, Z	176D	gggg	6	—	—	—	—				
			EXT	177D	hh ll	6								
			IMM16	377D	jj kk	4								
			IND8, X	4E	ff	6								
			IND8, Y	5E	ff	6								
			IND8, Z	6E	ff	6								
			IND16, X	174E	gggg	6								
DAA	Decimal Adjust A	(A) <sub>10</sub>	IND16, Y	175E	gggg	6	—	—	—	—				
			IND16, Z	176E	gggg	6								
			EXT	177E	hh ll	6								
			IMM16	377E	jj kk	4								
			IND8, X	4F	ff	6								
			IND8, Y	5F	ff	6								
			IND8, Z	6F	ff	6								
DAA	Decimal Adjust A	(A) <sub>10</sub>	INH	3721	—	2	—	—	—	—				U
DEC	Decrement Memory	(M) – \$01 ⇒ M	IND8, X	01	ff	8	—	—	—	—				—
			IND8, Y	11	ff	8								
			IND8, Z	21	ff	8								
			IND16, X	1701	gggg	8								
			IND16, Y	1711	gggg	8								
			IND16, Z	1721	gggg	8								
DECA	Decrement A	(A) – \$01 ⇒ A	EXT	1731	hh ll	8								—
DECB	Decrement B	(B) – \$01 ⇒ B	INH	3701	—	2	—	—	—	—				—
DECW	Decrement Memory Word	(M : M + 1) – \$0001 ⇒ M : M + 1	INH	3711	—	2	—	—	—	—				—
			IND16, X	2701	gggg	8	—	—	—	—				—
			IND16, Y	2711	gggg	8								
			IND16, Z	2721	gggg	8								
EDIV	Extended Unsigned Divide	(E : D) / (IX) Quotient ⇒ IX Remainder ⇒ D	EXT	2731	hh ll	8								
EDIVS	Extended Signed Divide	(E : D) / (IX) Quotient ⇒ IX Remainder ⇒ ACCD	INH	3728	—	24	—	—	—	—				
EMUL	Extended Unsigned Multiply	(E) * (D) ⇒ E : D	INH	3729	—	38	—	—	—	—				—
EMULS	Extended Signed Multiply	(E) * (D) ⇒ E : D	INH	3725	—	10	—	—	—	—				—
			INH	3726	—	8	—	—	—	—				—

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
EORA	Exclusive OR A	$(A) \oplus (M) \Rightarrow A$	IND8, X	44	ff	6	—	—	—	—	0	—		
			IND8, Y	54	ff	6								
			IND8, Z	64	ff	6								
			IMM8	74	ii	2								
			IND16, X	1744	gggg	6								
			IND16, Y	1754	gggg	6								
			IND16, Z	1764	gggg	6								
			EXT	1774	hh ll	6								
			E, X	2744	—	6								
			E, Y	2754	—	6								
			E, Z	2764	—	6								
EORB	Exclusive OR B	$(B) \oplus (M) \Rightarrow B$	IND8, X	C4	ff	6	—	—	—	—	0	—		
			IND8, Y	D4	ff	6								
			IND8, Z	E4	ff	6								
			IMM8	F4	ii	2								
			IND16, X	17C4	gggg	6								
			IND16, Y	17D4	gggg	6								
			IND16, Z	17E4	gggg	6								
			EXT	17F4	hh ll	6								
			E, X	27C4	—	6								
			E, Y	27D4	—	6								
			E, Z	27E4	—	6								
EORD	Exclusive OR D	$(D) \oplus (M : M + 1) \Rightarrow D$	IND8, X	84	ff	6	—	—	—	—	0	—		
			IND8, Y	94	ff	6								
			IND8, Z	A4	ff	6								
			E, X	2784	—	6								
			E, Y	2794	—	6								
			E, Z	27A4	—	6								
			IMM16	37B4	jj kk	4								
			IND16, X	37C4	gggg	6								
			IND16, Y	37D4	gggg	6								
			IND16, Z	37E4	gggg	6								
			EXT	37F4	hh ll	6								
EORE	Exclusive OR E	$(E) \oplus (M : M + 1) \Rightarrow E$	IMM16	3734	jj kk	4	—	—	—	—	0	—		
			IND16, X	3744	gggg	6								
			IND16, Y	3754	gggg	6								
			IND16, Z	3764	gggg	6								
			EXT	3774	hh ll	6								
FDIV	Fractional Unsigned Divide	$(D) / (IX) \Rightarrow IX$ Remainder $\Rightarrow D$	INH	372B	—	22	—	—	—	—	—	—	—	—
FMULS	Fractional Signed Multiply	$(E) * (D) \Rightarrow E : D[31:1]$ $0 \Rightarrow D[0]$	INH	3727	—	8	—	—	—	—	—	—	—	—
IDIV	Integer Divide	$(D) / (IX) \Rightarrow IX$ ; Remainder $\Rightarrow D$	INH	372A	—	22	—	—	—	—	—	0	—	—
INC	Increment Memory	$(M) + \$01 \Rightarrow M$	IND8, X	03	ff	8	—	—	—	—				
			IND8, Y	13	ff	8								
			IND8, Z	23	ff	8								
			IND16, X	1703	gggg	8								
			IND16, Y	1713	gggg	8								
			IND16, Z	1723	gggg	8								
			EXT	1733	hh ll	8								
INCA	Increment A	$(A) + \$01 \Rightarrow A$	INH	3703	—	2	—	—	—	—	—	—	—	—
INCB	Increment B	$(B) + \$01 \Rightarrow B$	INH	3713	—	2	—	—	—	—	—	—	—	—

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
INCW	Increment Memory Word	$(M : M + 1) + \$0001$ $\Rightarrow M : M + 1$	IND16, X	2703	gggg	8	—	—	—	—				—
			IND16, Y	2713	gggg	8								
			IND16, Z	2723	gggg	8								
			EXT	2733	hh ll	8								
JMP	Jump	$\langle ea \rangle \Rightarrow PK : PC$ 注 : インデックス・レジスタを使用する際は K フィールドが無視されます。	IND20, X	4B	zg gggg	8	—	—	—	—	—	—	—	—
			IND20, Y	5B	zg gggg	8								
			IND20, Z	6B	zg gggg	8								
			EXT20	7A	zb hh ll	6								
JSR	Jump to Subroutine	Push (PC) $(SK : SP) - 2 \Rightarrow SK : SP$ Push (CCR) $(SK : SP) - 2 \Rightarrow SK : SP$ $\langle ea \rangle \Rightarrow PK : PC$ 注 : インデックス・レジスタを使用する際は K フィールドが無視されます。	IND20, X	89	zg gggg	12	—	—	—	—	—	—	—	—
			IND20, Y	99	zg gggg	12								
			IND20, Z	A9	zg gggg	12								
			EXT20	FA	zb hh ll	10								
LBCC <sup>4</sup>	Long Branch if Carry Clear	If C = 0, branch	REL16	3784	rrrr	6, 4	—	—	—	—	—	—	—	—
LBSC <sup>4</sup>	Long Branch if Carry Set	If C = 1, branch	REL16	3785	rrrr	6, 4	—	—	—	—	—	—	—	—
LBEQ <sup>4</sup>	Long Branch if Equal	If Z = 1, branch	REL16	3787	rrrr	6, 4	—	—	—	—	—	—	—	—
LBEV <sup>4</sup>	Long Branch if EV Set	If EV = 1, branch	REL16	3791	rrrr	6, 4	—	—	—	—	—	—	—	—
LBGE <sup>4</sup>	Long Branch if Greater Than or Equal to Zero	If $N \oplus V = 0$ , branch	REL16	378C	rrrr	6, 4	—	—	—	—	—	—	—	—
LBGT <sup>4</sup>	Long Branch if Greater Than Zero	If Z ; $(N \oplus V) = 0$ , branch	REL16	378E	rrrr	6, 4	—	—	—	—	—	—	—	—
LBHI <sup>4</sup>	Long Branch if Higher	If C ; Z = 0, branch	REL16	3782	rrrr	6, 4	—	—	—	—	—	—	—	—
LBLE <sup>4</sup>	Long Branch if Less Than or Equal to Zero	If Z ; $(N \oplus V) = 1$ , branch	REL16	378F	rrrr	6, 4	—	—	—	—	—	—	—	—
LBLS <sup>4</sup>	Long Branch if Lower or Same	If C ; Z = 1, branch	REL16	3783	rrrr	6, 4	—	—	—	—	—	—	—	—
LBLT <sup>4</sup>	Long Branch if Less Than Zero	If $N \oplus V = 1$ , branch	REL16	378D	rrrr	6, 4	—	—	—	—	—	—	—	—
LBMI <sup>4</sup>	Long Branch if Minus	If N = 1, branch	REL16	378B	rrrr	6, 4	—	—	—	—	—	—	—	—
LBMV <sup>4</sup>	Long Branch if MV Set	If MV = 1, branch	REL16	3790	rrrr	6, 4	—	—	—	—	—	—	—	—
LBNE <sup>4</sup>	Long Branch if Not Equal	If Z = 0, branch	REL16	3786	rrrr	6, 4	—	—	—	—	—	—	—	—
LBPL <sup>4</sup>	Long Branch if Plus	If N = 0, branch	REL16	378A	rrrr	6, 4	—	—	—	—	—	—	—	—
LBRA	Long Branch Always	If 1 = 1, branch	REL16	3780	rrrr	6	—	—	—	—	—	—	—	—
LBRN	Long Branch Never	If 1 = 0, branch	REL16	3781	rrrr	4	—	—	—	—	—	—	—	—
LBSR	Long Branch to Subroutine	Push (PC) $(SK : SP) - 2 \Rightarrow SK : SP$ Push (CCR) $(SK : SP) - 2 \Rightarrow SK : SP$ $(PK : PC) + \text{Offset} \Rightarrow PK : PC$	REL16	27F9	rrrr	10	—	—	—	—	—	—	—	—
LBVC <sup>4</sup>	Long Branch if Overflow Clear	If V = 0, branch	REL16	3788	rrrr	6, 4	—	—	—	—	—	—	—	—
LBVS <sup>4</sup>	Long Branch if Overflow Set	If V = 1, branch	REL16	3789	rrrr	6, 4	—	—	—	—	—	—	—	—



表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション ・ コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
LDAA	Load A	(M) ⇒ A	IND8, X	45	ff	6	—	—	—	—	0	—		
			IND8, Y	55	ff	6								
			IND8, Z	65	ff	6								
			IMM8	75	ii	2								
			IND16, X	1745	gggg	6								
			IND16, Y	1755	gggg	6								
			IND16, Z	1765	gggg	6								
			EXT	1775	hh ll	6								
			E, X	2745	—	6								
			E, Y	2755	—	6								
			E, Z	2765	—	6								
LDAB	Load B	(M) ⇒ B	IND8, X	C5	ff	6	—	—	—	—	0	—		
			IND8, Y	D5	ff	6								
			IND8, Z	E5	ff	6								
			IMM8	F5	ii	2								
			IND16, X	17C5	gggg	6								
			IND16, Y	17D5	gggg	6								
			IND16, Z	17E5	gggg	6								
			EXT	17F5	hh ll	6								
			E, X	27C5	—	6								
			E, Y	27D5	—	6								
			E, Z	27E5	—	6								
LDD	Load D	(M : M + 1) ⇒ D	IND8, X	85	ff	6	—	—	—	—	0	—		
			IND8, Y	95	ff	6								
			IND8, Z	A5	ff	6								
			E, X	2785	—	6								
			E, Y	2795	—	6								
			E, Z	27A5	—	6								
			IMM16	37B5	jj kk	4								
			IND16, X	37C5	gggg	6								
			IND16, Y	37D5	gggg	6								
			IND16, Z	37E5	gggg	6								
			EXT	37F5	hh ll	6								
LDE	Load E	(M : M + 1) ⇒ E	IMM16	3735	jj kk	4	—	—	—	—	0	—		
			IND16, X	3745	gggg	6								
			IND16, Y	3755	gggg	6								
			IND16, Z	3765	gggg	6								
			EXT	3775	hh ll	6								
LDDE	Load Concatenated E and D	(M : M + 1) ⇒ E (M + 2 : M + 3) ⇒ D	EXT	2771	hh ll	8	—	—	—	—	—	—	—	—
LDHI	Initialize H and I	(M : M + 1) <sub>X</sub> ⇒ H R (M : M + 1) <sub>Y</sub> ⇒ I R	EXT	27B0	—	8	—	—	—	—	—	—	—	—
LDS	Load SP	(M : M + 1) ⇒ SP	IND8, X	CF	ff	6	—	—	—	—	0	—		
			IND8, Y	DF	ff	6								
			IND8, Z	EF	ff	6								
			IND16, X	17CF	gggg	6								
			IND16, Y	17DF	gggg	6								
			IND16, Z	17EF	gggg	6								
			EXT	17FF	hh ll	6								
			IMM16	37BF	jj kk	4								

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
LDX	Load IX	(M : M + 1) ⇒ IX	IND8, X	CC	ff	6	—	—	—	—	0	—		
			IND8, Y	DC	ff	6								
			IND8, Z	EC	ff	6								
			IND16, X	17CC	gggg	6								
			IND16, Y	17DC	gggg	6								
			IND16, Z	17EC	gggg	6								
			EXT	17FC	hh ll	6								
LDY	Load IY	(M : M + 1) ⇒ IY	IMM16	37BC	jj kk	4	—	—	—	—	0	—		
			IND8, X	CD	ff	6								
			IND8, Y	DD	ff	6								
			IND8, Z	ED	ff	6								
			IND16, X	17CD	gggg	6								
			IND16, Y	17DD	gggg	6								
			IND16, Z	17ED	gggg	6								
LDZ	Load IZ	(M : M + 1) ⇒ IZ	EXT	17FD	hh ll	6	—	—	—	—	0	—		
			IMM16	37BD	jj kk	4								
			IND8, X	CE	ff	6								
			IND8, Y	DE	ff	6								
			IND8, Z	EE	ff	6								
			IND16, X	17CE	gggg	6								
			IND16, Y	17DE	gggg	6								
LPSTOP	Low Power Stop	If $\bar{S}$ then STOP else NOP	IND16, Z	17EE	gggg	6	—	—	—	—	0	—		
			EXT	17FE	hh ll	6								
			IMM16	37BE	jj kk	4								
			INH	27F1	—	4, 20								
LSR	Logical Shift Right		IND8, X	0F	ff	8	—	—	—	—	0			
			IND8, Y	1F	ff	8								
			IND8, Z	2F	ff	8								
			IND16, X	170F	gggg	8								
			IND16, Y	171F	gggg	8								
			IND16, Z	172F	gggg	8								
			EXT	173F	hh ll	8								
LSRA	Logical Shift Right A		INH	370F	—	2	—	—	—	—	0			
LSRB	Logical Shift Right B		INH	371F	—	2	—	—	—	—	0			
LSRD	Logical Shift Right D		INH	27FF	—	2	—	—	—	—	0			
LSRE	Logical Shift Right E		INH	277F	—	2	—	—	—	—	0			
LSRW	Logical Shift Right Word		IND16, X	270F	gggg	8	—	—	—	—	0			
			IND16, Y	271F	gggg	8								
			IND16, Z	272F	gggg	8								
			EXT	273F	hh ll	8								

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
MAC	Multiply and Accumulate Signed 16-Bit Fractions	$(HR) * (IR) \Rightarrow E:D$ $(AM) + (E:D) \Rightarrow AM$ Qualified $(IX) \Rightarrow IX$ Qualified $(IY) \Rightarrow IY$ $(HR) \Rightarrow IZ$ $(M:M+1)_X \Rightarrow HR$ $(M:M+1)_Y \Rightarrow IR$	IMM8	7B	xoyo	12	—	—			—	—	—	
MOVB	Move Byte	$(M_1) \Rightarrow M_2$	IXP to EXT	30	gg hh ll	8	—	—	—	—		0	—	
			EXT to IXP	32	gg hh ll	8								
			EXT to EXT	37FE	hh ll hh ll	10								
MOVW	Move Word	$(M:M+1) \Rightarrow M:M+1_2$	IXP to EXT	31	gg hh ll	8	—	—	—	—		0	—	
			EXT to IXP	33	gg hh ll	8								
			EXT to EXT	37FF	hh ll hh ll	10								
MUL	Multiply	$(A) * (B) \Rightarrow D$	INH	3724	—	10	—	—	—	—	—	—	—	—
NEG	Negate Memory	$\$00 - (M) \Rightarrow M$	IND8, X	02	ff	8	—	—	—	—				
			IND8, Y	12	ff	8								
			IND8, Z	22	ff	8								
			IND16, X	1702	gggg	8								
			IND16, Y	1712	gggg	8								
			IND16, Z	1722	gggg	8								
			EXT	1732	hh ll	8								
NEGA	Negate A	$\$00 - (A) \Rightarrow A$	INH	3702	—	2	—	—	—	—				
NEGB	Negate B	$\$00 - (B) \Rightarrow B$	INH	3712	—	2	—	—	—	—				
NEGD	Negate D	$\$0000 - (D) \Rightarrow D$	INH	27F2	—	2	—	—	—	—				
NEGE	Negate E	$\$0000 - (E) \Rightarrow E$	INH	2772	—	2	—	—	—	—				
NEGW	Negate Memory Word	$\$0000 - (M:M+1) \Rightarrow M:M+1$	IND16, X	2702	gggg	8	—	—	—	—				
			IND16, Y	2712	gggg	8								
			IND16, Z	2722	gggg	8								
			EXT	2732	hh ll	8								
NOP	Null Operation	—	INH	274C	—	2	—	—	—	—	—	—	—	—
ORAA	OR A	$(A) ; (M) \Rightarrow A$	IND8, X	47	ff	6	—	—	—	—		0	—	
			IND8, Y	57	ff	6								
			IND8, Z	67	ff	6								
			IMM8	77	ii	2								
			IND16, X	1747	gggg	6								
			IND16, Y	1757	gggg	6								
			IND16, Z	1767	gggg	6								
			EXT	1777	hh ll	6								
			E, X	2747	—	6								
			E, Y	2757	—	6								
			E, Z	2767	—	6								
ORAB	OR B	$(B) ; (M) \Rightarrow B$	IND8, X	C7	ff	6	—	—	—	—		0	—	
			IND8, Y	D7	ff	6								
			IND8, Z	E7	ff	6								
			IMM8	F7	ii	2								
			IND16, X	17C7	gggg	6								
			IND16, Y	17D7	gggg	6								
			IND16, Z	17E7	gggg	6								
			EXT	17F7	hh ll	6								
			E, X	27C7	—	6								
			E, Y	27D7	—	6								
			E, Z	27E7	—	6								

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
ORD	OR D	(D) ; (M : M + 1) ⇒ D	IND8, X	87	ff	6	—	—	—	—	0	—		
			IND8, Y	97	ff	6								
			IND8, Z	A7	ff	6								
			E, X	2787	—	6								
			E, Y	2797	—	6								
			E, Z	27A7	—	6								
			IMM16	37B7	jj kk	4								
			IND16, X	37C7	gggg	6								
			IND16, Y	37D7	gggg	6								
			IND16, Z	37E7	gggg	6								
ORE	OR E	(E) ; (M : M + 1) ⇒ E	EXT	37F7	hh ll	6	—	—	—	—	0	—		
			IMM16	3737	jj kk	4								
			IND16, X	3747	gggg	6								
			IND16, Y	3757	gggg	6								
			IND16, Z	3767	gggg	6								
ORP 1	OR Condition Code Register	(CCR) ; IMM16 ⇒ CCR	IMM16	373B	jj kk	4								
PSHA	Push A	(SK : SP) + 1 ⇒ SK : SP Push (A) (SK : SP) - 2 ⇒ SK : SP	INH	3708	—	4	—	—	—	—	—	—	—	—
PSHB	Push B	(SK : SP) + 1 ⇒ SK : SP Push (B) (SK : SP) - 2 ⇒ SK : SP	INH	3718	—	4	—	—	—	—	—	—	—	—
PSHM	Push Multiple Registers  Mask bits: 0 = D 1 = E 2 = IX 3 = IY 4 = IZ 5 = K 6 = CCR 7 = (reserved)	For mask bits 0 to 7:  If mask bit set Push register (SK : SP) - 2 ⇒ SK : SP	IMM8	34	ii	4 + 2N  N = number of iterations	—	—	—	—	—	—	—	—
PSHMAC	Push MAC State	MAC Registers ⇒ Stack	INH	27B8	—	14	—	—	—	—	—	—	—	—
PULA	Pull A	(SK : SP) + 2 ⇒ SK : SP Pull (A) (SK : SP) - 1 ⇒ SK : SP	INH	3709	—	6	—	—	—	—	—	—	—	—
PULB	Pull B	(SK : SP) + 2 ⇒ SK : SP Pull (B) (SK : SP) - 1 ⇒ SK : SP	INH	3719	—	6	—	—	—	—	—	—	—	—
PULM 1	Pull Multiple Registers  Mask bits: 0 = CCR[15:4] 1 = K 2 = IZ 3 = IY 4 = IX 5 = E 6 = D 7 = (reserved)	For mask bits 0 to 7:  If mask bit set (SK : SP) + 2 ⇒ SK : SP Pull register	IMM8	35	ii	4+2(N+1)  N = number of iterations								
PULMAC	Pull MAC State	Stack ⇒ MAC Registers	INH	27B9	—	16	—	—	—	—	—	—	—	—
RMAC	Repeating Multiply and Accumulate Signed 16-Bit Fractions	Repeat until (E) < 0 (AM) + (H) * (I) ⇒ AM Qualified (IX) ⇒ IX; Qualified (IY) ⇒ IY; (M : M + 1) <sub>X</sub> ⇒ H; (M : M + 1) <sub>Y</sub> ⇒ I (E) - 1 ⇒ E	IMM8	FB	xoyo	6 + 12 per iteration	—		—		—	—	—	—

表 9 命令セットの要約 ( 続き )

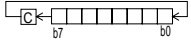
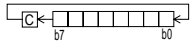
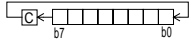
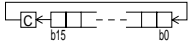
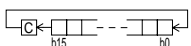
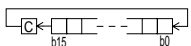
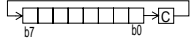
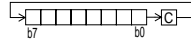
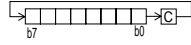
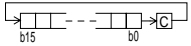
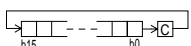
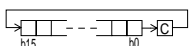
ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
ROL	Rotate Left		IND8, X	0C	ff	8	—	—	—	—				
			IND8, Y	1C	ff	8								
			IND8, Z	2C	ff	8								
			IND16, X	170C	gggg	8								
			IND16, Y	171C	gggg	8								
			IND16, Z	172C	gggg	8								
			EXT	173C	hh ll	8								
ROLA	Rotate Left A		INH	370C	—	2	—	—	—	—				
ROLB	Rotate Left B		INH	371C	—	2	—	—	—	—				
ROLD	Rotate Left D		INH	27FC	—	2	—	—	—	—				
ROLE	Rotate Left E		INH	277C	—	2	—	—	—	—				
ROLW	Rotate Left Word		IND16, X	270C	gggg	8	—	—	—	—				
			IND16, Y	271C	gggg	8								
			IND16, Z	272C	gggg	8								
			EXT	273C	hh ll	8								
ROR	Rotate Right		IND8, X	0E	ff	8	—	—	—	—				
			IND8, Y	1E	ff	8								
			IND8, Z	2E	ff	8								
			IND16, X	170E	gggg	8								
			IND16, Y	171E	gggg	8								
			IND16, Z	172E	gggg	8								
			EXT	173E	hh ll	8								
RORA	Rotate Right A		INH	370E	—	2	—	—	—	—				
RORB	Rotate Right B		INH	371E	—	2	—	—	—	—				
RORD	Rotate Right D		INH	27FE	—	2	—	—	—	—				
RORE	Rotate Right E		INH	277E	—	2	—	—	—	—				
RORW	Rotate Right Word		IND16, X	270E	gggg	8	—	—	—	—				
			IND16, Y	271E	gggg	8								
			IND16, Z	272E	gggg	8								
			EXT	273E	hh ll	8								
RTI <sup>2</sup>	Return from Interrupt	(SK : SP) + 2 ⇒ SK : SP Pull CCR (SK : SP) + 2 ⇒ SK : SP Pull PC (PK : PC) - 6 ⇒ PK : PC	INH	2777	—	12								
RTS <sup>3</sup>	Return from Subroutine	(SK : SP) + 2 ⇒ SK : SP Pull PK (SK : SP) + 2 ⇒ SK : SP Pull PC (PK : PC) - 2 ⇒ PK : PC	INH	27F7	—	12	—	—	—	—	—	—	—	—
SBA	Subtract B from A	(A) - (B) ⇒ A	INH	370A	—	2	—	—	—	—				

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
SBCA	Subtract with Carry from A	$(A) - (M) - C \Rightarrow A$	IND8, X	42	ff	6	—	—	—	—				
			IND8, Y	52	ff	6								
			IND8, Z	62	ff	6								
			IMM8	72	ii	2								
			IND16, X	1742	gggg	6								
			IND16, Y	1752	gggg	6								
			IND16, Z	1762	gggg	6								
			EXT	1772	hh ll	6								
			E, X	2742	—	6								
			E, Y	2752	—	6								
			E, Z	2762	—	6								
SBCB	Subtract with Carry from B	$(B) - (M) - C \Rightarrow B$	IND8, X	C2	ff	6	—	—	—	—				
			IND8, Y	D2	ff	6								
			IND8, Z	E2	ff	6								
			IMM8	F2	ii	2								
			IND16, X	17C2	gggg	6								
			IND16, Y	17D2	gggg	6								
			IND16, Z	17E2	gggg	6								
			EXT	17F2	hh ll	6								
			E, X	27C2	—	6								
			E, Y	27D2	—	6								
			E, Z	27E2	—	6								
SBCE	Subtract with Carry from C	$(C) - (M) - C \Rightarrow C$	IND8, X	82	ff	6	—	—	—	—				
			IND8, Y	92	ff	6								
			IND8, Z	A2	ff	6								
			E, X	2782	—	6								
			E, Y	2792	—	6								
			E, Z	27A2	—	6								
			IMM16	37B2	jj kk	4								
			IND16, X	37C2	gggg	6								
			IND16, Y	37D2	gggg	6								
			IND16, Z	37E2	gggg	6								
			EXT	37F2	hh ll	6								
SBCE	Subtract with Carry from E	$(E) - (M : M + 1) - C \Rightarrow E$	IMM16	3732	jj kk	4	—	—	—	—				
			IND16, X	3742	gggg	6								
			IND16, Y	3752	gggg	6								
			IND16, Z	3762	gggg	6								
			EXT	3772	hh ll	6								
SDE	Subtract D from E	$(E) - (D) \Rightarrow E$	INH	2779	—	2	—	—	—	—				
STAA	Store A	$(A) \Rightarrow M$	IND8, X	4A	ff	4	—	—	—	—		0	—	
			IND8, Y	5A	ff	4								
			IND8, Z	6A	ff	4								
			IND16, X	174A	gggg	6								
			IND16, Y	175A	gggg	6								
			IND16, Z	176A	gggg	6								
			EXT	177A	hh ll	6								
			E, X	274A	—	4								
			E, Y	275A	—	4								
			E, Z	276A	—	4								

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション ・ コード							
				オペコード	オペラント	サイクル	S	MV	H	EV	N	Z	V	C
STAB	Store B	(B) ⇒ M	IND8, X	CA	ff	4	—	—	—	—	0	—		
			IND8, Y	DA	ff	4								
			IND8, Z	EA	ff	4								
			IND16, X	17CA	gggg	6								
			IND16, Y	17DA	gggg	6								
			IND16, Z	17EA	gggg	6								
			EXT	17FA	hh ll	6								
			E, X	27CA	—	4								
			E, Y	27DA	—	4								
			E, Z	27EA	—	4								
STD	Store D	(D) ⇒ M : M + 1	IND8, X	8A	ff	6	—	—	—	—	0	—		
			IND8, Y	9A	ff	6								
			IND8, Z	AA	ff	6								
			E, X	278A	—	6								
			E, Y	279A	—	6								
			E, Z	27AA	—	6								
			IND16, X	37CA	gggg	4								
			IND16, Y	37DA	gggg	4								
			IND16, Z	37EA	gggg	4								
			EXT	37FA	hh ll	6								
STE	Store E	(E) ⇒ M : M + 1	IND16, X	374A	gggg	6	—	—	—	—	0	—		
			IND16, Y	375A	gggg	6								
			IND16, Z	376A	gggg	6								
			EXT	377A	hh ll	6								
STED	Store Concatenated D and E	(E) ⇒ M : M + 1 (D) ⇒ M + 2 : M + 3	EXT	2773	hh ll	8	—	—	—	—	—	—	—	—
STS	Store SP	(SP) ⇒ M : M + 1	IND8, X	8F	ff	4	—	—	—	—	0	—		
			IND8, Y	9F	ff	4								
			IND8, Z	AF	ff	4								
			IND16, X	178F	gggg	6								
			IND16, Y	179F	gggg	6								
			IND16, Z	17AF	gggg	6								
			EXT	17BF	hh ll	6								
STX	Store IX	(IX) ⇒ M : M + 1	IND8, X	8C	ff	4	—	—	—	—	0	—		
			IND8, Y	9C	ff	4								
			IND8, Z	AC	ff	4								
			IND16, X	178C	gggg	6								
			IND16, Y	179C	gggg	6								
			IND16, Z	17AC	gggg	6								
			EXT	17BC	hh ll	6								
STY	Store IY	(IY) ⇒ M : M + 1	IND8, X	8D	ff	4	—	—	—	—	0	—		
			IND8, Y	9D	ff	4								
			IND8, Z	AD	ff	4								
			IND16, X	178D	gggg	6								
			IND16, Y	179D	gggg	6								
			IND16, Z	17AD	gggg	6								
			EXT	17BF	hh ll	6								
STZ	Store Z	(IZ) ⇒ M : M + 1	IND8, X	8E	ff	4	—	—	—	—	0	—		
			IND8, Y	9E	ff	4								
			IND8, Z	AE	ff	4								
			IND16, X	178E	gggg	6								
			IND16, Y	179E	gggg	6								
			IND16, Z	17AE	gggg	6								
			EXT	17BE	hh ll	6								

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション ・ コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
SUBA	Subtract from A	(A) - (M) ⇒ A	IND8, X	40	ff	6	—	—	—	—				
			IND8, Y	50	ff	6								
			IND8, Z	60	ff	6								
			IMM8	70	ii	2								
			IND16, X	1740	gggg	6								
			IND16, Y	1750	gggg	6								
			IND16, Z	1760	gggg	6								
			EXT	1770	hh ll	6								
			E, X	2740	—	6								
			E, Y	2750	—	6								
			E, Z	2760	—	6								
SUBB	Subtract from B	(B) - (M) ⇒ B	IND8, X	C0	ff	6	—	—	—	—				
			IND8, Y	D0	ff	6								
			IND8, Z	E0	ff	6								
			IMM8	F0	ii	2								
			IND16, X	17C0	gggg	6								
			IND16, Y	17D0	gggg	6								
			IND16, Z	17E0	gggg	6								
			EXT	17F0	hh ll	6								
			E, X	27C0	—	6								
			E, Y	27D0	—	6								
			E, Z	27E0	—	6								
SUBD	Subtract from D	(D) - (M : M + 1) ⇒ D	IND8, X	80	ff	6	—	—	—	—				
			IND8, Y	90	ff	6								
			IND8, Z	A0	ff	6								
			E, X	2780	—	6								
			E, Y	2790	—	6								
			E, Z	27A0	—	6								
			IMM16	37B0	jj kk	4								
			IND16, X	37C0	gggg	6								
			IND16, Y	37D0	gggg	6								
			IND16, Z	37E0	gggg	6								
			EXT	37F0	hh ll	6								
SUBE	Subtract from E	(E) - (M : M + 1) ⇒ E	IMM16	3730	jj kk	4	—	—	—	—				
			IND16, X	3740	gggg	6								
			IND16, Y	3750	gggg	6								
			IND16, Z	3760	gggg	6								
			EXT	3770	hh ll	6								
SWI	Software Interrupt	(PK : PC) + 2 ⇒ PK : PC Push (PC) (SK : SP) - 2 ⇒ SK : SP Push (CCR) (SK : SP) - 2 ⇒ SK : SP \$0 ⇒ PK SWI Vector ⇒ PC	INH	3720	—	16	—	—	—	—	—	—	—	—
SXT	Sign Extend B into A	If B7 = 1 then A = \$FF else A = \$00	INH	27F8	—	2	—	—	—	—		—	—	
TAB	Transfer A to B	(A) ⇒ B	INH	3717	—	2	—	—	—	—		0	—	
TAP	Transfer A to CCR	(A[7:0]) ⇒ CCR[15:8]	INH	37FD	—	4								
TBA	Transfer B to A	(B) ⇒ A	INH	3707	—	2	—	—	—	—		0	—	
TBEK	Transfer B to EK	(B) ⇒ EK	INH	27FA	—	2	—	—	—	—	—	—	—	—
TBSK	Transfer B to SK	(B) ⇒ SK	INH	379F	—	2	—	—	—	—	—	—	—	—
TBXK	Transfer B to XK	(B) ⇒ XK	INH	379C	—	2	—	—	—	—	—	—	—	—
TBYK	Transfer B to YK	(B) ⇒ YK	INH	379D	—	2	—	—	—	—	—	—	—	—
TBZK	Transfer B to ZK	(B) ⇒ ZK	INH	379E	—	2	—	—	—	—	—	—	—	—
TDE	Transfer D to E	(D) ⇒ E	INH	277B	—	2	—	—	—	—		0	—	



表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
TDMSK	Transfer D to XMSK : YMSK	(D[15:8]) $\Rightarrow$ X MASK (D[7:0]) $\Rightarrow$ Y MASK	INH	372F	—	2	—	—	—	—	—	—	—	—
TDP <sup>1</sup>	Transfer D to CCR	(D) $\Rightarrow$ CCR[15:4]	INH	372D	—	4								
TED	Transfer E to D	(E) $\Rightarrow$ D	INH	27FB	—	2	—	—	—	—		0	—	—
TEDM	Transfer E and D to AM[31:0] Sign Extend AM	(D) $\Rightarrow$ AM[15:0] (E) $\Rightarrow$ AM[31:16] AM[35:32] = AM31	INH	27B1	—	4	—	0	—	0	—	—	—	—
TEKB	Transfer EK to B	\$0 $\Rightarrow$ B[7:4] (EK) $\Rightarrow$ B[3:0]	INH	27BB	—	2	—	—	—	—	—	—	—	—
TEM	Transfer E to AM[31:16] Sign Extend AM Clear AM LSB	(E) $\Rightarrow$ AM[31:16] \$00 $\Rightarrow$ AM[15:0] AM[35:32] = AM31	INH	27B2	—	4	—	0	—	0	—	—	—	—
TMER	Transfer AM to E Rounded	Rounded (AM) $\Rightarrow$ Temp If (SM • (EV ; MV)) then Saturation $\Rightarrow$ E else Temp[31:16] $\Rightarrow$ E	INH	27B4	—	6	—		—			—	—	
TMET	Transfer AM to E Truncated	If (SM • (EV ; MV)) then Saturation $\Rightarrow$ E else AM[31:16] $\Rightarrow$ E	INH	27B5	—	2	—	—	—	—		—	—	
TMXED	Transfer AM to IX : E : D	AM[35:32] $\Rightarrow$ IX[3:0] AM35 $\Rightarrow$ IX[15:4] AM[31:16] $\Rightarrow$ E AM[15:0] $\Rightarrow$ D	INH	27B3	—	6	—	—	—	—	—	—	—	—
TPA	Transfer CCR MSB to A	(CCR[15:8]) $\Rightarrow$ A	INH	37FC	—	2	—	—	—	—	—	—	—	—
TPD	Transfer CCR to D	(CCR) $\Rightarrow$ D	INH	372C	—	2	—	—	—	—	—	—	—	—
TSKB	Transfer SK to B	(SK) $\Rightarrow$ B[3:0] \$0 $\Rightarrow$ B[7:4]	INH	37AF	—	2	—	—	—	—	—	—	—	—
TST	Test for Zero or Minus	(M) – \$00	IND8, X	06	ff	6	—	—	—	—		0	0	
			IND8, Y	16	ff	6								
			IND8, Z	26	ff	6								
			IND16, X	1706	gggg	6								
			IND16, Y	1716	gggg	6								
			IND16, Z	1726	gggg	6								
			EXT	1736	hh ll	6								
TSTA	Test A for Zero or Minus	(A) – \$00	INH	3706	—	2	—	—	—	—		0	0	
TSTB	Test B for Zero or Minus	(B) – \$00	INH	3716	—	2	—	—	—	—		0	0	
TSTD	Test D for Zero or Minus	(D) – \$0000	INH	27F6	—	2	—	—	—	—		0	0	
TSTE	Test E for Zero or Minus	(E) – \$0000	INH	2776	—	2	—	—	—	—		0	0	
TSTW	Test for Zero or Minus Word	(M : M + 1) – \$0000	IND16, X	2706	gggg	6	—	—	—	—		0	0	
			IND16, Y	2716	gggg	6								
			IND16, Z	2726	gggg	6								
			EXT	2736	hh ll	6								
TSX	Transfer SP to X	(SK : SP) + 2 $\Rightarrow$ XK : IX	INH	274F	—	2	—	—	—	—	—	—	—	—
TSY	Transfer SP to Y	(SK : SP) + 2 $\Rightarrow$ YK : IY	INH	275F	—	2	—	—	—	—	—	—	—	—
TSZ	Transfer SP to Z	(SK : SP) + 2 $\Rightarrow$ ZK : IZ	INH	276F	—	2	—	—	—	—	—	—	—	—
TXKB	Transfer XK to B	\$0 $\Rightarrow$ B[7:4] (XK) $\Rightarrow$ B[3:0]	INH	37AC	—	2	—	—	—	—	—	—	—	—
TXS	Transfer X to SP	(XK : IX) – 2 $\Rightarrow$ SK : SP	INH	374E	—	2	—	—	—	—	—	—	—	—
TXY	Transfer X to Y	(XK : IX) $\Rightarrow$ YK : IY	INH	275C	—	2	—	—	—	—	—	—	—	—
TXZ	Transfer X to Z	(XK : IX) $\Rightarrow$ ZK : IZ	INH	276C	—	2	—	—	—	—	—	—	—	—
TYKB	Transfer YK to B	\$0 $\Rightarrow$ B[7:4] (YK) $\Rightarrow$ B[3:0]	INH	37AD	—	2	—	—	—	—	—	—	—	—
TYS	Transfer Y to SP	(YK : IY) – 2 $\Rightarrow$ SK : SP	INH	375E	—	2	—	—	—	—	—	—	—	—
TYX	Transfer Y to X	(YK : IY) $\Rightarrow$ XK : IX	INH	274D	—	2	—	—	—	—	—	—	—	—
TYZ	Transfer Y to Z	(YK : IY) $\Rightarrow$ ZK : IZ	INH	276D	—	2	—	—	—	—	—	—	—	—
TZKB	Transfer ZK to B	\$0 $\Rightarrow$ B[7:4] (ZK) $\Rightarrow$ B[3:0]	INH	37AE	—	2	—	—	—	—	—	—	—	—
TZS	Transfer Z to SP	(ZK : IZ) – 2 $\Rightarrow$ SK : SP	INH	376E	—	2	—	—	—	—	—	—	—	—

表 9 命令セットの要約 ( 続き )

ニーモニック	操 作	説 明	アドレッシング・モード	命 令			コンディション・コード							
				オペコード	オペランド	サイクル	S	MV	H	EV	N	Z	V	C
TZX	Transfer Z to X	(ZK : IZ) ⇒ XK : IX	INH	274E	—	2	—	—	—	—	—	—	—	—
TZY	Transfer Z to Y	(ZK : IZ) ⇒ ZK : IY	INH	275E	—	2	—	—	—	—	—	—	—	—
WAI	Wait for Interrupt	WAIT	INH	27F3	—	8	—	—	—	—	—	—	—	—
XGAB	Exchange A with B	(A) ⇔ (B)	INH	371A	—	2	—	—	—	—	—	—	—	—
XGDE	Exchange D with E	(D) ⇔ (E)	INH	277A	—	2	—	—	—	—	—	—	—	—
XGDX	Exchange D with X	(D) ⇔ (IX)	INH	37CC	—	2	—	—	—	—	—	—	—	—
XGDY	Exchange D with Y	(D) ⇔ (IY)	INH	37DC	—	2	—	—	—	—	—	—	—	—
XGDZ	Exchange D with Z	(D) ⇔ (IZ)	INH	37EC	—	2	—	—	—	—	—	—	—	—
XGEX	Exchange E with X	(E) ⇔ (IX)	INH	374C	—	2	—	—	—	—	—	—	—	—
XGEY	Exchange E with Y	(E) ⇔ (IY)	INH	375C	—	2	—	—	—	—	—	—	—	—
XGEZ	Exchange E with Z	(E) ⇔ (IZ)	INH	376C	—	2	—	—	—	—	—	—	—	—

- 注 : 1 .CCR[15:4] は操作の結果に従って変化します。PK フィールドは影響を受けません。  
 2 .CCR[15:0] はスタックからプルした CCR のコピーに従って変化します。  
 3 .PK フィールドはスタックからプルした状態に従って変化します。CCR の残りの部分は影響を受けません。  
 4 .条件分岐のサイクル・タイムは “ taken、not taken ” の順に記載されています。

表 10 命令セットの略語と記号

A	-アキュムレータ A	IMM8	-8 ビット・イミディエイト
AM	-アキュムレータ M	IMM16	-16 ビット・イミディエイト
B	-アキュムレータ B	IND8,X	-符号なし 8 ビット・オフセット付き IX
CCR	-コンディション・コード・レジスタ	IND8,Y	-符号なし 8 ビット・オフセット付き IY
D	-アキュムレータ D	IND8,Z	-符号なし 8 ビット・オフセット付き IZ
E	-アキュムレータ E	IND16,X	-符号付き 16 ビット・オフセット付き IX
EK	-拡張アドレッシング拡張フィールド	IND16,Y	-符号付き 16 ビット・オフセット付き IY
IR	-MAC 被乗数レジスタ	IND16,Z	-符号付き 16 ビット・オフセット付き IZ
HR	-MAC 乗数レジスタ	IND20,X	-符号付き 20 ビット・オフセット付き IX
IX	-インデックス・レジスタ X	IND20,Y	-符号付き 20 ビット・オフセット付き IY
IY	-インデックス・レジスタ Y	IND20,Z	-符号付き 20 ビット・オフセット付き IZ
IZ	-インデックス・レジスタ Z	INH	-インヘレント
K	-アドレス拡張レジスタ	IXP	-ポスト・モディファイド・インデックス
PC	-プログラム・カウンタ	REL8	-8 ビット相対
PK	-プログラム・カウンタ拡張フィールド	REL16	-16 ビット相対
SK	-スタック・ポインタ拡張フィールド	b	-4 ビット・アドレス拡張
SL	-乗算・累積符号ラッチ	ff	-8 ビット符号なしオフセット
SP	-スタック・ポインタ	gg	-8 ビット符号付きオフセット
XK	-インデックス・レジスタ X 拡張フィールド	gggg	-16 ビット符号付きオフセット
YK	-インデックス・レジスタ Y 拡張フィールド	ggggg	-20 ビット符号付きオフセット
ZK	-インデックス・レジスタ Z 拡張フィールド	hh	-16 ビット拡張アドレスの上位バイト
XMSK	-モジュロ・アドレッシング・インデックス・レジスタ X マスク	ii	-8 ビット・イミディエイト・データの上位バイト
YMSK	-モジュロ・アドレッシング・インデックス・レジスタ Y マスク	jj	-16 ビット・イミディエイト・データの上位バイト
S	-ストップ・ディセーブル・コントロール・ビット	kk	-16 ビット・イミディエイト・データの低位バイト
MV	-AM オーバフロー・インジケータ	ll	-16 ビット拡張アドレスの低位バイト
H	-ハーフ・キャリ・インジケータ	mm	-8 ビット・マスク
EV	-AM 拡張オーバフロー・インジケータ	mmmm	-16 ビット・マスク
N	-ネガティブ・インジケータ	rr	-8 ビット符号なし相対オフセット
Z	-ゼロ・インジケータ	rrrr	-16 ビット符号付き相対オフセット
V	-2の補数オーバフロー・インジケータ	xo	-MAC インデックス・レジスタの X オフセット
C	-キャリ / ボロー・インジケータ	yo	-MAC インデックス・レジスタの Y オフセット
IP	-割込みプライオリティ・フィールド	z	-4 ビット・ゼロ拡張
SM	-飽和モード・コントロール・ビット	+	-加算
PK	-プログラム・カウンタ拡張フィールド	-	-減算または否定 (2 の補数)
-	-ビットは変化しない -ビットは規定されるとおり変化する	*	-乗算
U	-ビットは不確定 (UNKNOWN)	/	-除算
O	-ビットのクリア	>	-より大きい
1	-ビットのセット	<	-より小さい
M	-操作に使用されるメモリ・ロケーション	=	-等しい
R	-操作の結果		-より大きいまたは等しい -より小さいまたは等しい -等しくない
S	-ソース・データ	・	-論理積 (AND)
X	-操作に使用されるレジスタ	;	-包含的論理和 (OR)
M	-1メモリ・バイトのアドレス	#	-排他的論理和 (EOR)
M+1	-M+\$0001 にあるバイトのアドレス	NOT	-補数化
M:M+1	-1メモリ・ワードのアドレス	:	-連結
(...)X	-IX が指し示すアドレスの内容	#	-転送
(...)Y	-IY が指し示すアドレスの内容	#	-交換
(...)Z	-IZ が指し示すアドレスの内容	±	-符号ビット。許容差を示すためにも使用される
X	-E オフセット付き IX	"	-符号拡張
Y	-E オフセット付き IY	%	-2進値
Z	-E オフセット付き IZ	\$	-16進値
EXT	-拡張		
EXT20	-20 ビット拡張		

## 2.7 例 外

例外は通常の命令処理を横取りするイベントです。例外処理に入ると、通常命令の実行から例外を扱うルーチンの実行に移ります。

各例外には、対応する処理ルーチンを指すベクタが割り当てられています。例外処理には、処理ルーチンに制御を転送するのに必要なすべての操作が含まれていますが、処理ルーチン自体の実行は含まれていません。

### 2.7.1 例外ベクタ

例外ベクタは例外を扱うルーチンのアドレスです。例外ベクタは、バンク 0 の先頭 512 バイトに位置する命令ベクタ・テーブルと呼ぶデータ構造に収められています。

ベクタはリセット・ベクタを除いてすべて 1 ワードからなり、データ空間に置かれています。リセット・ベクタは 4 ワードからなり、プログラム空間に置かれています。52 のあらかじめ定義または予約されたベクタと 200 のユーザ定義ベクタがあります。

各ベクタには 8 ビットの値が割り当てられています。ベクタ番号は外部デバイスが生成するか、プロセッサが供給します。ベクタ番号からベクタ・テーブル・アドレスへの直接マッピングがあります。CPU16 は、ベクタ番号を左に 1 ビット・シフトして (2 を乗算する) それをアドレスに変換します。

表 11 例外ベクタ・テーブル

ベクタ番号	ベクタ・アドレス	アドレス空間	例外のタイプ
0	0000	P	Reset - Initial ZK[11:8], SK[7:4], & PK[3:0]
	0002	P	Reset - Initial PC
	0004	P	Reset - Initial SP
	0006	P	Reset - Initial IZ (Direct Page)
4	0008	D	Breakpoint
5	000A	D	Bus Error
6	000C	D	Software Interrupt
7	000E	D	Illegal Instruction
8	0010	D	Division by Zero
9-E	0012-001C	D	Unassigned, Reserved
F	001E	D	Uninitialized Interrupt
10	0020	D	Unassigned, Reserved
11	0022	D	Level 1 Interrupt Autovector
12	0024	D	Level 2 Interrupt Autovector
13	0026	D	Level 3 Interrupt Autovector
14	0028	D	Level 4 Interrupt Autovector
15	002A	D	Level 5 Interrupt Autovector
16	002C	D	Level 6 Interrupt Autovector
17	002E	D	Level 7 Interrupt Autovector
18	0030	D	Spurious Interrupt
19-37	0032-006E	D	Unassigned, Reserved
38-FF	0070-01FE	D	User-defined Interrupts

## 2.7.2 例外スタック・フレーム

例外処理中に、プログラム・カウンタの内容とコンディション・コード・レジスタの内容が、SK : SP が指すロケーションにスタックされます。例外処理中に変更されなかった場合、スタックされた PK: PC 値が現在の命令ストリームで次の命令のアドレス + \$0006 になります。以下の図に、例外スタック・フレームを示します。

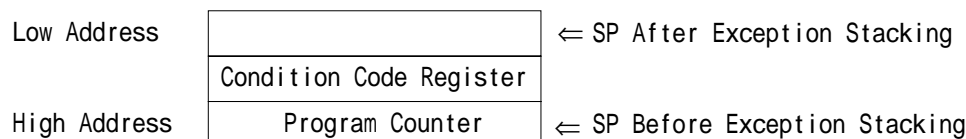


図 4 例外スタック・フレーム

## 2.7.3 例外処理シーケンス

例外処理は、以下の 4 つの明確に区別されたフェーズで実行されます。

- すべてのペンディング中の例外の優先順位が評価され、最高優先順位の例外が最初に処理されます。
- プロセッサ状態がスタックされ、CCR PK 拡張フィールドがクリアされます。
- 例外ベクタ番号が獲得され、ベクタ・アドレスに変換されます。
- ベクタ・アドレスの内容が PC にロードされ、プロセッサは例外処理ルーチンへジャンプします。

各フェーズ内では例外のタイプによってバリエーションがあります。しかし、リセット・ベクタを除くすべてのベクタに 16 ビット・アドレスが含まれており、PK フィールドはクリアされています。例外ハンドラはバンク 0 にあるか、ベクタがジャンプ・テーブルを指していなければなりません。

## 2.7.4 例外のタイプ

例外は、内部または外部で生成されます。外部例外は非同期型として定義され、割り込み、バス・エラー、ブレークポイント、リセットがあります。内部例外は同期型として定義され、ソフトウェア割り込み (SWI) 命令、バックグラウンド (BGND) 命令、不当命令例外、ゼロ除算例外があります。リセットと割り込みの詳細については、「第 3 章 ストリームライン・ロー・パワー・インテグレーション・モジュール」を参照してください。

非同期例外は、CPU16 または IMB クロックに関係なく発生しますが、例外処理は同期して実行されます。リセットを除くすべての非同期例外において、例外処理は例外が認識された後の最初の命令境界で開始されます。

同期例外処理は、命令の一部として定義されています。同期例外の例外処理は常に完了し、割り込みが検出される前に、処理ルーチンの最初の命令が必ず実行されています。

パイプライン処理のために、リセット以外の非同期例外に対してスタックされた復帰 PK:PC 値は、現在の命令ストリームで次の命令のアドレスに \$0006 を加えたアドレスになります。RTI 命令は、すべての例外処理ルーチンを終了させる必要があり、スタックされた値から \$0006 を減算して、中断された命令ストリームの実行を再開します。同期例外実行時の PK:PC 値は、例外を引き起こした命令のアドレス + \$0006 になります。RTI は復帰時に常に \$0006 を減算するため、次に続く命令から実行を再開するように、例外を引き起こした命令がスタックされた PK:PC を調整しなければなりません。PK:PC 値はスタックされる前に、\$0002 が加算されます。

## 2.8 開発サポート

CPU16 は、プログラムの実行の追跡や、システム・デバッグを行うための強力なツールを内蔵しています。これらのツールは、確定的オペコード・トラッキング、ブレークポイント例外、およびバック

グランド・デバッグ・モードです。この機能を手軽に使用するには、単純なシリアル・インタフェース、およびターミナルが必要です。また、高度なデバッグが必要な場合は、単純なシリアル・インタフェース、およびターミナルにバス・アナライザを追加することにより、インサーキット・エミュレーションやシステム・デバッグが可能となります。

## 2.8.1 フリーズ

デバッガ等を使いシステムを開発する時に、CPU を停止させることがあります。この時 CPU からフリーズ信号が各モジュールにアサートされます。

各モジュールはこのフリーズ信号を利用し CPU が停止した時にモジュール自身も停止（フリーズ）することが可能です。モジュール自身の停止は、モジュール内（カウンタなど）へのクロック供給の停止により行なわれます。CPU の動作を開始するとフリーズ信号がネゲートされるため、停止していたモジュールも動作を始めます。

各モジュールはフリーズ信号を無視することも可能です。その時は CPU が停止してもモジュール内の機能（カウンタなど）は動作を続けます。

## 2.8.2 BDM 接続のピン配置

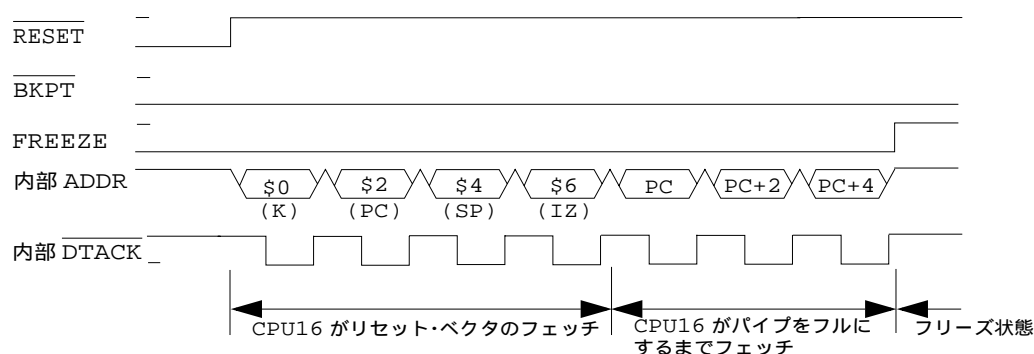
以下にピンを示します。

$\overline{DS}$	1○	○2	$\overline{BERR}$
GND	3○	○4	$\overline{BKPT}/DSCLK$
GND	5○	○6	FREEZE
$\overline{RESET}$	7○	○8	$\overline{IPIPE1}/DSI$
VDD	9○	○10	$\overline{IPIPE0}/DSO$

図 5 BDM 接続ピン配置

## 2.8.3 リセット後に BDM に入るメカニズム

以下にリセットのネゲート直後に BDM に入る（フリーズ状態）までの波形を示します。



CPU16 は、リセット直後に BDM に入るために最低 7 ワード（リセット・ベクタの 4 ワードとパイプをフルにするまでの 3 ワード）のフェッチ（バス・アクセス）が必要です。

BDM の詳細につきましては、「CPU16 リファレンス・マニュアル (CPU16RMJ/AD)」を参照してください。

## 第 3 章

# ストリームライン・ロー・パワー・ インテグレーション・モジュール

ストリームライン・ロー・パワー・インテグレーション・モジュール (SLIM) は、システムの起動、初期化、構成、および外部バス制御を行なう 6 つの機能ブロックで構成されています。図 6 に「SLIM のブロック図」を示します。

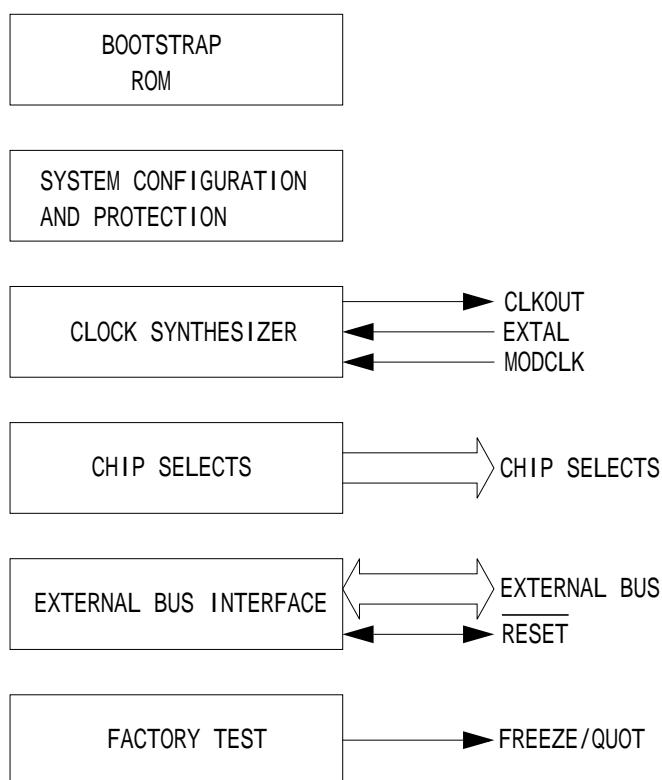


図 6 SLIM のブロック図

### 3.1 概 要

ブートストラップ ROM は、システムの初期化に使用するために小規模なプログラムを SRAM にロードし起動することができます。

システム構成および保護ブロックは、MCU の構成と動作モードを制御します。このブロックはバスとソフトウェア・ウォッチドッグ・モニタも提供します。

システム・クロックは、SLIM、他の IMB モジュール、および外部デバイスが使用するクロック信号を生成します。また、周期割込みジェネレータを内蔵しており、時間に厳密なコントロール・ルーチ

ンの実行をサポートします。

チップ・セレクト・ブロックは、2つのチップ・セレクト信号を提供します。各チップ・セレクトには、個々にベース・アドレス・レジスタとオプション・レジスタがあります。

外部バス・インタフェースは、IMB モジュールと外部アドレス空間との間の情報転送を処理します。

システム・テスト・ブロックには、MCU のテストに必要なハードウェアが組み込まれています。これは工場テストに使用するためのものであり、通常のアプリケーションでの使用はサポートされていません。

表 12 に、128 バイトを占有する SLIM アドレス・マップを示します。128 バイト・アドレス空間内の未使用レジスタを読み出すとゼロが返されます。

表 12 SLIM アドレス・マップ

Address	15	8	7	0
\$YFFA00 <sup>1</sup>	SLIM MODULE CONFIGURATION REGISTER (SLIMCR)			
\$YFFA02	FACTORY TEST REGISTER (SLIMTR)			
\$YFFA04	CLOCK SYNTHESIZER CONTROL REGISTER (SYNCR)			
\$YFFA06	NOT USED		RESET STATUS REGISTER (RSR)	
\$YFFA08	NOT USED		MODULE TEST E (SLIMTRE)	
\$YFFA0A	MODULE CONFIGURATION SHADOW REGISTER (MCRC)			
\$YFFA0C	NOT USED		SUB-MODULE DISABLE (SMD)	
\$YFFA0E	PORT/CLOCK CONFIGURATION SHADOW REGISTER (PCON)			
\$YFFA10	PORT A OUTPUT DATA (PORTA)		PORT B OUTPUT DATA (PORTB)	
\$YFFA12	PORT A PIN DATA (PORTAP)		PORT B PIN DATA (PORTBP)	
\$YFFA14	NOT USED		PORT A/B DATA DIRECTION (DDRAB)	
\$YFFA16	NOT USED		NOT USED	
\$YFFA18	PORT C OUTPUT DATA (PORTC)		PORT D OUTPUT DATA (PORTD)	
\$YFFA1A	PORT C PIN DATA (PORTCP)		PORT D PIN DATA (PORTDP)	
\$YFFA1C	PORT C DATA DIRECTION (DDRC)		PORT D DATA DIRECTION (DDRD)	
\$YFFA1E	PORT C PIN ASSIGNMENT (PCPAR)		PORT D PIN ASSIGNMENT (PDPAR)	
\$YFFA20	NOT USED		PORT E OUTPUT DATA (PORTE)	
\$YFFA22	NOT USED		PORT E PIN DATA (PORTEP)	
\$YFFA24	NOT USED		PORT E DATA DIRECTION (DDRE)	
\$YFFA26	NOT USED		PORT E PIN ASSIGNMENT (PEPAR)	
\$YFFA28	PORT G OUTPUT DATA (PORTG)		PORT H OUTPUT DATA (PORTH)	
\$YFFA2A	PORT G PIN DATA (PORTGP)		PORT H PIN DATA (PORTHPP)	
\$YFFA2C	PORT G DATA DIRECTION (DDRG)		PORT H DATA DIRECTION (DDRH)	
\$YFFA2E	NOT USED		NOT USED	
\$YFFA30	NOT USED		PORT F OUTPUT DATA (PORTF)	
\$YFFA32	NOT USED		PORT F PIN DATA (PORTFP)	
\$YFFA34	NOT USED		PORT F DATA DIRECTION (DDRF)	
\$YFFA36	PORT F PIN ASSIGNMENT (PFPAR)			
\$YFFA38	NOT USED		PORT F EDGE FLAGS (PORTFE)	
\$YFFA3A	NOT USED		PORT F EDGE-DETECT ENABLE (PFEER)	



表 12 SLIM アドレス・マップ ( 続き )

Address	15	8	7	0
\$YFFA3C	PORT F LEVEL (PFLVR)		PORT F INTERRUPT VECTOR (PFIVR)	
\$YFFA3E	NOT USED		NOT USED	
\$YFFA40	TEST MODULE MASTER SHIFT A (TSTMSRA)			
\$YFFA42	TEST MODULE MASTER SHIFT B (TSTMSRB)			
\$YFFA44	TEST MODULE SHIFT COUNT (TSTSC)			
\$YFFA46	TEST MODULE REPETITION COUNTER (TSTRC)			
\$YFFA48	TEST MODULE CONTROL (CREG)			
\$YFFA4A	TEST MODULE DISTRIBUTED REGISTER (DREG)			
\$YFFA4C	NOT USED			
\$YFFA4E	NOT USED			
\$YFFA50	SYSTEM PROTECT CONTROL (SYPCR)			
\$YFFA52	TIMER CONTROL (TIC)		TIMER INTERRUPT VECTOR (TIV)	
\$YFFA54	NOT USED		SOFTWARE SERVICE (SWSR)	
\$YFFA56	PRESCALER (READ-ONLY)			
\$YFFA58	SOFTWARE WATCHDOG PERIOD REGISTER (SWP)			
\$YFFA5A	TIMER PERIOD REGISTER (TIP)			
\$YFFA5C	SOFTWARE WATCHDOG DOWNCOUNTER (SWDC) (READ-ONLY)			
\$YFFA5E	REAL-TIME DOWNCOUNTER (RTDC) (READ-ONLY)			
\$YFFA60	CHIP-SELECT BASE A (CSBARA)			
\$YFFA62	CHIP-SELECT OPTION A (CSORA)			
\$YFFA64	CHIP-SELECT BASE B (CSBARB)			
\$YFFA66	CHIP-SELECT OPTION B (CSORB)			
\$YFFA68	CHIP-SELECT BASE C (CSBARC)			
\$YFFA6A	CHIP-SELECT OPTION C (CSORC)			
\$YFFA6C	CHIP-SELECT CONTROL REGISTER (CSCR)			
\$YFFA6E	NOT USED			
\$YFFA70	RESERVED			
\$YFFA72	RESERVED		LEVEL 1 IACK CYCLE READ (ICRR)	
\$YFFA74	RESERVED		LEVEL 2 IACK CYCLE READ (ICRR)	
\$YFFA76	RESERVED		LEVEL 3 IACK CYCLE READ (ICRR)	
\$YFFA78	RESERVED		LEVEL 4 IACK CYCLE READ (ICRR)	
\$YFFA7A	RESERVED		LEVEL 5 IACK CYCLE READ (ICRR)	
\$YFFA7C	RESERVED		LEVEL 6 IACK CYCLE READ (ICRR)	
\$YFFA7E	RESERVED		LEVEL 7 IACK CYCLE READ (ICRR)	

注： 1 . Y = M111。ただし、M は SLIMCR のモジュール・マッピング (MM) ビットの論理状態を示します。

## 3.2 システム構成および保護ブロック

この機能ブロックは MCU 全体に対する構成制御を提供します。また、割込み調停、バス・モニタリング、およびシステム・テスト機能も実行します。MCU システム保護には、バス・モニタ、HALT モニタ、スプリアス・モニタ、およびソフトウェア・ウォッチドッグ・タイマが含まれます。これらの機能は、完全な制御システムに必要な外付け部品点数を削減するために、マイクロコントローラの一部として組み込まれています。

図 7 に「システム保護ブロック」を示します。

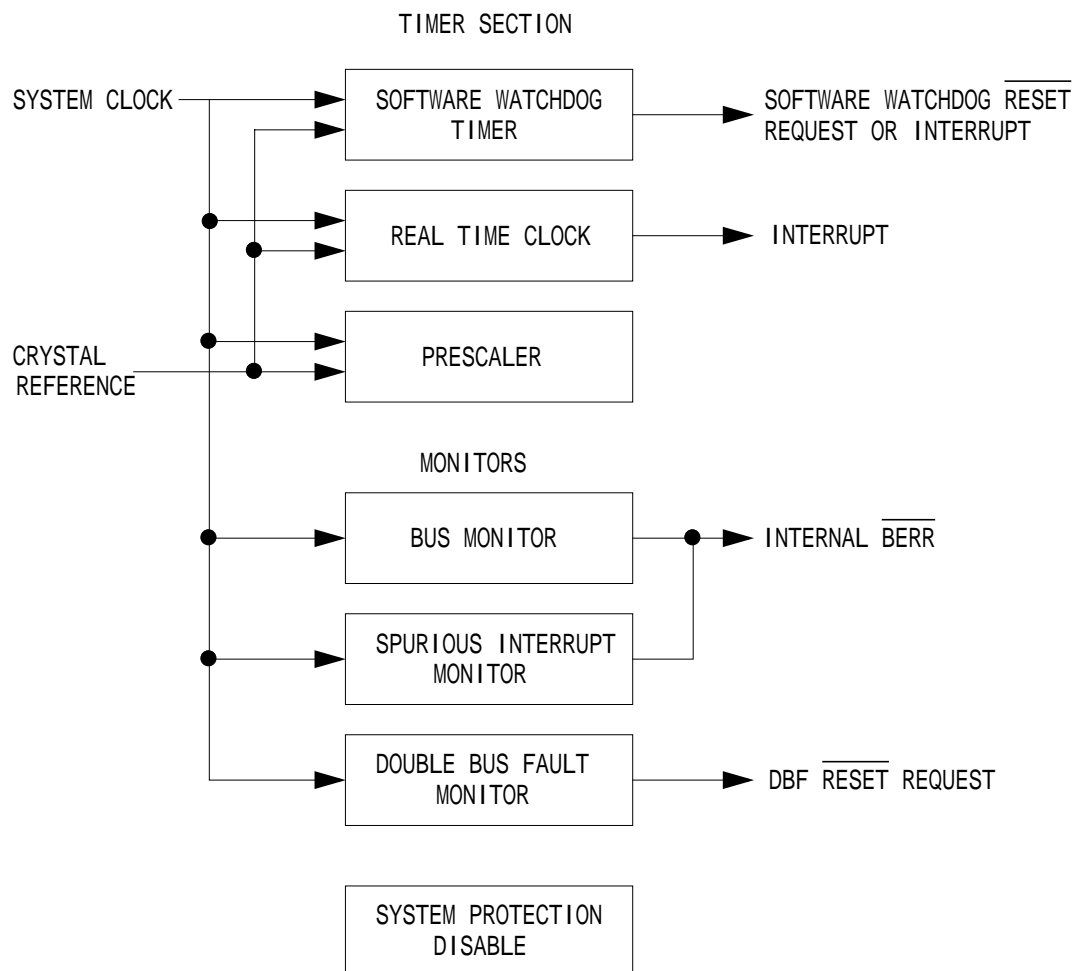


図 7 システム保護ブロック

### 3.2.1 システム構成

SLIM は、通常の動作中および内部テスト中に MCU の構成を制御します。

SLIMCR—SLIM モジュール・コンフィギュレーション・レジスタ

\$YFFA00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOAD	FRZ		MOTO	MODE			SHEN	SUPV	MM	ROMSU	ROMEN	IARB			
RESET:(DSI=1)															
MCRC15	MCRC[14:13]		MCRC12	MCRC[11:9]			MCRC8	MCRC7	MCRC6	MCRC5	MCRC4	MCRC[3:0]			
1	0	0	1	1	1	1	0	0	1	0	0	1	1	1	1
RESET:(DSI=0)															
MCRC15	MCRC[14:13]		MCRC12	DS	SIZE	R/W	MCRC8	MCRC7	MCRC6	MCRC5	AD11	MCRC[3:0]			
1	0	0	1	ピン状態	ピン状態	ピン状態	0	0	1	0	ピン状態	1	1	1	1

モジュール・コンフィギュレーション・レジスタはシステム構成を制御します。このレジスタの扱いは以下のとおりです。

LOAD: リセット後 1 回書き込み可  
 FRZ[1:0]: 随時読み書き可  
 MOTO : 読出し専用  
 MODE[2:0]: 読出し専用  
 SHEN : 随時読み書き可  
 SUPV : リセット後 1 回書き込み可  
 MM : リセット後 1 回書き込み可  
 ROMSU : リセット後 1 回書き込み可  
 ROMEN : 随時読み書き可  
 IARB[3:0]: 随時読み書き可  
 MM ビットは 1 回しか書き込めず、その後はセットしたままにしておかなければなりません。

LOAD—パッド・ドライバ・ロード

0 = ドライバの 1 ペアがイネーブルされる。(ハーフ・ドライブ)  
 1 = ドライバの両ペアがイネーブルされる。(フル・ドライブ)

パッド・ドライバの両方のペアをイネーブルするか否かを選択することによって、一部のパッド出力ドライバのドライブ強度を制御します。このビットはリセット後 1 回しか書き込めませんが、いつでも読み出すことはできます。表 13 に、LOAD ビットで制御される信号名を示します。

表 13 LOAD ビットに制御されるピン

LOAD		MC68HC916Y5	MC68HC916Y6, MC68HC16Y5
1		全出力ドライバがフル・ドライブ	全出力ドライバがフル・ドライブ
0	フル・ドライブ	CLKOUT/PE4	CLKOUT/PE4, RMISO/PSP4, RMOSI/PSP5, RSCK/PSP6, RSS/PSP7 以外の信号
	ハーフ・ドライブ	CLKOUT/PE4 以外の信号	CLKOUT/PE4, RMISO/PSP4, RMOSI/PSP5, RSCK/PSP6, RSS/PSP7

FRZ[1:0]—ソフトウェア・イネーブルのフリーズ

表 14 は、FREEZE のアサーションがソフトウェア・ウォッチドッグ、リアルタイム・クロック、およびプリスケラに与える影響を示します。

表 14 FREEZE アサーションの影響

FRZ[1:0]		ディセーブルされる機能
0	0	None
0	1	Bus monitor
1	0	Software watchdog, real-time clock, prescaler
1	1	Both

## MOTO— モトローラ構成

- 0 = モトローラ以外のアーキテクチャ  
1 = モトローラ・アーキテクチャ

このビットは、モトローラとモトローラ以外のアーキテクチャおよび CPU モジュールに関連するオプションを構成するために使用されます。現在、このビットは MOTO/ 非 MOTO 動作に対しては無効です。SLIM は、このビットまたは対応する MCRC シャドウ・レジスタの状態に関係なく、常に MOTO モードで動作します。

## MODE— モード構成

表 15 に示すとおり、これらのステータス・ビットは、現在のモードを確認することができます。外部アドレス・バスおよびデータ・バスの動作モードの構成を制御します。このフィールドに書き込みしても無視されます。

表 15 モード構成ビット・フィールド

MODE[2:0]			構 成
0	0	0	ペリフェラル・モード
0	0	1	予備
0	1	0	スレーブ・ファクトリ・テスト・モード
0	1	1	マスタ・ファクトリ・テスト・モード (MISR enabled)
1	0	0	非多重化マスタ・モード
1	0	1	多重化マスタ・モード
1	1	X	シングル・チップ・モード

注：MC68HC(9)16Y5/916Y6 は、非多重化マスタ・モード、多重化マスタ・モード、シングル・チップ・モードで動作することが可能です。その他のモードはモトローラでの出荷テスト、または機能上使用することができないモードです。このマスタ・モードは拡張モードと同義語です。

## SHEN— ショウ・サイクル・イネーブル

- 0 = ショウ・サイクルをディセーブルする。  
1 = ショウ・サイクルをイネーブルする。

このビットは、内部転送動作中に EBI が外部バスに対して実行する動作を決定します。ショウ・サイクルを利用して、内部転送を外部から監視することができます。

ショウ・サイクルが 8 ビット・データ・バス幅のマスタ・モードでイネーブルされた場合、IMB データ・バスの上位半分の動作だけが上位データ・バス・ピンにドライブされます。

## SUPV— スーパーバイザ / 無制約データ空間

SUPV ビットは SLIM グローバル・レジスタを、スーパーバイザ・データ空間またはユーザ・データ空間のいずれかに置きます。MC68HC(9)16Y5/916Y6 の CPU16 はスーパーバイザ・モードでしか動作しないため、SUPV は無効です。

## MM— モジュールのマッピング

- 0 = 内部モジュールは、\$7FF000-\$7FFFFFF でアドレス指定される。  
1 = 内部モジュールは、\$FFF000-\$FFFFFF でアドレス指定される。

IMB アドレス・ライン ADDR[23:20] は、外部からドライブされない限り、ADDR19 の論理状態に従います。MM は IMB の ADDR23 に対応します。MM がクリアされた場合、SLIM は IMB モジュールをアドレス空間 \$7FF000 ~ \$7FFFFFF にマップしますが、CPU16 はこのアドレス空間にアクセスすることができません。アクセスするようにするには、リセットにより MM がセットされることで可能になります。MM は 1 回だけ書き込むことができるビットです。初期化ソフトウェアは、MM を論理レベル 1 にセットしなければなりません。

## ROMSU—ROM スーパーバイザ / 無制約モード

- 0 = ブート ROM は FC2 の状態に関係なくスーパーバイザ・アクセスとユーザ・アクセスに応答します。  
1 = ブート ROM は FC2 = 1 のときに、スーパーバイザ・アクセスに応答します。

このビットは SLIM のブート ROM がスーパーバイザ・アクセスにตอบสนองするかどうかを制御するのに使用されます。CPU16 はスーパーバイザ・モードでのみ動作するために ROMSU は無効です。

#### ROMEN—ROM イネーブル

- 0 = ブート ROM はตอบสนองしません。このときに  $\overline{\text{CSB}}$  はイネーブルされます。  
 1 = MOTO=1 の時、ブート ROM は上位の最下位アドレス (\$000000-\$0001FF) にตอบสนองします。このとき CSB はディセーブルされます。MOTO=0 の時、ブート ROM は上位の最上位アドレス (\$FFFE00-\$FFFFFF) にตอบสนองします。CSB は共にディセーブルされます。

#### IARB[3:0]— 割込み調停フィールド

このフィールドは SLIM の外部割り込み要求、ポート F エッジ検出による割込み、リアルタイム・ダウンカウンタ (周期割込み) またはソフトウェア・ウォッチドッグ・ダウンカウンタ (周期割込みとして使用した場合) が割込みを発生した時に使われます。

割込み要求を生成できる各モジュールには、割込み調停 (IARB) フィールドがあります。

同じ優先順位の割込み要求間での調停は、IARB フィールドのビット値で調整されます。たとえばペンディング中の要求が 1 つしかなくても、割込み要求が確認されるたびに調停が発生しなければなりません。競合が発生するには、IARB フィールドにはゼロ以外の値が必要です。IARB フィールド値が %0000 のモジュールからの割込み要求が認識された場合、CPU16 はスプリアス割込み例外を処理します。SLIM は外部割込み要求を CPU16 に転送するため、SLIM の IARB フィールド値が、同じ優先順位の内部割込みと外部割込みの調停用に使用されます。SLIM に対する IARB のリセット値は %1111 (最高優先順位) であり、他のすべてのモジュールに対する IARB のリセット値は %0000 です。これによって、初期化中に SLIM 割込みが廃棄されないようにしています。

#### SLIMTR—SLIM テスト・レジスタ

\$YFFA02

SLIMTR は工場テスト専用です。

#### SMD—サブモジュール・ディセーブル・レジスタ

\$YFFA0D

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UNUSED								RESERVED			BRKEN	CHIP SELECT	TEST	SYS PROT	
RESET:											0	0	0	0	

サブモジュール・ディセーブル・レジスタ (SMD) は、サブモジュールを使用しないときに、SLIM 内でディセーブルするのに使用されます。サブモジュールは、対応するビットを 1 にセットするとディセーブルされます。サブモジュールをディセーブルすると、サブモジュールへのクロックの供給が停止され、サブモジュールは消費電力が最小の状態になります。

#### BRKEN—ブレークポイント・イネーブル

- 0 = ブレークポイント・ロジックをイネーブルする。  
 1 = ブレークポイント・ロジックをディセーブルする。

#### CHIP SELECT—チップ・セレクト・サブモジュール・ディセーブル

- 0 = チップ・セレクト・サブモジュールをイネーブルする。  
 1 = チップ・セレクト・サブモジュールをディセーブルする。

#### TEST—テスト・サブモジュール・ディセーブル

- 0 = テスト・サブモジュールをイネーブルする。  
 1 = テスト・サブモジュールをディセーブルする。

#### SYSROT—システム保護サブモジュール・ディセーブル

- 0 = システム保護サブモジュールをイネーブルする。  
 1 = システム保護サブモジュールをディセーブルする。

## 3.2.2 システム保護

システム保護サブモジュールは、ソフトウェア・ウォッチドッグ・タイマ、リアルタイム・クロック、およびプリスケアラを含むタイマ・セクションから構成されています。また、バス、HALT、および外部バスのスプリアス割込みモニタからなるモニタ・セクションも含まれます。これらの機能は、完全な制御システムに必要な外付け部品点数を削減するために、マイクロコントローラの一部として組み込まれています。

SYPCR— システム保護コントロール・レジスタ

\$YFFA50

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REN	SREN	PCLK	SLPC	RZ	SZ	IRSEL	TIEN	0	TIQL[2:0]			DBE	BME	BMT[1:0]	
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

システム保護コントロール・レジスタは、システム・モニタ機能、ソフトウェア・ウォッチドッグ・クロック用プリスケアリング、およびバス・モニタのタイミングを制御します。テスト・モード中を除いて、このレジスタはパワー・オン・リセットまたは外部リセット後に 1 回しか書き込めませんが、いつでも読み出すことができます。テスト・モードでは、いつでも書き込むことができます。

REN— リアルタイム・リセット・イネーブル

- 0 = プリスケアラ・リセットをディセーブルする。
- 1 = プリスケアラ・リセットをイネーブルする。

SREN— ソフトウェア・ウォッチドッグ・リセット・イネーブル

- このビットは、SWP レジスタへの書き込みがプリスケアラをリセットするかどうかを制御します。
- 0 = プリスケアラ・リセットをディセーブルする。
- 1 = プリスケアラ・リセットをイネーブルする。

PCLK— プリスケアラ・クロック・セレクト

- このビットはプリスケアラへのクロック・ソースを選択します。
- 0 = システム・クロックを選択する。
- 1 = クリスタル基準を選択する。

SLPC— LPSTOP 時のソフトウェア・ウォッチドッグ・カウント動作セレクト

- 0 = ソフトウェア・ウォッチドッグは LPSTOP でカウントしない。リセット後にカウントを再開する。
- 1 = ソフトウェア・ウォッチドッグは LPSTOP でカウントする。

RZ— タイマ・ゼロ・フラグ

- このビットは、RTC ダウンカウンタがゼロに達した後でセットされるフラグです。クリアするには、このレジスタを読み出した後にゼロを書き込みます。

SZ— ソフトウェア・ウォッチドッグ・ゼロ・フラグ

- このビットは、ソフトウェア・ウォッチドッグ・ダウンカウンタがゼロに達した後でセットされるフラグです。クリアするには、このレジスタを読み出した後にゼロを書き込みます。

IRSEL— 割込み / リセット・セレクト

- このビットは、ゼロにカウントダウンしたときに、ソフトウェア・ウォッチドッグ・ダウンカウンタがリセットまたは割込みのどちらを発行するか選択します。
- 0 = カウンタはリセットを起こす。
- 1 = カウンタは SYPCR の TIQL フィールドで指定された割込みを起こす。

## TIEN— タイマ割込みイネーブル

このビットは、リアルタイム・ダウンカウンタがタイムアウト後に割込みを発行するかどうかを制御します。

- 0 = ゼロに達したときに割込みを起こさない。
- 1 = ゼロに達したときに割込みを起こす。

## TIQL[2:0]— タイマ割込み要求レベル

このフィールドは、リアルタイム・ダウンカウンタまたはソフトウェア・ウォッチドッグ・ダウンカウンタがタイムアウトしたときに生成される割込みの優先順位を定義します。表 16 を参照してください。

表 16 タイマ割込み要求レベル・フィールド

TIQL[2:0]			説 明
0	0	0	Interrupt Disabled
0	0	1	Interrupt Request Level 1
0	1	0	Interrupt Request Level 2
0	1	1	Interrupt Request Level 3
1	0	0	Interrupt Request Level 4
1	0	1	Interrupt Request Level 5
1	1	0	Interrupt Request Level 6
1	1	1	Interrupt Request Level 7

同じ優先順位のリアルタイム・ダウンカウンタ / ソフトウェア・ウォッチドッグ・カウンタの割込みと外部 IRQ 割込みが同時に発生した場合は、リアルタイム・ダウンカウンタ / ソフトウェア・ウォッチドッグ・カウンタの割込みが最初に処理されます。

## DBE— ダブル・バス・フォールト・イネーブル

DBE は、IMB 上でダブル・バス・フォールトをチェックするのと同様に、ダブル・バス・フォールト・モニタを制御します。(79 ページの「3.2.5 ホルト・モニタ」を参照)

- 0 = ダブル・バス・フォールト・モニタをディセーブルする。
- 1 = ダブル・バス・フォールト・モニタをイネーブルする。

## BME— バス・モニタ・イネーブル

- 0 = 外部バス・モニタ機能をディセーブルする。
- 1 = 外部バス・モニタ機能をイネーブルする。

このバス・モニタ・イネーブルは外部アクセス時におけるもので、内部モジュールに対するバス・モニタは常時機能しています。なお、このビットはマスタ・モードにのみ有効です。この機能の概要は、「3.2.3 バス・モニタ」を参照してください。

シングル・チップ・モードにおいてはこのビットに依存せず常時機能してます。

## BMT[1:0]— バス・モニタ・タイミング

これらのビットはバス・モニタのタイムアウト周期を選択します。表 17 を参照してください。

表 17 バス・モニタ・タイムアウト周期

BMT[1:0]	タイムアウト
00	64 System Clocks
01	32 System Clocks
10	16 System Clocks
11	8 System Clocks

システム・リセットの後、バス・モニタ・タイムアウト値は、デフォルトで 64 システム・クロックになります。

注：外部アクセスを実行するには、このタイムアウト値がチップ・セレクト・アクセス時間より長くなければなりません。

### 3.2.3 バス・モニタ

バス・モニタ機能とは、通常バス・サイクルの応答時間が長くなりすぎないようにチェックします。応答時間が長すぎる場合、バス・モニタ機能は BERR 信号をアサートし、バス・サイクルを強制終了させます。CPU16 は BERR 信号で通常バス・サイクルを終了されるとバス・エラーの例外処理を行います。

バス・サイクルの応答時間が長くなるということは、DTACK のアサートするまでの時間が遅いことを意味します。その応答の遅れ時間はクロック・サイクルで測定しており、BMT フィールド（表 17 を参照）の設定により、許容最大応答時間を選択することができます。

バス・モニタは内部バス・サイクルを常時モニタしていますが、外部バス・サイクルでは、SYPCR の BME ビット（\$YFFA50 のビット 2）により、モニタをディセーブル / イネーブルすることができます。

複数のバス・マスタが存在するシステムでは、バス・マスタ側に外部バス・モニタ機能をもたせ、バス・マスタでない側では、外部バス・モニタ機能をディセーブルしなければなりません。

### 3.2.4 スプリアス割込みモニタ

スプリアス割込みモニタは、IACK サイクル中に割込み調停（76 ページの「IARB[3:0]— 割込み調停フィールド」を参照）が \$0 であった場合、または IACK サイクルが BMT フィールド（表 17 を参照）の設定された許容最大応答時間以内に終了しなければ、SLIM が BERR をアサートし強制終了させます。CPU16 は IACK サイクルを BERR で終了されるとスプリアス割込みの例外処理を行います。

この IARB（割込み調停フィールド）は割込みリソースのモジュールが全て所有しているので、割込みを使用する際は必ず設定（\$1 ~ \$F）しなければいけません。

### 3.2.5 ホルト・モニタ

ホルト・モニタは、SYPCR の DBE ビットがイネーブルのときに、内部バス上でダブル・バス・フォルトが発生した場合、リセットをアサートしてシステムを立ち上げ直します。そのときのリセット・ステータス・レジスタ（RSR）のフラグは、ホルト・モニタが最後のリセットを引き起こしたことを示します。

何らかの問題で通常バス・サイクルが BERR で強制終了されると、CPU16 はバス・エラーの例外処理を行います、その例外処理中、さらに BERR で強制終了されると、CPU16 は内部 HALT 信号をアサートし実行を停止します。これをダブル・バス・フォルトと言います。SLIM は内部 HALT 信号をモニタしているため、CPU16 がダブル・バス・フォルトで内部 HALT 信号をアサートすると、即座にリセットをアサートして再起動を行います。これをホルト・モニタと言います。

### 3.2.6 ソフトウェア・ウォッチドッグ

ソフトウェア・ウォッチドッグはシステム・ソフトウェアをモニタして、システムでソフトウェアがループに陥って制御不能となるようなエラーが発生しないよう保護します。ソフトウェア・ウォッチドッグは、定期的に特別なサービス・シーケンスを実行してソフトウェア・ウォッチドッグのタイムアウトを防止し、エラー応答を発行しないようにしています。このリアルタイム・サービス動作を実行しない場合、ソフトウェア・ウォッチドッグはタイムアウトし、リセットまたは割込みを発行します。

ソフトウェア・ウォッチドッグの特長は以下のとおりです。

- ・タイムアウト期間の終了時に、割込みまたはリセットのどちらを発行するか選択可能。
- ・ソフトウェア・ダウンカウンタ（SWDC）への入力クロックは、外部で生成されたクロックまたはクリスタル周波数のいずれも可能。タイムアウト周期の範囲は、512  $\mu$ s ~ 524ms (4.000MHz のクリスタル周波数) 125ns ~ 131ms (16.000MHz のシステム・クロック) または 83.3ns ~ 87ms (24.000MHz のシステム・クロック) です。
- ・SWDC はタイムアウト周期を延長するために、リアルタイム・ダウンカウンタを含めてチェーンして、32 ビットのダウンカウンタを作ることができます。
- ・SWDC はいつでも読み出すことができます。



## SWSR—ソフトウェア・ウォッチドッグ・サービス・レジスタ

\$YFFA55

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UNUSED															
RESET:															
								0	0	0	0	0	0	0	0

ソフトウェア・ウォッチドッグ・サービス・レジスタは、SWDOG サービス・シーケンスが書き込まれるロケーションです。このレジスタはシステム・リセットやパワー・オン・リセットに影響されません。このレジスタを読み出すと、常にゼロを返します。

ソフトウェア・ウォッチドッグ・タイマのサービス・シーケンスは、次の順序で実行します。

- ・SWSR に \$55 を書き込む。
- ・SWSR に \$AA を書き込む。

これらの書込みは、タイムアウトの前に、記載の順序で実行しなければなりません。タイムアウト期間が終了するまで、その間に命令をいくつ実行してもかまいません。

適切なサービス・シーケンスが発生すると、ソフトウェア・ダウンカウンタはソフトウェア・ウォッチドッグ周期レジスタの値を再ロードし、再びこのプロセスが開始されます。

サービス処理の実行前にタイムアウト期間が終了した場合、ソフトウェア・ウォッチドッグは、IRSEL ビットの状態に基づいて、システム・リセットまたは割込みを発生します。リセット・ステータス・レジスタ (RSR) のフラグもセットされます。

### 3.2.7 タイマ・セクション

SLIM システム保護タイマ・セクションには、システム・プリスケアラを共有する 1 組のダウンカウンタがあります。図 8 を参照してください。

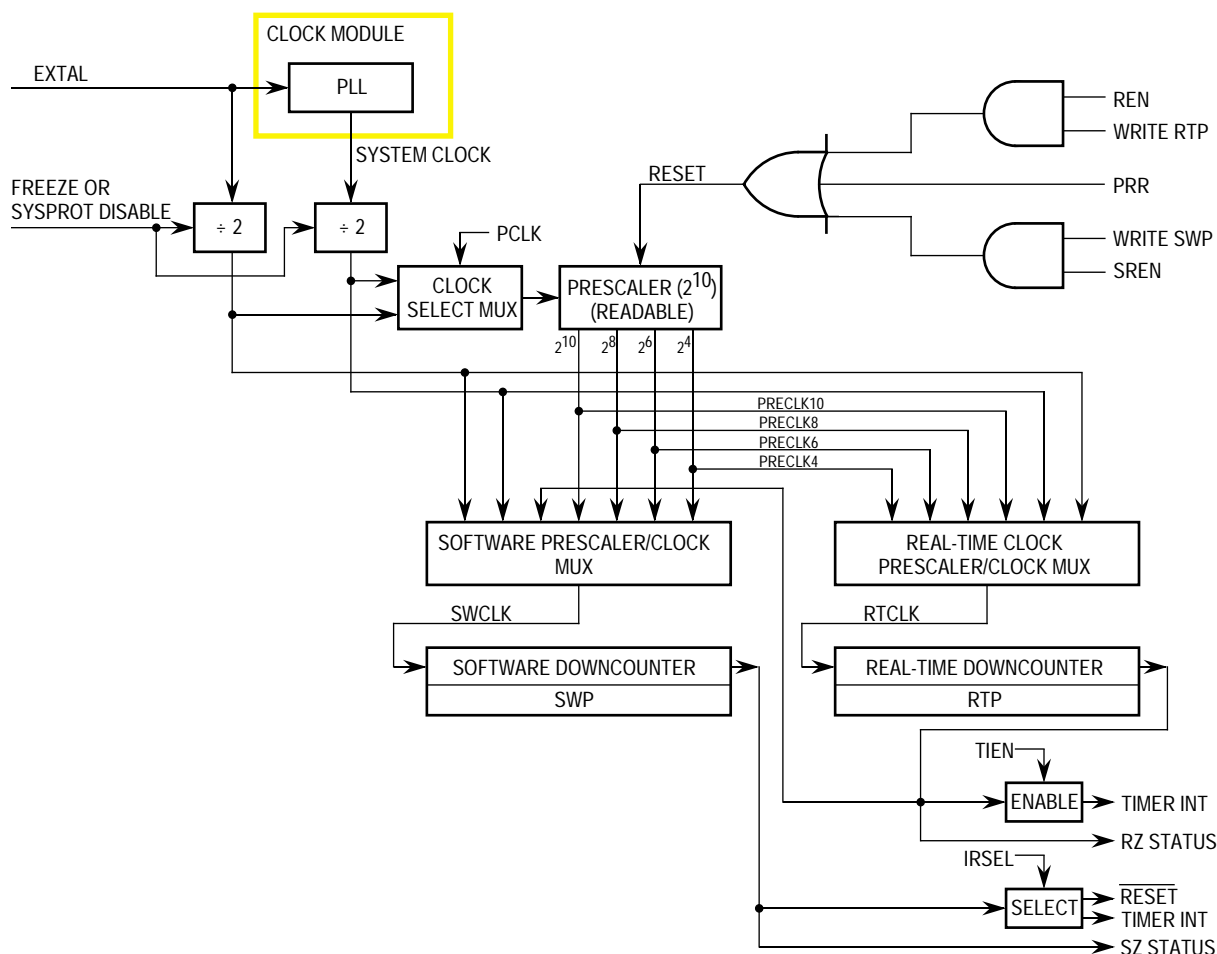


図 8 ソフトウェア・ウォッチドッグ、リアルタイム・クロックおよびプリスケアラ

## PRE— システム保護プリスケアラ

\$YFFA56

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SWDOG と RTC は、10 ビットの同期式カウンタであるプリスケアラを共有しています。SWDOG または RTC ダウンカウンタに、同時に異なるプリスケアラ・タップを適用できます。プリスケアラ供給用に選択されたクロックは、2 分周されてからプリスケアラに送られます。

SWCLK と RTCLK の両方がそれぞれ 1024、256、64、または 16 のカウントでプリスケールされます。クリスタル周波数、システム・クロック、およびプリスケアラ出力 (PRECLK10、PRECLK8、PRECLK6、または PRECLK4) のすべてを、SWDOG または RTC プリスケアラ・クロック mux に供給できます。タイマ・コントローラ・レジスタ (TIC) のソフトウェア・ウォッチドッグ制御フィールド (SWC[2:0]) ビットは、ソフトウェア・ウォッチドッグの SWCLK としてクロック入力またはプリスケール入力のいずれを使用するかを選択します。タイマ・コントロール・レジスタ (TIC) のリアルタイム制御フィールド (RTC[2:0]) ビットは、リアルタイム・クロックに対して同じ制御を実行します。プリスケアラの値は、プリスケアラ・レジスタ (PRE) からいつでも読み出すことができます。プリスケアラに 16 ビット読出しを実行すると、10 ビットの値が返されます。上位 6 ビットはゼロです。

フェーズ・ロックド・ループ (PLL) は、動作中であってもなくても関係なく選択できます。PCLK がセットされていても、PLL が動作していない場合には、システム保護プリスケアラは動作しません。したがって、SWDOG および RTC クロック制御フィールドでシステム保護プリスケアラ・タップまたはクリスタル周波数を選択していても無効です。

## SWP— ソフトウェア・ウォッチドッグ周期レジスタ

\$YFFA58

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ソフトウェア・ウォッチドッグ周期レジスタには、ソフトウェア・ウォッチドッグ・ダウンカウンタにロードされる値が含まれています。ソフトウェア・ウォッチドッグ・ダウンカウンタを開始するには、SWP の下位バイトに書き込まなければなりません。

SWP はいつでも読み書き可能です。SYPCR の SREN ビットがセットされている場合、このレジスタに書き込むとプリスケアラがリセットされ停止します。

このレジスタにゼロをロードすると、ソフトウェア・ウォッチドッグ・ダウンカウンタがクリアされます。

SWP はシステム・リセットの影響を受けません。したがって、システム・リセットが発生する前に SWP にプログラムされた値は、そのまま保持されます。しかし、パワー・オン・リセットによってのみ、SWP はゼロにリセットされます。

表 18 ソフトウェア・ウォッチドッグ周期範囲

SWC[2:0] <sup>1</sup> クロック コントロール設定			クロックソース (SWCLK) <sup>2</sup>		標準値のタイムアウトの範囲 <sup>3</sup>		
			PCLK=1	PCLK=0	Crystal が 4.000 MHz の時	System CLK が 16.000 MHz の時	System CLK が 24.000 MHz の時
0	0	0	System CLK/2		-	125 ns ~ 8.19 ms	83.3 ns ~ 5.46 ms
0	0	1	Crystal Ref/2		512 ns ~ 32.7 ms	-	-
0	1	0	Crystal Ref/2 1024	System CLK/2 1024	512 μs ~ 33.5 s	128 μs ~ 8.38 s	85.3 μs ~ 5.59 s
0	1	1	Crystal Ref/2 256	System CLK/2 256	128 μs ~ 8.38 s	32.0 μs ~ 2.09 s	21.3 μs ~ 1.39 s
1	0	0	Crystal Ref/2 64	System CLK/2 64	32.0 μs ~ 2.09 s	8.00 μs ~ 524 ms	5.33 μs ~ 349 ms

表 18 ソフトウェア・ウォッチドッグ周期範囲 ( 続き )

SWC[2:0] <sup>1</sup> クロック コントロール設定			クロックソース (SWCLK) <sup>2</sup>		標準値のタイムアウトの範囲 <sup>3</sup>		
			PCLK=1	PCLK=0	Crystal が 4.000 MHz の時	System CLK が 16.000 MHz の時	System CLK が 24.000 MHz の時
1	0	1	$\frac{\text{Crystal Ref}/2}{16}$	$\frac{\text{System CLK}/2}{16}$	8.00 $\mu$ s ~ 524 ms	2.00 $\mu$ s ~ 131 ms	1.33 $\mu$ s ~ 87 ms
1	1	0	RTC の拡張用として使用		-	-	-
1	1	1	Software Watchdog 停止		-	-	-

注：1. TIC( タイマ・コントロール・レジスタ ) を参照してください。

2. クロックソースは図 8「ソフトウェア・ウォッチドッグ、リアルタイム・クロックおよびプリスケアラ」および表 21「ソフトウェア・ウォッチドッグとリアルタイム・クロック制御の設定」を参照してください。

3. タイムアウトの最小値は SWP=1 でクロックソースが 1 クロック分、最大値は SWP=\$FFFF でクロックソースが  $2^{16}=65538$  クロック分の時です。

SWDC— ソフトウェア・ウォッチドッグ・ダウンカウンタ

\$YFFA5C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ソフトウェア・ウォッチドッグ・ダウンカウンタは、SWC プリスケアラ・マルチプレクサ出力 ( SWCLK 信号 ) からクロックが供給される 16 ビット・ダウンカウンタで構成されます。SWCLK 信号は SWDC にクロックを供給します。SWDC は SWP 値がロードされると、ゼロまでカウントダウンします。SWDC は、SWP の下位バイトが書き込まれるまで、カウントを開始しません。

ソフトウェア・ウォッチドッグはタイムアウトすると、SYPCR の IRSEL ビットの状態に応じて、リセットまたは割込みをアサートします。次に、SWDOG ダウンカウンタは、SWP からの現在のタイムアウト値をロードして、再びカウントダウンを開始します。タイムアウト値はいつでも変更できます。

タイムアウトが発生した後、SYPCR のソフトウェア・ウォッチドッグ・ゼロ・フラグ ( SZ ) がセットされます。

SWDC はいつでも読み出すことができます。

システム・リセットがアサートされても、SWDC は影響を受けません。

ウォッチドッグのタイムアウト周期 ( COP 周期 ) は以下の式で求められます。

プリスケアラなし、クリスタルのクロックを使う場合：

$$\text{COP 周期} = \frac{(\text{SWP カウント値}) \times 2}{\text{クリスタルの クロック}}$$

プリスケアラなし、システムのクロックを使う場合：

$$\text{COP 周期} = \frac{(\text{SWP カウント値}) \times 2}{\text{システムの クロック}}$$

プリスケアラあり、クリスタルのクロックを使う場合：

$$\text{COP 周期} = \frac{(\text{SWP カウント値}) \times 2}{(\text{クリスタルの クロック}) / (\text{プリスケアラ})}$$

プリスケアラあり、システムのクロックを使う場合：

$$\text{COP 周期} = \frac{(\text{SWP カウント値}) \times 2}{(\text{システムの クロック}) / (\text{プリスケアラ})}$$

### 3.2.8 リアルタイム・クロック

リアルタイム・クロック (RTC) は、RTC プリスケアラ・マルチプレクサ出力でクロック駆動される 16 ビット・ダウンカウンタで構成されます。RTCLK 信号は、選択可能なクロック・ソースから供給されます。

RTCLK 信号はリアルタイム・クロック・ダウンカウンタ (RTDC) に供給され、ダウンカウンタは RTP 値がロードされると、ゼロまでカウントダウンします。RTDC は RTP の下位バイトが書き込まれるまで、カウントを開始しません。

RTP— リアルタイム周期レジスタ

\$YFFA5A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

リアルタイム周期レジスタには、RTC ダウンカウンタにロードする値が入っています。チェーンされているときにもされていないときにも、リアルタイム・ダウンカウンタを開始するには、RTP の下位バイトに書き込まなければなりません。

このレジスタに書き込むと、SYPCR の REN ビットがセットされていれば、プリスケアラがリセットされます。このレジスタにゼロをロードすると、RTC ダウンカウンタがクリアされ停止します。

RTDC— リアルタイム・クロック・ダウンカウンタ

\$YFFA5E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ダウンカウンタがゼロに達したとき、TIEN ビットがセットされ、かつ TIQL がゼロ以外の場合は割込みが生成されます (タイミング・ダウンカウンタでゼロが検出された場合、システム保護レジスタ (SYPCR) のリアルタイム・ゼロ・フラグ RZ が常にセットされます)。RTDC は現在の RTP 値をロードして、再びカウントを開始します。

RTC 周期 (プリスケールなし、クリスタルのクロックを使う場合) は、次のとおり計算されます:

$$\text{RTC 周期} = \frac{(\text{RTP カウント値}) \times 2}{\text{クリスタルのクロック}}$$

RTC 周期 (プリスケールなし、システムのクロックを使う場合) は、次のとおり計算されます:

$$\text{RTC 周期} = \frac{(\text{RTP カウント値}) \times 2}{\text{システムのクロック}}$$

RTC 周期 (プリスケールあり、クリスタルのクロックを使う場合) は次のとおり計算されます:

$$\text{RTC 周期} = \frac{(\text{RTP カウント値}) \times 2}{(\text{クリスタルのクロック}) / (\text{プリスケアラ})}$$

RTC 周期 (プリスケールあり、システムのクロックを使う場合) は次のとおり計算されます:

$$\text{RTC 周期} = \frac{(\text{RTP カウント値}) \times 2}{(\text{システムのクロック}) / (\text{プリスケアラ})}$$

これらの計算によって、表 19 に示すリアルタイム周期範囲が与えられます。

表 19 リアルタイム周期範囲 ( タイマはチェーンされない )<sup>1</sup>

RTC[2:0] <sup>1</sup> クロック コントロール設定			クロックソース (RTCLK) <sup>2</sup>		標準値のタイムアウトの範囲 <sup>3</sup>		
			PCLK=1	PCLK=0	Crystal が 4.000 MHz の時	System CLK が 16.000 MHz の時	System CLK が 24.000 MHz の時
0	0	0	System CLK/2		-	125 ns ~ 8.19 ms	83.3 ns ~ 5.46 ms
0	0	1	Crystal Ref/2		512 ns ~ 32.7 ms	-	-
0	1	0	Crystal Ref/2 1024	System CLK/2 1024	512 μs ~ 33.5 s	128 μs ~ 8.38 s	85.3 μs ~ 5.59 s
0	1	1	Crystal Ref/2 256	System CLK/2 256	128 μs ~ 8.38 s	32.0 μs ~ 2.09 s	21.3 μs ~ 1.39 s
1	0	0	Crystal Ref/2 64	System CLK/2 64	32.0 μs ~ 2.09 s	8.00 μs ~ 524 ms	5.33 μs ~ 349 ms
1	0	1	Crystal Ref/2 16	System CLK/2 16	8.00 μs ~ 524 ms	2.00 μs ~ 131 ms	1.33 μs ~ 87 ms
1	1	0	Real-Time Clock を 停止		-	-	-
1	1	1	Real-Time Clock を 停止		-	-	-

注：1. TIC( タイマ・コントロール・レジスタ ) を参照してください。

2. クロックソースは図 8「ソフトウェア・ウォッチドッグ、リアルタイム・クロックおよびプリスケラ」および表 21「ソフトウェア・ウォッチドッグとリアルタイム・クロック制御の設定」を参照してください。

3. タイムアウトの最小値は RTP=1 でクロックソースが 1 クロック分、最大値は RTP=\$FFFF でクロックソースが  $2^{16}=65538$  クロック分の時です。

### 3.2.9 チェーン・モードでの RTC と SWDOG

リアルタイム・クロックとソフトウェア・ウォッチドッグを連結して、32 ビット・ダウンカウンタを形成することができます。このときに、SWDC は最上位ワード (MSW) になり、リアルタイム・ダウンカウンタは最下位ワード (LSW) になります。ゼロに達した 32 ビット・ダウンカウンタは再ロードしないで、最下位ワードで SWDC を 1 だけカウントダウンして、\$FFFF にロールオーバーさせてから、カウントを継続します。

ダウンカウンタ・チェーンをトリガするには、1 つの 32 ビット値または 2 つの 16 ビット値を、SWP レジスタと RTP レジスタに書き込むことができます。

注： RTP の下位バイトに書き込むまで、ダウンカウンタ・チェーンはカウントを開始しません。

このカウンタはいつでも読み出すことができます。ただし、32 ビットの読出し以外は正確でない可能性があります。

チェーンされたタイマ周期 (プリスケールなし、クリスタルのクロックを使う場合) は、次のとおり計算されます：

$$\text{タイマ周期} = \frac{(\text{32 ビット SWP\_RTP カウント値}) \times 2}{\text{クリスタルのクロック}}$$

チェーンされたタイマ周期 (プリスケールなし、システムのクロックを使う場合) は、次のとおり計算されます：

$$\text{タイマ周期} = \frac{(\text{32 ビット SWP\_RTP カウント値}) \times 2}{\text{システムのクロック}}$$

チェーンされたタイマ周期 (プリスケールあり、クリスタルのクロックを使う場合) は次のとおり

計算されます：

$$\text{タイマ周期} = \frac{(\text{32 ビット SWP\_RTP カウント値}) \times 2}{(\text{クリスタルのクロック}) / (\text{プリスケアラ})}$$

チェーンされたタイマ周期 (プリスケールあり、システムのクロックを使う場合) は次のとおり計算されます：

$$\text{タイマ周期} = \frac{(\text{32 ビット SWP\_RTP カウント値}) \times 2}{(\text{システムのクロック}) / (\text{プリスケアラ})}$$

これらの計算によって、表 20 に示すリアルタイム周期範囲が得られます。

表 20 リアルタイム周期範囲 (タイマをチェーン接続)

SWC[2:0] <sup>1</sup> クロック コントロール 設定	RTC[2:0] <sup>1</sup> クロック コントロール設定			クロックソース (RTCLK) <sup>2</sup>		標準値のタイムアウトの範囲 <sup>3</sup>		
				PCLK=1	PCLK=0	Crystal が 4.000 MHz の時	System CLK が 16.000 MHz の時	System CLK が 24.000 MHz の時
1 1 0	0	0	0	System CLK/2		-	125 ns ~ 536 s	83.3 ns ~ 357.9 s
	0	0	1	Crystal Ref/2		512 ns ~ 2147 s	-	-
	0	1	0	Crystal Ref/2 1024	System CLK/2 1024	512 μs ~ 25.4 days	128 μs ~ 6.36 days	85.3 μs ~ 4.24 days
	0	1	1	Crystal Ref/2 256	System CLK/2 256	128 μs ~ 6.36 days	32.0 μs ~ 38.1 hrs	21.3 μs ~ 25.4 hrs
	1	0	0	Crystal Ref/2 64	System CLK/2 64	32.0 μs ~ 38.1 hrs	8.00 μs ~ 9.54 hrs	5.33 μs ~ 6.36 hrs
	1	0	1	Crystal Ref/2 16	System CLK/2 16	8.00 μs ~ 9.54 hrs	2.00 μs ~ 2.38 hrs	1.33 μs ~ 1.59 hrs
	1	1	0	Real-Time Clock を 停止		-	-	-
	1	1	1	Real-Time Clock を 停止		-	-	-

注：1. TIC(タイマ・コントロール・レジスタ)を参照してください。

2. クロックソースは図 8「ソフトウェア・ウォッチドッグ、リアルタイム・クロックおよびプリスケアラ」および表 21「ソフトウェア・ウォッチドッグとリアルタイム・クロック制御の設定」を参照してください。

3. タイムアウトの最小値は SWP\_RTP=1 でクロックソースが 1 クロック分、最大値は SWP\_RTP=\$FFFFFFF でクロックソースが 2<sup>32</sup> クロック分の時です。

## 3.2.10 タイマ制御

タイマ制御機能は、タイマ・コントロール・レジスタとタイマ割込みベクタ・レジスタで構成されています。

TIC— タイマ・コントロール・レジスタ

\$YFFA52

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRR	SWC[2:0]			DIV2R	RTC[2:0]			TIV							
RESET:															
0	U	U	U	0	U	U	U	U	U	U	U	U	U	U	U

このレジスタは RESET (POW 以外のリセット源) に無効ですが、POW においては "\$00" の値をセットします。リセットの種類については 100 ページの「3.5 リセット」を参照してください。  
タイマ・コントロール・レジスタは、ソフトウェア・ウォッチドッグ・ダウンカウンタとリアルタイム・クロック・ダウンカウンタのクロック入力を選択します。

## PRR— プリスケラ・リセット

0 = リセット動作を行わない。

1 = 書き込みの時にプリスケラをリセットする。

PRR は、プリスケラの回路をリセットします。このビットをリードすると常にゼロが返されます。このビットと DIV2R を同時に 1 を書き込むことにより 2 分周する回路とそれに接続されるこのプリスケラの全体の分周回路をリセットすることが可能です。

## SWC[2:0]— ソフトウェア・ウォッチドッグ・クロック制御

SWC[2:0] フィールドは、ソフトウェア・ウォッチドッグ・ダウンカウンタの入力を選択する際に可能な 7 つの設定を提供します。表 19 を参照してください。

## DIV2R— プリスケラ (1/2) クロック・リセット

0 = リセット動作を行わない。

1 = 書き込みの時に 2 分周する回路をリセットする。

DIV2R は、プリスケラに供給される直前の 2 分周する回路をリセットします。このビットをリードすると常にゼロが返されます。

## RTC[2:0]— リアルタイム・クロック制御

RTC[2:0] フィールドは、リアルタイム・クロック・ダウンカウンタの入力を選択する際に可能な 6 つの設定を提供します。表 21 を参照してください。

表 21 ソフトウェア・ウォッチドッグとリアルタイム・クロック制御の設定

クロック制御の設定			SWC[2:0]	RTC[2:0]
0	0	0	System Clock/2	System Clock/2
0	0	1	Crystal Reference/2	Crystal Reference/2
0	1	0	2 <sup>10</sup> Prescaler Tap	2 <sup>10</sup> Prescaler Tap
0	1	1	2 <sup>8</sup> Prescaler Tap	2 <sup>8</sup> Prescaler Tap
1	0	0	2 <sup>6</sup> Prescaler Tap	2 <sup>6</sup> Prescaler Tap
1	0	1	2 <sup>4</sup> Prescaler Tap	2 <sup>4</sup> Prescaler Tap
1	1	0	RTC 拡張用	RTC 停止
1	1	1	SWDOG 停止	RTC 停止

SWC[2:0] フィールドの場合、RTC 拡張の設定により、リアルタイム・ダウンカウンタは、ゼロにデクリメントするたびに、ソフトウェア・ウォッチドッグ・ダウンカウンタをクロック駆動することができます。この設定をイネーブルすると、ソフトウェア・ウォッチドッグ機能がディセーブルされます。

システム・クロックとクリスタルの基準設定値によって、SWDOG または RTC ダウンカウンタを、それぞれクリスタル周波数または外部クロックを 2 分周した周波数でクロック駆動することができます。他方、プリスケラ設定によって、4 つのプリスケラ・タップの 1 つでダウンカウンタをクロック駆動することができます。

注：PLL が動作中であってもなくても選択可能です。PCLK ビット（77 ページの「3.2.2 システム保護」を参照）がセットされていて、PLL が動作していない場合、システム保護プリスケラは動作できません。したがって、SWDOG および RTC クロック制御フィールドがシステム保護プリスケラ・タップまたはクリスタル周波数を選択する場合にも、動作できません。

リセットにより LPSTOP を抜けても、SWC や RTC フィールドには影響はありません。このように、SWDOG と RTC は LPSTOP 時にも通常の動作時にも、同じクロック構成で継続して動作します。

## TIV— タイマ割込みベクタ・レジスタ

\$YFFA53

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIC								TIV[7:0]							
RESET:															
0	U	U	U	0	U	U	U	U	U	U	U	U	U	U	U

タイマ割込みベクタ・レジスタには、IACK サイクル中にタイマ割込みに応答して生成されるベクタ番号があります。POW においては "\$0F" の値をセットします。リセットの種類については 100 ページの「3.5 リセット」を参照してください。

### 3.3 システム・クロック

SLIM のシステム・クロックは、IMB モジュールおよび外部ペリフェラル・バスにタイミング信号を供給します。MCU は完全スタティック設計であるため、クロック・レートが変動してもレジスタとメモリの内容には影響ありません。システムのハードウェアおよびソフトウェアは、動作中のクロック・レートの変動に対応できます。

システム・クロック信号は 3 つの方法で発生させることができます。内部フェーズロックド・ループ (PLL) は、内部基準 (低速基準モード) または内部基準 (高速基準モード) からクロック信号を合成できます。あるいは、外部周波数ソースを入力することも可能です (外部クロック・モード)。この章の残りの部分を読むときは、これらのクロック・ソースを頭に入れておいてください。図 9 はシステム・クロックのブロック図です。

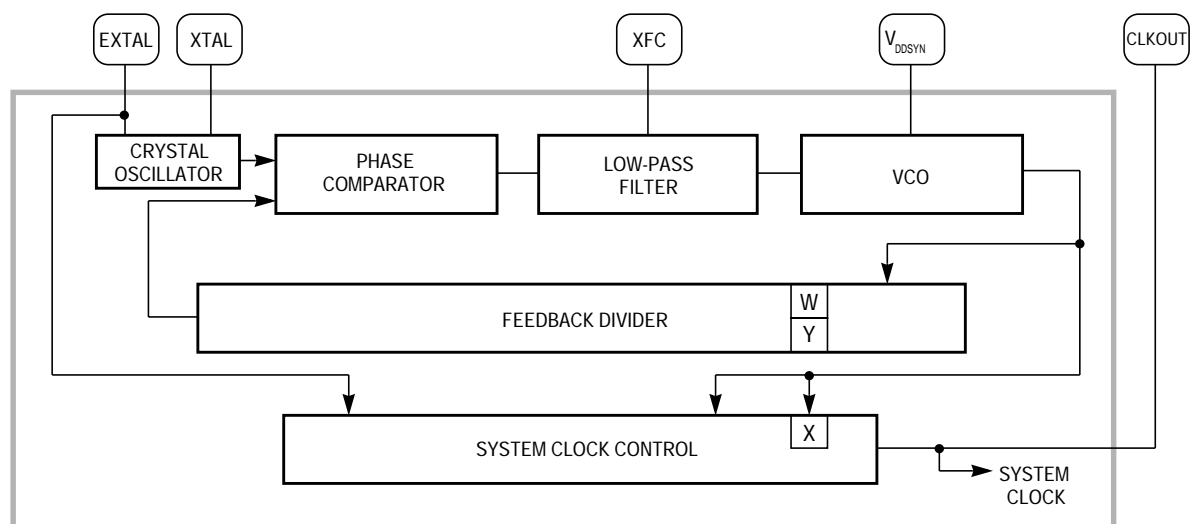


図 9 システム・クロックのブロック図



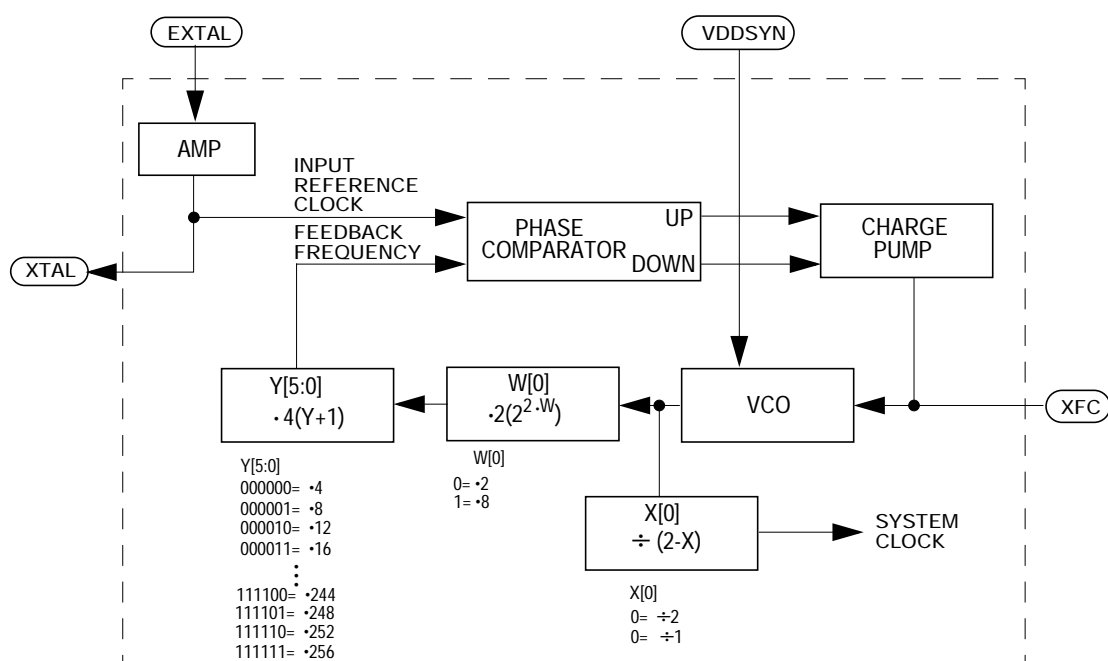


図 9(a) システム・クロック・ブロック図 (低速基準モード)

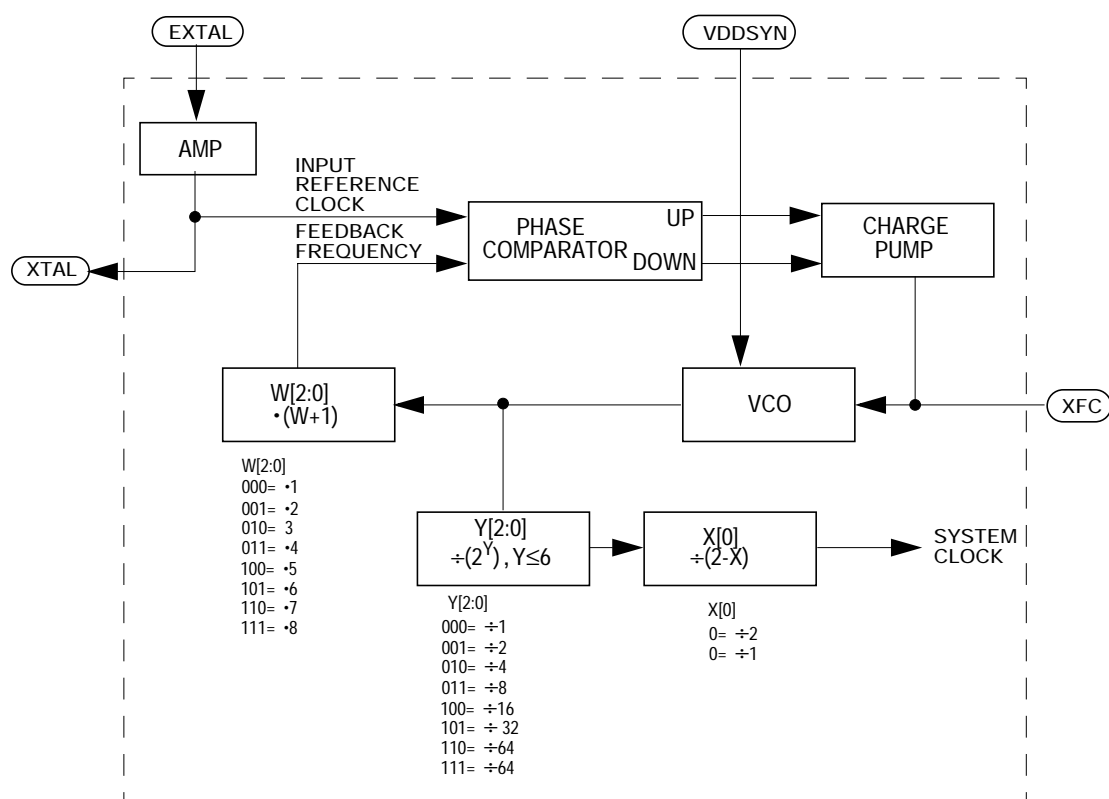


図 9(b) システム・クロック・ブロック図 (高速基準モード)

### 3.3.1 クロック・ソース

システム・クロックのソースは、リセット時にポート / クロック・コンフィギュレーション・レジスタ (PCON[2] と PCON[0]) の 2 つのシャドウ・ビット、および  $V_{DDSYN}/MODCLK$  ピンの状態によって決定されます。表 22 を参照してください。

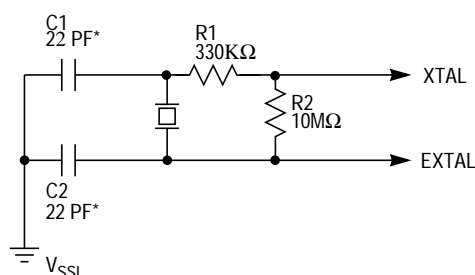
表 22 PLL モード

MODE: $V_{DDSYN}/MODCLK$ PCON0	SYNCR X/W/Y ビット 割当て	X/W/Y リセット値	X/W/Y 機能	クロックの式
External Clock: 0/X	X Y[2:0]	X = 1 Y = 0	X: divide W: no effect Y: divide	$FSYSTEM = EXTAL / (2-X)(2^Y) : (Y \leq 6)$
Fast Reference: 1/0	X W[2:0] Y[2:0]	PCON[2] = 0 <sup>1</sup>	X: divide W: multiply Y: divide	$FSYSTEM = EXTAL(W+1) / (2-X)(2^Y) : (Y \leq 6)$
		X = 1 W = 0 Y = 0		
		PCON[2] = 1 <sup>1</sup>		
		X = 0 W = 3 Y = 0		
Slow Reference: 1/1	X W Y[5:0]	X = 0 W = 0 Y = 63	X: divide W: multiply Y: multiply	$FSYSTEM = EXTAL(4)(Y+1)(2^{2W+X})$

注: 1. IPIPE1/DSI ピンがリセット中に “L” が設定された場合、PCON2 シャドウ・ビットにマスク・プログラムされたデフォルト値よりも、リセット時の IRQX ピンの状態を優先させます。

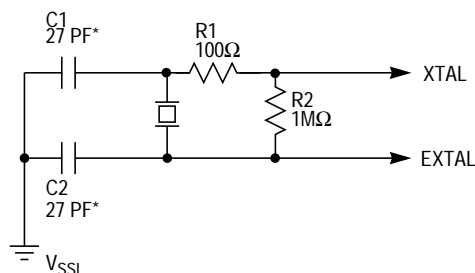
PCON[0] シャドウ・ビットにマスク・プログラムされたデフォルトのリセット状態よりも、リセット時の FREEZE ピンの状態を優先させることができます。リセット中に MODCLK が “H” に保持されると、クロック・シンセサイザは、クリスタル発振器または外部基準入力からクロック信号を生成します。クロック・シンセサイザ・コントロール・レジスタ (SYNCR) で、動作周波数と各種の動作モードを決定します。リセット中に  $V_{DDSYN}/MODCLK$  が “L” に保持されると、クロック・シンセサイザがディセーブルされるため、外部システム・クロック信号を供給しなければなりません。シンセサイザがディセーブルされたとき、SYNCR 制御ビットは無効です。

内部発振器を使用して基準周波数を生成するには、EXTAL ピンと XTAL ピンの間に基準クリスタルを接続しなければなりません。図 10(a)、図 10(b) に推奨回路を示します。



\* 抵抗値と容量値は、DAISHINKU DMX-38 32.768KHz クリスタルを使用して製作されたテスト回路に基づきます。実際の部品値はクリスタル・タイプに応じて決定してください。正確な回路については、クリスタル・メーカーにお問い合わせください。

図 10(a) 内部発振回路 (低速基準モード)



\* 抵抗値と容量値は、KDS041-18 4.194 MHz クリスタルを使用して製作されたテスト回路に基づきます。実際の部品値はクリスタル・タイプに応じて決定してください。正確な回路については、クリスタル・メーカーにお問い合わせください。

図 10(b) 内部発振回路（高速基準モード）

EXTAL ピンを通して外部基準信号または外部システム・クロック信号を供給した場合、XTAL ピンはフロート状態になっていなければなりません。外部基準信号周波数は、規定される最大基準周波数以下でなければなりません。外部システム・クロック信号周波数は、規定される最大システム・クロック周波数以下でなければなりません。

外部システム・クロック信号を供給する（PLL を使用しない）ときには、入力のデューティ・サイクルが重要であり、特に最大動作周波数付近では厳密さが要求されます。クロック信号のデューティ・サイクルとクロック信号周期との関係は、次式で表わされます。

$$\text{外部クロックの最小周期} = \frac{\text{外部クロックの最小“H”/“L”時間}}{50\% - \text{外部クロック入力デューティ・サイクルのパーセンテージ変動}}$$

以下、各クロック・モードについて説明します。

### 3.3.2 クロック・モード

低速基準モードでは、システム・クロックは PLL によって内部の 32.768kHz 基準周波数から生成されます。システム・クロックの周波数は、SYNCR の X、Y、W ビットをプログラムすることによって制御されます。

注：低速基準モードでは、32.768 kHz 以外のクリスタルも使用できますが、オンチップ・クリスタル発振器を動作させるには、25kHz ~ 50kHz の範囲になければなりません。

高速基準モードでは、システム・クロックは標準 4.194MHz の外部基準から PLL によって生成されますが、その範囲は規定最小クリスタル周波数から規定最大システム・クロック周波数までです。リセット時のシステム・クロック周波数は、PCON2 シャドウ・ビットによって決定されます。高速基準モードは、基準デューティ・サイクルに関係なく、50%のデューティ・サイクルのシステム・クロックを供給します。

外部クロック・モードでは、EXTAL ピンにクロック・ソースを供給しなければなりません。このクロックは、直接システム・クロックを生成するのに使用されます（VCO はオフになる）。リセット時には、システム・クロック周波数と入力クロック周波数は等しいため、分周器は使用されません。この周波数が規定最大システム・クロック周波数であれば、厳密な最小デューティ・サイクル要求条件に違反しないはずで

### 3.3.3 クロック・シンセサイザの動作

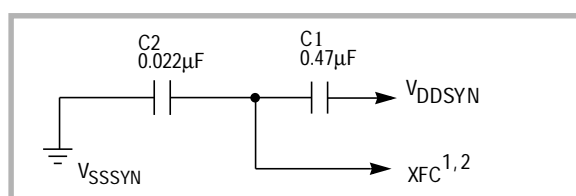
内部または外部基準周波数が供給されているときには、V<sub>DDSYN</sub>/MODCLK を使用して、クロック回路に電源を供給します。別電源を用意すれば、MCU の雑音余裕度が向上し、また MCU がパワーダウンしたと

きにクロック回路を動作させることができます。 $V_{DDSYN}/MODCLK$  の電源としては、低ノイズ型の電源を使用しなければなりません。安定した動作周波数を得るために、できるだけ  $V_{DDSYN}/MODCLK$  ピンの近くに十分な外付けバイパス・コンデンサを実装してください。外部システム・クロック信号が印加され、かつ PLL がディセーブルされているときには、 $V_{DDSYN}/MODCLK$  を GND に接続しなければなりません。

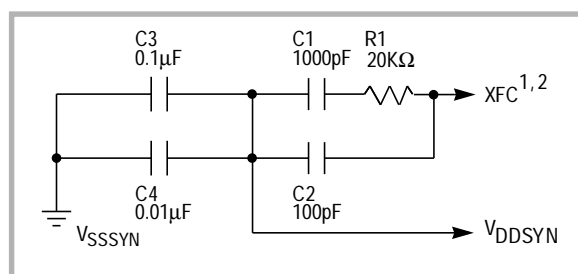
電圧制御発振器 (VCO) はシステム・クロック信号を生成します。50%のクロック・デューティ・サイクルを維持するには、VCO 周波数は SYNCR の X ビットの状態に応じて、クロック周波数の 2 倍または 4 倍になります。このクロック信号の一部が分周器 / カウンタにフィードバックされます。分周器は位相コンパレータの 1 つの入力の周波数を制御します。位相コンパレータの他の入力、クリスタル発振器または外部ソースからの基準信号です。コンパレータは、その 2 つの入力間の位相差に比例した制御信号を生成します。この信号はローパス・フィルタでフィルタされ、VCO の出力周波数を補正するのに使用されます。

フィルタ回路の構成は、外部環境と要求されるクロックの安定度に応じて変更することができます。図 11 に、低速および高速基準モードで推奨されるシステム・クロック・フィルタ・ネットワークを示します。XFC ピンのリークは、最適な安定性と PLL 性能を確保するために、規定限界内に維持しなければなりません。

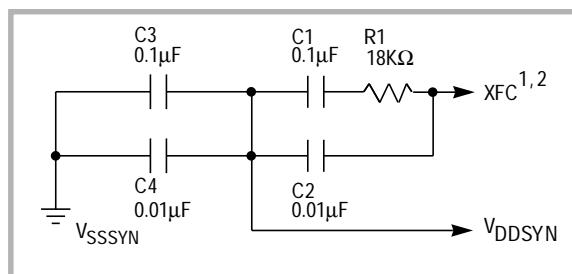
外部システム・クロック信号が印加され、かつ PLL がディセーブルされているときには、XFC ピンに外部フィルタ・ネットワークを接続する必要はありません。この場合、XFC ピンはフロート状態にしておいてください。



高速 / 低速基準 (簡易版)



高速基準  
(4.194 MHz 基準)



低速基準  
(32.768 KHz 基準)

図 11 システム・クロック・フィルタ・ネットワーク

- 注：1. XFC ノード上で低リークを維持します。詳細については、「付録 A 電気的特性」を参照してください。
2. 低周波数ノイズに対する感度を低減するために推奨されるループ・フィルタ。
3.  $V_{DDSYN}$  と  $V_{SSSYN}$  は他の電源からノイズが回り込まないように注意してください。

シンセサイザは、分周された VCO 周波数が EXTAL 周波数と等しいときにロックします。ロック時間は、フィルタの時定数と 2 つのコンパレータ入力間の差によって影響を受けます。コンパレータ入力に変化するたびに、シンセサイザは再ロックしなければなりません。ロック・ステータスは SYNCR の SLOCK ビットで示されます。パワーアップ中には、シンセサイザがロックするまで、MCU はリセット状態から解放されません。クリスタルの種類、特性周波数、および外部発振器回路のレイアウトによってロック時間が影響を受けます。

クロック・シンセサイザを使用するときは、コントロール・レジスタ SYNCR が動作周波数と各種の動作モードを決定します。

低速基準モードでは、PLL フィードバック・パスに 1 つの W ビットと 6 つの Y ビットがあり、最高 2048

倍まで周波数を逡倍することができます。X ビットは VCO クロック出力パスにあり、PLL に干渉することなくシステム・クロック周波数を 2 分周することができます。クロック周波数は、次式から求められます。

$$F_{\text{SYSTEM}} = \text{EXTAL}[4(Y+1) \cdot (2^{2W+X})]$$

高速基準モードでは、PLL フィードバック・パスに 3 つの W ビットがあり、周波数を 1 ~ 8 倍に逡倍することができます。3 つの Y ビットと X ビットは VCO クロック出力パスにあり、PLL に干渉することなくシステム・クロックを低速にすることができます。クロック周波数は、次式から求められます。

$$F_{\text{SYSTEM}} = \text{EXTAL}(W+1)/((2 - X) \cdot (2^Y)) \quad : (Y \quad 6)$$

外部クロック・モードでは、EXTAL 入力とシステム・クロックの間に 3 つの Y ビットと X ビットがあり、クロックを低速にして消費電力を低減することができます。クロック周波数は、次式から求められます。

$$F_{\text{SYSTEM}} = \text{EXTAL}/((2 - X) \cdot (2^Y)) \quad : (Y \quad 6)$$

デバイスが正しく動作するには、W ビット、X ビット、および Y ビットで選択されるクロック周波数が、MCU に対して規定された制限値内になければなりません。VCO 周波数は、次式から求められます。

$$F_{\text{VCO}} = F_{\text{SYSTEM}}(2 - X)$$

### 3.3.4 クロック制御

クロック制御回路は、シンセサイザ基準の消失やローパワー動作中などの特殊な状況におけるシステム・クロック周波数およびクロック動作を決定します。クロックのソースは、リセット時にポート / クロック・コンフィギュレーション・レジスタ (PCON2 と PCON0) の 2 つのシャドウ・ビット、および  $V_{\text{DDSYN}}/\text{MODCLK}$  ピンの状態によって決定されます。

SYNCR— クロック・シンセサイザ・コントロール・レジスタ

\$YFFA04

低速基準モード

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X	Y	W[5:0]						EDIV	STOSC	LOSCD	SLIMP	SLOCK	RSTEN	STSLIM	STEXT

RESET:

0 0 1 1 1 1 1 1 0 0 0 0 1 0 0 0

高速基準モード

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
X	W[2:0]			NOT USED	Y[2:0]			EDIV	STOSC	LOSCD	SLIMP	SLOCK	RSTEN	STSLIM	STEXT

RESET:(DSI=1)

PCON2 (0)	0	PCON2 (1)	PCON2 (1)	0	0	0	0	0	0	0	0	1	0	0	0
--------------	---	--------------	--------------	---	---	---	---	---	---	---	---	---	---	---	---

RESET:(DSI=0)

IRQX ピン状態	0	IRQX ピン状態	IRQX ピン状態	0	0	0	0	0	0	0	0	1	0	0	0
--------------	---	--------------	--------------	---	---	---	---	---	---	---	---	---	---	---	---

外部クロック・モード

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
X	NOT USED					Y[2:0]			EDIV	STOSC	LOSCD	SLIMP	SLOCK	RSTEN	STSLIM	STEXT

RESET:

1 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0

クロック・シンセサイザ・コントロール・レジスタ (SYNCR) は、スーパバイザ・モードで読み書き可能です。SYNCR の上位バイトのエンコーディングとデフォルト値は、リセット時に選択されたクロック・モードによって異なります。

低速基準モードでは、上位バイトのデフォルト値は \$3F で、これは 32.768kHz クリスタルを使用した場合には 8.32MHz の動作周波数となります。

高速基準モードで PCON2 をゼロとして設定したときの上位バイトのデフォルト値は \$80 で、基準周波数に 1 対 1 で対応します。PCON2 を 1 で設定した場合、上位バイトのデフォルト値は \$30 で、基準周波数の 2 倍が動作周波数となり、もし 6MHz クリスタルを使用した場合には 12MHz の動作周波数となります。

外部クロック・モードでは、上位バイトのデフォルト値は \$80 で、これは EXTAL 上の入力周波数が動作周波数に対応しています。デフォルト値はリセット時に、レジスタの他のビットのデフォルト値とともに、SYNCR に強制的に設定されます。

#### W— 周波数制御ビット

このビットのフィールド長と機能は、クロック・モードによって異なります。低速基準モードでは、W ビットだけを使用して、基準周波数を逡倍します。高速基準モードでは、3 つの W ビットを使用して、基準周波数を逡倍します。

#### X— 周波数制御ビット

このビットは、すべてのモードでシステム・クロックをドライブする 1 ビット分周器を制御します。X がセットされているときには、分周器はバイパスされ、クリアされているときには、システム・クロックが 2 分周されます。このビットは VCO のロック・ビットに影響を与えません。

#### Y— 周波数制御ビット

このビットのフィールド長と機能は、クロック・モードによって異なります。

低速基準モードでは、6 つの Y ビットを使用して、基準周波数を逡倍します。

高速基準モードでは、3 つの Y ビットを使用して PLL 出力周波数を分周します。外部クロック・モードでは、3 つの Y ビットを使用して、入力クロック周波数を分周します。このモードは VCO のロック・ビットに影響を与えません。

#### EDIV—E クロック分周レート

0 = ECLK 周波数はシステム・クロック ÷ 8

1 = ECLK 周波数はシステム・クロック ÷ 16

#### STOSC— 発振器停止

0 = クリスタル発振器回路は、LPSTOP 中も動作を続ける。

1 = クリスタル発振器回路と PLL は、LPSTOP 中は電力を節約するためにオフになる。チップ上のすべてのクロックが停止する。

STOSC ビットは、外部クロック・モードではシステム・クロックに影響を与えません。STOSC ビットがセットされた場合、外部割込みかりセットにより MCU はウェイクアップします。STOSC ビットがクリアされた場合、コンディション・コード・レジスタの割込みプライオリティ・フィールド (IP) より高いすべての割込みにより MCU はウェイクアップします。

#### LOSCD— クロック消失発振器ディセーブル

0 = クロック消失発振器をイネーブルする。

1 = クロック消失発振器をディセーブルされ動作していない。

#### SLIMP— リンブ・モード・フラグ

0 = システム・クロックは、PLL または EXTAL 入力からの外部クロックによって通常どおり供給されている。

1 = システム・クロックの消失が検出され、システム・クロックはクリスタル消失発振器基準から供給されている。

内蔵シンセサイザを使用しているとき、基準周波数が失われると SLIMP がセットされます。

VCO は基準制御電圧を使用して動作を続けます。

#### SLOCK— シンセサイザ・ロック・フラグ

0 = VCO がイネーブル時に、ロックしていない。

1 = VCO がイネーブル時にロックしている。または、VCO がディセーブル時は、常時セットされている。

**RSTEN—リセット・イネーブル**

- 0 = SLIMP=1 のときに MCU はリンプ・モードで動作を続ける。
- 1 = SLIMP=1 のときにシステム・リセットが発生する。

**STSLIM—ストップ・モード SLIM クロック**

- 0 = LPSTOP 命令を実行すると、SLIM クロックはクリスタル発振器からドライブされ、VCO が停止して電力を節約する。
- 1 = LPSTOP 命令を実行すると、SLIM クロックは VCO からドライブされる。

**STEXT—ストップ・モード外部クロック**

- 0 = LPSTOP 命令を実行すると、外部クロックはドライブされない。
- 1 = LPSTOP 命令を実行すると、STSLIM ビットの状態に従って外部クロックがドライブされる。

## 3.4 外部バス・インタフェース

外部バス・インタフェース (EBI) は MCU 内部の CPU が外部デバイスへアクセスするために使われます。外部バスには多重化された 16 本のアドレス・ラインと 16 本のデータ・ラインがあります。

EBI は、バス・マスタとして (マスタ・モード) 機能することができます。

MCU 内部の CPU がイネーブルされると、EBI はバス・マスタとして動作し、内部バス・サイクルでの外部メモリ・リソースへのアクセスを可能にします。EBI はチップ・セレクト・ベース・アドレス・レジスタとオプション・レジスタのプログラミング、およびポート D ピン割当てレジスタにプログラムされたチップ・セレクト・ピン・オプションに基づいて外部バス・サイクルを動作させます。

EBI は、バイト、ワード、およびロング・ワード転送をサポートしています。ポートは、データ転送 (SIZE) とデータ転送アクノリッジ (DTACK) ピンによって制御される非同期サイクルを使用してアクセスされます。16 ビット幅 (フル) では、8 ビットと 16 ビット・データ・ポートにアクセスできます。8 ビット幅 (ハーフ) では、8 ビット・ポートだけをアクセスできます。8 ビット・ポートへの転送には、複数のバス・サイクルが必要になる場合があります。

柔軟性を高め、必要な外部ロジックを少なくするために、MCU はチップ・セレクト回路を外部バス・アクセスに同期させることができます。また、チップ・セレクト・ロジックは、これらのアクセスに対して内部で生成されたバス制御信号を供給することができます。詳細については、「3.8 チップ・セレクト」を参照してください。

### 3.4.1 マスタ・モード

外部バスには、次の 5 つのマスタ動作モードがあります。

- ・ 16 ビット・バス幅、非多重化マスタ・モード
- ・ 8 ビット・バス幅、非多重化マスタ・モード
- ・ 16 ビット・バス幅、多重化マスタ・モード
- ・ 8 ビット・バス幅、多重化マスタ・モード
- ・ シングルチップ

外部バス動作は、クロック (CLKOUT) 出力信号に同期しています。外部バス・スピードは、DTACK 信号を使用したオプションの外部バス終了により、2 ~ 14 クロック・サイクル (0 ~ 12 ウェイト・ステート) をプログラムできます。バス・スピードは、チップ・セレクト・オプション・レジスタ (CSOR) の DTACK フィールドにプログラムされます。

一部の構成では外部チップ・セレクト・ピンや DTACK ピンを使用できない場合がありますが、少なくとも 1 本のチップ・セレクト・チャンネルを割り当て、バス・サイクル終了タイミングを供給する必要があります。チップ・セレクト・チャンネルは、内部でバス・サイクルを終了させることができます。もちろんオプションのチップ・セレクト・ピンを外部で使用して、適切なメモリ・モジュールやペリフェラルを選択することもできます。

EBI は専用の外部バス・コントローラをもっています。SLIM がシングルチップ・モード以外の場合には、内部および外部バスは分離されません。別の外部マスタに対するサポートは限定されます。

外部バスは、モジュール・コンフィギュレーション・レジスタ (SLIMCR) の MODE ビットをセットして構成されます。SLIM をバス・マスタとして構成する場合は、チップ・セレクト・チャンネルもバス・サイクル長、ポート・サイズ (8 ビットまたは 16 ビット・データ・バス)、およびストロブ特性などのバス属性を示すようにプログラムする必要があります。

表 23 に「マスタ・モード信号」を示します。

表 23 マスタ・モード信号

信 号	ピン の数	ポート	必要に なるピン	動作モード				
				MUX 16-bit	Non-MUX 16-bit	MUX 8-bit	Non-MUX 8-bit	シングル チップ
A23/ECLK	1	C	No	Optional	Optional	Optional	Optional	Optional
ADDR[22:16] <sup>2</sup>	8	C	No	Optional	Optional	Optional	Optional	No
AD[15:0]	16	A, B	Yes	Yes	Yes	Yes	Yes	No
ALE	1	F	No	Yes	No	Yes	No	No
$\overline{AS}$	1	E	Yes	Yes	Yes	Yes	Yes	No
BKPT/DSCLK/CSE0	1	D	Yes	CPU Pin	CPU Pin	CPU Pin	CPU Pin	CPU Pin
CLKOUT	1	E	Yes	Yes	Yes	Yes	Yes	Yes
$\overline{CSA}$	1	D	No	Optional	Optional	Optional	Optional	No
$\overline{CSB}$	1	D	No	Optional	Optional	Optional	Optional	No
$\overline{CSC}$	1	D	No	Optional	Optional	Optional	Optional	No
DATA[15:8]	8	G	No	No	Yes	No	Yes	No
DATA[7:0]	8	H	No	No	Yes	No	No	No
$\overline{DTACK}$	1	D	No	Optional	Optional	Optional	Optional	No
$\overline{DS}^1$	1	E	Yes	Yes	Yes	Yes	Yes	No
$\overline{EBR/TSC}$	1	-	Yes	Yes	Yes	Yes	Yes	Yes
EXTAL, XTAL	2	-	Yes	Yes	Yes	Yes	Yes	Yes
FC[2:0] <sup>2</sup>	3	E	No	Optional	Optional	Optional	Optional	No
$\overline{FREEZE/QUOT/CSE1}$	1	D	Yes	Yes	Yes	Yes	Yes	Yes
$\overline{IPIPE0/DS0}$	1	D	Yes	CPU Pin	CPU Pin	CPU Pin	CPU Pin	CPU Pin
$\overline{IPIPE1/DS1}$	1	D	Yes	CPU Pin	CPU Pin	CPU Pin	CPU Pin	CPU Pin
$\overline{IRQ[6:2]}$	5	F	No	Optional	Optional	Optional	Optional	Optional
$\overline{IRQX/BERR}$ , $\overline{IRQ7}$	2	F	Yes	Yes	Yes	Yes	Yes	Yes
$\overline{RESET}$	1	-	Yes	Yes	Yes	Yes	Yes	Yes
$R/\overline{W}^1$	1	E	Yes	Yes	Yes	Yes	Yes	No
SIZE	1	E	Yes	Yes	Yes	No	No	No
$V_{DDSYN}$ , $V_{SSSYN}$	2	-	Yes	Yes	Yes	Yes	Yes	Yes
XFC	1	-	Yes	Yes	Yes	Yes	Yes	Yes

注：1.  $R/\overline{W}$  と  $\overline{DS}$  は、 $\overline{RD}$  と  $\overline{WR}$  に置き換えることができます。

2. この信号またはバス内の一部の信号は、MC68HC(9)16Y5/916Y6 では未接続です。

### 3.4.2 アドレス・バス

アドレス・バス信号 AD[15:0] は、バス・サイクル中において上位バイトのアドレスが使われます。MCU はバス・サイクルを始めるときにバス上にアドレスをドライブします。このアドレスは  $\overline{AS}$  がアサートされている間有効です。



### 3.4.3 データ・バス

多重化モードでは、アドレス・ラッチ・イネーブル (ALE) がアサートされるときは必ず、16 ビット・アドレス・バス (AD[15:0]) に有効なアドレスがロードされています。ALE がネゲートされた後、DS がアサートされ、有効データが AD[15:0] バスにロードされます。

非多重化マスタ・モードでは、データ・バス信号 D[15:0] は双方向の平行バスとなり、MCU との間でデータの転送を行ないます。読出しまたは書込み操作により、1 バス・サイクルで 8 ビットまたは 16 ビットのデータを転送します。リード・サイクルでは、そのバス・サイクルのクロックの最後の立下りエッジで MCU がデータをラッチします。ライト・サイクルでは、ポート幅やオペランド・サイズに関係なく、データ・バスの 16 ビットすべてがドライブされます (16 ビット・バス幅のマスタ・モード)。MCU は、ライト・サイクルで AS がアサートされた半クロック・サイクル後にデータをデータ・バスにドライブします。

### 3.4.4 バス制御信号

マスタ・モードでは、内部 CPU がアドレス、サイズ、ファンクション・コード、およびリード / ライト出力をドライブすることによって、バス・サイクルを開始します。

サイクルの初めに、ファンクション・コード信号とともに SIZE 信号がドライブされます。SIZE 信号は 16 ビット・ポート・サイズでのみ使用されます。そのときサイズ信号は、オペランド・サイクル中のワード・アクセスかバイト・アクセスを示します (表 23 参照)。サイズ信号はアドレス・ストローブ (AS) がアサートされている間有効です。リード / ライト (R/W) 信号は、バス・サイクル中の転送の方向を決めます。この信号は、要求されるとバス・サイクルの初めに状態を変え、AS がアサートされている間は有効です。R/W 信号はライト・サイクルの前にリード・サイクルがある場合、“H” から“L” に状態を変えます。この信号はライト・サイクルが 2 回連続するときは、その間“L”の状態を継続します。

#### 3.4.4.1 アドレス・ストローブ

アドレス・ストローブ ( $\overline{AS}$ ) は、アドレス・バス上のアドレスおよび各種制御信号が有効なことを示すタイミング信号です。この信号はバス・サイクルが開始された半クロック後にアサートされます。多重化モードでは、アドレス、ファンクション・コード、サイズ、および R/W の有効である状態は、ALE 信号によって影響されます。

#### 3.4.4.2 データ・ストローブ

データ・ストローブ ( $\overline{DS}$ ) はタイミング信号です。リード・サイクルでは、MCU が  $\overline{DS}$  をアサートして、バスにデータをドライブするよう外部デバイスに指示します。リード・サイクルでは、DS が AS と同時にアサートされます。ライト・サイクルでは、DS がデータ・バス上のデータが有効であることを外部デバイスに知らせます。ライト・サイクルでは、MCU は AS をアサートした 1 クロック・サイクル後に DS をアサートします。

#### 3.4.4.3 サイズ信号

サイズ (SIZE) は転送データのサイズを示します。サイズ信号は、 $\overline{AS}$  がアサートされている間有効です。サイズのエンコーディングを表 24 に示します。

表 24 SIZE 信号のエンコーディング

ポート・サイズ	SIZE	転送サイズ
16 bit	1	バイト
16 bit	0	ワード

### 3.4.4.4 ファンクション・コード

ファンクション・コード (FC[2:0]) は、CPU16 によって自動的に生成されます。CPU16 は常に FC2 がハイ出力するため、事実上 FC1 と FC0 により 4 つのアドレス空間の 1 つを選択します。(FC2 は CPU16 の上位にあたる CPU32 により使われる信号です。) FC[1:0]=%00 は予約されています。残りの 3 つの空間はプログラム空間、データ空間、および CPU 空間と呼ばれます。CPU 空間は通常のリードまたはライト・バス・サイクルに関連しない特定の制御情報に使用されます。ファンクション・コード信号は、AS がアサートされている間有効です。ファンクション・コードのエンコーディングを表 25 に示します。

表 25 ファンクション・コードのエンコーディング

FC2	FC1	FC0	アドレス空間
1	0	0	予備
1	0	1	データ空間
1	1	0	プログラム空間
1	1	1	CPU 空間

### 3.4.4.5 リード / ライト信号

$\overline{R/W}$  によってバス・サイクル中の転送方向が決まります。この信号は必要に応じて、バス・サイクルの開始時に状態を変え、AS がアサートされている間有効です。

### 3.4.4.6 バス・サイクル終了信号

マスタ・モードでは、チップ・セレクト・オプション・レジスタ (CSOR) にプログラムしたとおり、内部チップ・セレクト・チャンネルがバス・サイクルを終了します。DTACK ピン (使用可能な場合) は、サイクルを早期に終了するのに使用できます。DTACK ピンが DTACK の機能として割り当てられているときに、アクティブ・ローがアサートされていれば、EBI はチップ・セレクト・タイマ・ウェイト・サイクル数を待たずにバス・サイクルを終了します。DTACK ピンが汎用ポートとして割り当てられている、または DTACK 機能として割り当てられているがアサートされないような場合は、チップ・セレクトが内部でサイクルを終了します。

### 3.4.5 データ転送メカニズム

MCU アーキテクチャは、バイトまたはワード・オペランド転送をサポートします。EBI は、8 ビット・データ・バス (8 ビット・バス幅のマスタ・モード) または 16 ビット・データ・バス (16 ビット・バス幅のマスタ・モード) をサポートするように構成され、8 ビットまたは 16 ビット・ポートのペリフェラルに対応するために、データ・バスをダイナミックにサイジングすることはできません。

各ポート (ポートとは、データ転送中に外部デバイスが使用するデータ・バス幅のこと) は、データ・バスの特定のビットに割り当てられます。16 ビット・ポートはデータ・バス・ビット [15:0] に割り当てられ、8 ビット・ポートはデータ・バス・ビット [15:8] に割り当てられます。

多重化モードでは、アドレスとデータが同じバスを共有します。バス・サイクルの最初の部分で、アドレスがアドレス / データ・バス上にドライブされます。そのとき、スレーブがそのアドレスをラッチしなければなりません。次に、アドレス / データ・バスはデータ転送に使用されます。

表 26 マスタ・モードにおけるポート・サイズ構成

SZA	SZB	SZC	ポート・サイズ
0	0	0	8 bit
1	X	X	16 bit
X	1	X	16 bit
X	X	1	16 bit

注: SZA、SZB、SZC ビットは、チップ・セレクト・コントロール・レジスタにあります。

MCU は、常にすべてのバス・サイクルにおいて最大量のデータを転送するよう試みます。つまり、ワード操作では、バス・サイクルが開始されたときに、ポート・サイズが 16 ビット幅であると想定します。オペランドのバイトには図 12 に示す名前が付けられています。OP0 はロング・ワード・オペランドの最上位バイト、OP3 は最下位バイトです。ワード長オペランドの 2 バイトは OP0 (最上位) と OP1 です。バイト長オペランドの 1 バイトは OP0 です。

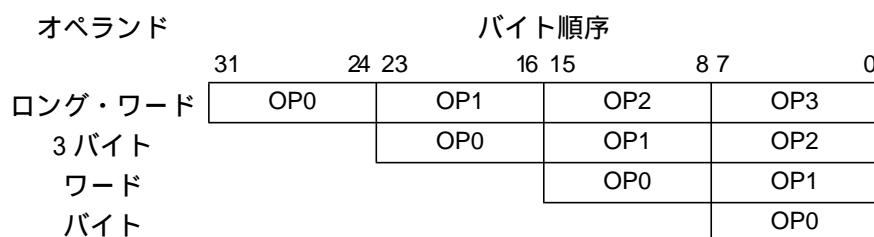


図 12 オペランドのバイト順序

### 3.4.6 オペランドのアライメント

データ・マルチプレクサは、アドレスおよびデータ・サイズの異なる組合せに対して必要な接続を行ないます。データ・マルチプレクサは 16 ビット・バスの 2 バイトを取り込み、それらを必要な位置に転送します。アライメントの場合、データ・サイズはワードごとに転送します。表 23 を参照してください。

AD0 はデータ・マルチプレクサの動作にも影響を与えます。オペランド転送中、AD[23:1] はアクセスされるオペランドのワード・ベース・アドレス部分を示し、AD0 はそのベースからのバイト・オフセットを示します。AD[23:20] は、MCU の AD19 の状態に従うことに注意してください。

注：MC68HC(9)16Y5/916Y6 では AD[22:19] は、IMB では有効となっていますが、外部ピンには接続されていません。

### 3.4.7 オペランドのミスアライメント

CPU16 プロセッサのアーキテクチャは、16 ビットの基本オペランド・サイズを使用します。オペランドはワード境界をまたぐときにミスアライメントになります。これは AD0 の値によって決まります。AD0 = 0 (偶数アドレス) のとき、アドレスはワードおよびバイト境界にあります。AD0 = 1 (奇数アドレス) のとき、アドレスはバイト境界だけにあります。バイト・オペランドはどのアドレスにでも正しく整列します。ワード・オペランドまたはロング・ワード・オペランドは、奇数アドレスではミスアライメントになります。

MC68HC(9)16Y5/916Y6 では、1 回のバス・サイクルで転送可能な最大データ量は整列した 1 ワードです。MCU が 16 ビット・ポートを通してロング・ワード・オペランドを転送する場合、最初のバス・サイクルで最上位オペランド・ワードが転送され、次のバス・サイクルで最下位オペランド・ワードが転送されます。

CPU16 はミスアライン・ワード転送を実行できます。この機能により、M68HC11 CPU とソフトウェアの互換性をもたせることができます。CPU16 はミスアライン・ロング・ワード転送を 2 つのミスアライン・ワード転送として扱います。

### 3.4.8 オペランド転送ケース

アドレス・バスとデータ・バス (多重化または非多重化バス)、および各種制御信号によって、EBI と外部デバイス間のデータ転送を実行します。バス・マスタが発行した信号で、同期バス構造内のバスでのデータ移動を制御します。

表 27 に各種の転送に対するオペランドのアライメント状況をまとめます。OPn で示す項目は、1 バス・サイクルで読みまたは書き込みが行なわれる要求オペランド部分で、そのバス・サイクルに対して SIZE および AD0 で定義されます。

表 27 オペランドのアライメント

転送ケース	SIZE	AD0 <sup>2</sup>	サイクル数	サイクルナンバ	DATA[15:8] <sup>2</sup>	DATA[7:0] <sup>2</sup>
Byte to 8-Bit Port (Even/Odd)	X	X	1	1'st	OP0	XXX
Byte to 16-Bit Port (Even)	1	0	1	1'st	OP0	XXX
Byte to 16-Bit Port (Odd)	1	1	1	1'st	XXX	OP0
Word to 8-Bit Port (Aligned)	X	0	2	1'st	OP0	XXX
	X	1		2'nd	OP1	XXX
Word to 8-Bit Port (Misaligned) <sup>1</sup>	X	1	2	1'st	OP0	XXX
	X	0		2'nd	OP1	XXX
Word to 16-Bit Port (Aligned)	0	0	1	1'st	OP0	OP1
Word to 16-Bit Port (Misaligned) <sup>1</sup>	1	1	2	1'st	XXX	OP0
	1	0		2'nd	OP1	XXX
Long Word to 8-Bit Port (Aligned)	X	0	4	1'st	OP0	XXX
	X	1		2'nd	OP1	XXX
	X	0		3'rd	OP2	XXX
	X	1		4'th	OP3	XXX
Long Word to 8-Bit Port (Misaligned) <sup>1</sup>	X	1	4	1'st	OP0	XXX
	X	0		2'nd	OP1	XXX
	X	1		3'rd	OP2	XXX
	X	0		4'th	OP3	XXX
Long Word to 16-Bit Port (Aligned)	0	0	2	1'st	OP0	OP1
	0	0		2'nd	OP2	OP3
Long Word to 16-Bit Port (Misaligned) <sup>1</sup>	1	1	4	1'st	XXX	OP0
	1	0		2'nd	OP1	XXX
	1	1		3'rd	XXX	OP2
	1	0		4'th	OP3	XXX

注：1. CPU16 はミスアライン・ロング・ワード転送を2つのミスアライン・ワード転送として扱います。

2. 多重化モードでは、DATA[15:0] が AD[15:0] に対応します。

### 3.4.9 ロー・パワー・ストップ・モードでの外部バス・インタフェース

ロー・パワー・ストップ・モード (LPSTOP) では、EBI は EBR ピンの状態に基づいて、外部バス・ピンの状態を制御します。EBR がアサートされた場合、SLIM はアドレス、アドレス / データ、AS、DS、R/W、SIZE、BERR、ALE、および DTACK ピンをドライブしません。EBR がネゲートされた場合、SLIM は、アドレス、アドレス / データ、AS、DS、R/W、SIZE、BERR、および DTACK ピンをそれぞれの最後の既知状態にドライブします。EBR は、LPSTOP 中に “L” 状態に保持する必要はありません。幅の狭いパルス (25ns) が 1 個だけ必要です。

## 3.5 リセット

リセット手順は、システムの初期化と破壊的な故障からの回復を行ないます。この MCU はハードウェアとソフトウェアの組合せによってリセットを実行します。SLIM は、まずリセットが有効かどうかを判断して、制御信号をアサートします。そして、基本システム構成およびハードウェア・モード・セレクト入力に基づいてブート ROM の選択を行なった後、CPU16 に制御を渡します。

リセットは、RESET ピンのアクティブ “L” 論理レベルが SLIM 内にクロック駆動されると発生します。リセットは CLKOUT 信号によってゲートされます。非同期リセットは、壊滅的な状況に対するものです。非同期リセットはどのクロック・エッジでも発生できます。同期リセットは、バス・サイクルの終わりで発生するようにタイミングがとられます。RESET がアサートされたときにクロックがない場合、クロックが開始されるまでリセットは発生しません。リセットがクロック駆動されると、RESET がアサートされたときに進行中であったライト・サイクルは完了できます。

リセットは CPU16 の最高優先順位の例外処理です。そのために、プログラム進行中にリセットが発生した場合はリセット例外処理によってアポートされ、リセットからの再スタートとなります。リセット例外処理中には、基本的なタスクだけが実行されます。その他の初期化タスクは、ハンドラ・ルーチンが実行しなければなりません。

RSR— リセット・ステータス・レジスタ

\$YFFA07

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								EXT	POW	SW	DBF	0	LOC	SYS	TST

RESET:

リセット・ステータス・レジスタには、MCU の各リセット・ソースに対応するビットがあります。ビットを 1 にセットすると発生したリセットの種類が表示されます。複数のリセット・ソースが同時に発生した場合、RSR の複数のビットをセットできます。リセット・ステータス・レジスタは、MCU がリセット状態から解放されたときにリセット制御回路によって更新されます。このレジスタはいつでも読み出すことができます。書込みを行なっても何も影響はありません。

### EXT— 外部リセット

外部信号によってリセットが発生した。

### POW— パワー・アップ・リセット

パワー・アップ・リセット回路によってリセットが発生した。POW はパワー・オン・リセット (POR) と同義語です。

### SW— ソフトウェア・ウォッチドッグ・リセット

ソフトウェア・ウォッチドッグ回路によってリセットが発生した。

### DBF— ダブル・バス・フォールト・リセット

システム保護サブモジュール・ホルト・モニタによってリセットが発生した。

### LOC— クロック消失リセット

クロック・サブモジュール基準周波数の消失によってリセットが発生した。クロック・サブモジュールの RSTEN ビットがセットされ、VCO がイネーブルされた場合にのみ、このリセットが発生できます。

### SYS— システム・リセット

CPU リセット命令によってリセットが発生しますが、CPU16 にはリセット命令がないため、このビットは使用されず、常にゼロで読み出されます。

### TST— テスト・サブモジュール・リセット

テスト・サブモジュールによってリセットが発生した。

### 3.5.1 リセット・モードの選択

SLIM はリセットされるたびに内部で、あるいは外部ロジックから動作方法が設定されます。SLIM の構成は、SLIM モジュール・コンフィギュレーション・シャドウ・レジスタ (MCRC) と、ポート・コンフィギュレーション・シャドウ・レジスタ (PCON) としてリセット時の BKPT および  $V_{DDSYN}/MODCLK$  ピンの状態に基づいて設定されます。

表 28 に「リセット時の外部ピン構成制御」を示します。

表 28 リセット時の外部ピン構成制御

構成ピン	影響を受けるピン	リセット時のピンの状態が “H” の場合	リセット時のピンの状態が “L” の場合
BKPT/DSCLK/ CSE0/PD2	FREEZE/QUOT/CSE1/PD3 BKPT/DSCLK/CSE0/PD2 IPIPE1/DSI/PD1 IPIPE0/DS0/PD0	Background mode disabled, pin function is digital I/O (PD[3:0])	Background mode enabled
$V_{DDSYN}/$ MODCLK	-	Crystal reference mode	External clock mode
IPIPE1/DSI/ PD1	-	Default reset configuration controlled by MCRC and PCON	Default configuration controlled by external pins. 表 30 を参照
AD14/PA6 <sup>1</sup>	-	Flash enabled (if STOP bit=0)/ ROM enabled	Flash disabled/ ROM disable

注：1 .DSI=0 の時のみ有効です。もし、DSI=1 の時は 'Flash Enable' (シャドーの STOP ビット =0 の時) または 'ROM Enable' 側となります。

表 29 デフォルト・コンフィギュレーション値

オプション	レジスタ	値	説 明
High or Low Current Drive on Output Drivers	MCRC15	1	High Drivers
Freeze Software Enable & Freeze Bus Monitor Enable	MCRC[14:13]	00	Both Enabled
Motorola/Non-Motorola Configuration	MCRC12	1	Motorola Config.
Mode Configuration Multiplexed Master Mode <sup>1</sup> Nonmultiplexed Master Mode Single Chip Mode	MCRC[11:9]	111	Single Chip Mode
Show Cycle Enable	MCRC8	0	Disabled
Supervisor/Unrestricted SLIM Register Access	MCRC7	0	Unrestricted
MODMAP	MCRC6	1	\$FFF000-\$FFFFFF
SLIM Boot ROM Array Supervisor/Unrestricted Access	MCRC5	0	Unrestricted
SLIM Boot ROM Enabled/Disabled	MCRC4	0	Disabled
Initial Interrupt Arbitration Level	MCRC[3:0]	1111	Highest Priority
Configuration of A23/ECLK/PC7 Pin Function	PCON[15:14]	00	PC7
Configuration of A[22:16]/PC[6:0] Pins <sup>2</sup>	PCON[13:11]	011	A[18:16], PC[6:3]
CSA/PD7 Pin Function	PCON10	0	PD7
CSA Port Size	PCON9	1	16-bit port
CSB/PD6 Pin Function	PCON8	0	PD6
CSB Port Size	PCON7	1	16-bit port
CSC/PD5 Pin Function	PCON6	0	PD5
CSC Port Size	PCON5	1	16-bit port
DTACK/PD5 Function	PCON4	0	PD4
FC[2:0]/PE[7:5] Function <sup>2</sup>	PCON3	0	PE[7:5]

表 29 デフォルト・コンフィギュレーション値 ( 続き )

オプション	レジスタ	値	説 明
2X/1X Reference System Clock	PCON2	1	2X
CLKOUT/PE4 Pin Function	PCON1	0	PE4
Fast/Slow Crystal Reference	PCON0	0	Fast Reference
Contents of the Boot ROM Array		-	Generic Code
Security Mode Keys, Addresses, Sequence & Enable/Disable		0	Disabled
R/W/WR/PE0 & DS/RD/PE1 Pin Functions	CSCRO	0	R/W & DS
Whether CSB is synchronized to AS or DS at reset	CSORB10	0	AS

- 注：1.  $\overline{\text{CSA}}$ 、 $\overline{\text{CSB}}$ 、 $\overline{\text{CSC}}$  のサイズによって、外部データ・バスのサイズを決定します。  
いずれかの  $\overline{\text{CS}}$  が 16 ビットにセットされている場合、外部データ・バスは 16 ビット幅です。
2. この信号またはバス内の一部の信号は、MC68HC(9)16Y5/916Y6 では未接続です。

MCRC—SLIM MCR コンフィギュレーション・シャドウ・レジスタ

\$YFFA0A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MCRC 15	MCRC[14:13]	MCRC 12	MCRC[11:9]			MCRC 8	MCRC 7	MCRC 6	MCRC 5	MCRC 4	MCRC[3:0]				
1	0	0	1	1	1	1	0	0	1	0	0	1	1	1	1

本レジスタは MC68HC(9)16Y5/916Y6 では、表 29 の「デフォルト・コンフィギュレーション値」に示す値となります。このレジスタはマスク・オプションです。

MCR コンフィギュレーション・シャドウ・レジスタは、MCR の対応するビットのデフォルト・リセット値が収められたレジスタです。リセット時に DSI ピンがアサートされなかった場合は、マスク・リセットでこのレジスタから MCR にデータがロードされます。リセット時に DSI ピンがアサートされた場合、MCRC の一部のシャドウ・ビットよりも、リセット時にアドレス / データ・バス上にドライブされた情報が優先されます。

PCON—ポート / クロック・コンフィギュレーション・シャドウ・レジスタ

\$YFFA0E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PCON[15:14]	PCON[13:11]		PCON10	PCON9	PCON8	PCON7	PCON6	PCON5	PCON4	PCON3	PCON2	PCON1	PCON0		
0	0	0	1	1	0	1	0	1	0	1	0	0	1	0	0

本レジスタは MC68HC(9)16Y5/916Y6 では、表 29 の「デフォルト・コンフィギュレーション値」に示す値となります。このレジスタはマスク・オプションです。

### 3.5.2 リセット時のデフォルト設定を外部ピンより設定

IPIPE1/DSI/PD1 が外部で論理 0 にドライブされているときには、リセット時に特定のピンをあらかじめ定義された論理レベルにドライブすることによって、PCON および MCRC シャドウ・レジスタ内のビットのデフォルト・リセット値を無効にすることができます。SLIM がリセット状態に保持されている間、AD[15:8]/PA[7:0]、AD[7:0]/PB[7:0]、DS/RD/PE1、R/W/WR/PE0、SIZE/PE3、および FREEZE/QUOT/CSE1/PD3 ピンは、弱いプルアップをもつ入力として構成されます。表 30 は外部ピンによって設定する内容を要約したものです。

表 30 リセット時のデフォルト設定を外部ピンより設定 ( DSI = 0 )

影響を受ける ピン	リセット・シャ ドウ・ビット	Override Pin(s)	DSI=0 の場合、リセット中のモード・ セレクト “H” の影響			DSI=0 の場合、リセット中のモード・ セレクト “L” の影響
All Ports	MCRC[11:9]	$\overline{\text{DS}}$ /RD/PE1, SIZE/PE3, R/W/WR/PE0	State of Select Pins			Mode Selected
			DS	SIZE	R/W	
			1	0	0	Non-multiplexed Master
			1	0	1	Multiplexed Master
			1	1	X	Single Chip
			その他の組み合わせ			使用禁止

表 30 リセット時のデフォルト設定を外部ピンより設定 (DSI = 0)( 続き )

影響を受ける ピン	リセット・シャ ドウ・ビット	Override Pin(s)	DSI=0 の場合、リセット中のモード・ セレクト“H”の影響			DSI=0 の場合、リセット中のモード・ セレクト“L”の影響								
XTAL, EXTAL	PCON0	V <sub>DDSYN</sub> ・ FREEZE	State of Select Pins			Clock Source								
			V <sub>DDSYN</sub>	FREEZE										
			0	x		External Clock Input								
			1	0		Fast Reference								
			1	1		Slow Reference								
	TPU FLASH の Shadow STOP Bit ( MC68HC916Y5/ 916Y6)	AD[12]	1 (If shadow STOP = 0)			TPU Flash ROM Normal Mode								
			0			TPU Flash ROM Disable								
	FLASH32K/64K バ イトの Shadow STOP Bit ( MC68HC916Y5/ 916Y6)	AD[14]	1 (If shadow STOP = 0)			Flash ROM Normal Mode								
			0			Flash ROM Disable								
	( MC68HC16Y5)	AD[14:13]/ PA[6:5], AD10/PA2	Mask ROM Configuration			Mask ROM の状態								
			AD14	AD13	AD10									
			1	1	X	Normal Mode								
			1	X	1	Normal Mode								
			1	0	0	Enable Emulator mode								
			0	X	X	Disable								
	MCRC4	AD11/PA3	Boot ROM Enabled (CSBoot Disabled)			Boot ROM Disabled (CSBoot Enabled)								
		AD10	Emulator Mode Disable			Emulator Mode Enable								
FC[2:0]/ PE[7:5] <sup>1</sup>	PCON3	AD9/PA1	FC[2:0]			PE[7:5]								
DTACK/PD5	PCON4	AD8/PA0	DTACK			PD4								
$\overline{\text{CSB}}$ /PD6	PCON8	AD7/PB7	CSB			PD6								
	PCON7	AD6/PB6	CSB=16-bit Chip Select			CSB=8-bit Chip Select								
A23/PC7/ECLK	PCON[15:14]	AD[5:4]/ PB[5:4]	AD5		AD4	選択されるピン機能								
			0		0	PC7								
			0		1	ECLK								
			1		X	A23								
			A[22:16]/ PC[6:0] <sup>1</sup>	PCON[13:11]	AD[3:1]/ PB[3:1]	AD3	AD2	AD1	選択されるピン機能					
0	0	0				PC[6:0]								
0	0	1				PC[6:1], A16								
0	1	0				PC[6:2], A[17:16]								
0	1	1				PC[6:3], A[18:16]								
1	0	0				PC[6:4], A[19:16]								
1	0	1				PC[6:5], A[20:16]								
1	1	0				PC[6], A[21:16]								
1	1	1				A[22:16]								
CLKOUT/PE4	PCON1	AD0/PB0	CLKOUT			PE4								
	PCON2	$\overline{\text{IRQX}}/\overline{\text{BERR}}/PF1$	Fast Reference Mode SYNCR Bits			Fast Reference Mode SYNCR Bits								
			X	W [2:0]		Y[2:0]	X	W [2:0]		Y[2:0]				
			0	0	1	1	0	0	0	1	0	0	0	0

注：1. この信号またはバス内の一部の信号は、MC68HC(9)16Y5/916Y6 では未接続です。

通常動作においてユーザは  $\overline{\text{TSC}}$  ピン (#113) を "H" にプルアップしておかなければいけません。



### 3.5.2.1 ポート / クロック構成

ポート / クロック・コンフィギュレーション・シャドウ・レジスタ (PCON) は、ポート C、D、E、F ピン割当てレジスタの対応するビットおよびフィールドのデフォルト・リセット値とデフォルト・クロック構成を決定するマスク・プログラマブル・レジスタです。表 31 を参照してください。

マスタ・リセットにおいて、PCON にプログラムされた構成情報に基づいて指定された構成がロードされます。リセット時に DSI をアサートすると、一部のポート・ピン割当てビットとクロック選択に対して、PCON の設定が無視されるため、リセット時に外部ピンの状態によって、設定が決まります。ポート・ピン割当てレジスタのビットには、PCON に対応するシャドウ・ビットがないものもあります。

表 31 ポート / クロック・コンフィギュレーション・シャドウ・レジスタ (PCON)

Bit(s)	ステート	レジスタ	影響を受けるピン	選択された機能
PCON[15:14]	0 0	PCPAR[7:6]	ADDR23/ECLK/PC7	PC7
	0 1			ECLK
	1 X			ADDR23
PCON[13:11] <sup>1</sup>	0 0 0	PCPAR[2:0]	ADDR[22:16]/PC[6:0]	PC[6:0]
	0 0 1			PC[6:1], ADDR16
	0 1 0			PC[6:2], ADDR[17:16]
	0 1 1			PC[6:3], ADDR[18:16]
	1 0 0			PC[6:4], ADDR[19:16]
	1 0 1			PC[6:5], ADDR[20:16]
	1 1 0			PC[6], ADDR[21:16]
	1 1 1			ADDR[22:16]
PCON10	1	PDPAR7	$\overline{\text{CSA}}/\text{PD7}$	CSA
	0			PD7
PCON9	1	CSCR3	PH[7:0]	CSA=16-Bit Port
	0			CSA=8-Bit Port
PCON8	1	PDPAR6	$\overline{\text{CSB}}/\text{PD6}$	CSB
	0			PD6
PCON7	1	CSCR2	PH[7:0]	CSB=16-Bit Port
	0			CSB=8-Bit Port
PCON6	1	PDPAR5	$\overline{\text{CSC}}/\text{PD5}$	CSC
	0			PD5
PCON5	1	CSCR1	PH[7:0]	CSC=16-Bit Port
	0			CSC=8-Bit Port
PCON4	1	PDPAR4	$\overline{\text{DTACK}}/\text{PD4}$	DTACK
	0			PD4
PCON3 <sup>1</sup>	1	PEPAR[7:5]	FC[2:0]/PE[7:5]	FC[2:0]
	0			PE[7:5]
PCON2	1	SYNCR[15,13:12]	NONE	System Clock=2 X Reference
	0			System Clock=1 X Reference
PCON1	1	PEPAR4	CLKOUT/PE4	CLKOUT
	0			PE4
PCON0	1	-	NONE	Slow Crystal Reference Mode
	0			Fast Crystal Reference Mode

：デフォルト設定

注 :1. この信号またはバス内の一部の信号は、MC68HC(9)16Y5/916Y6 では未接続です。

### 3.5.3 リセットのタイミング

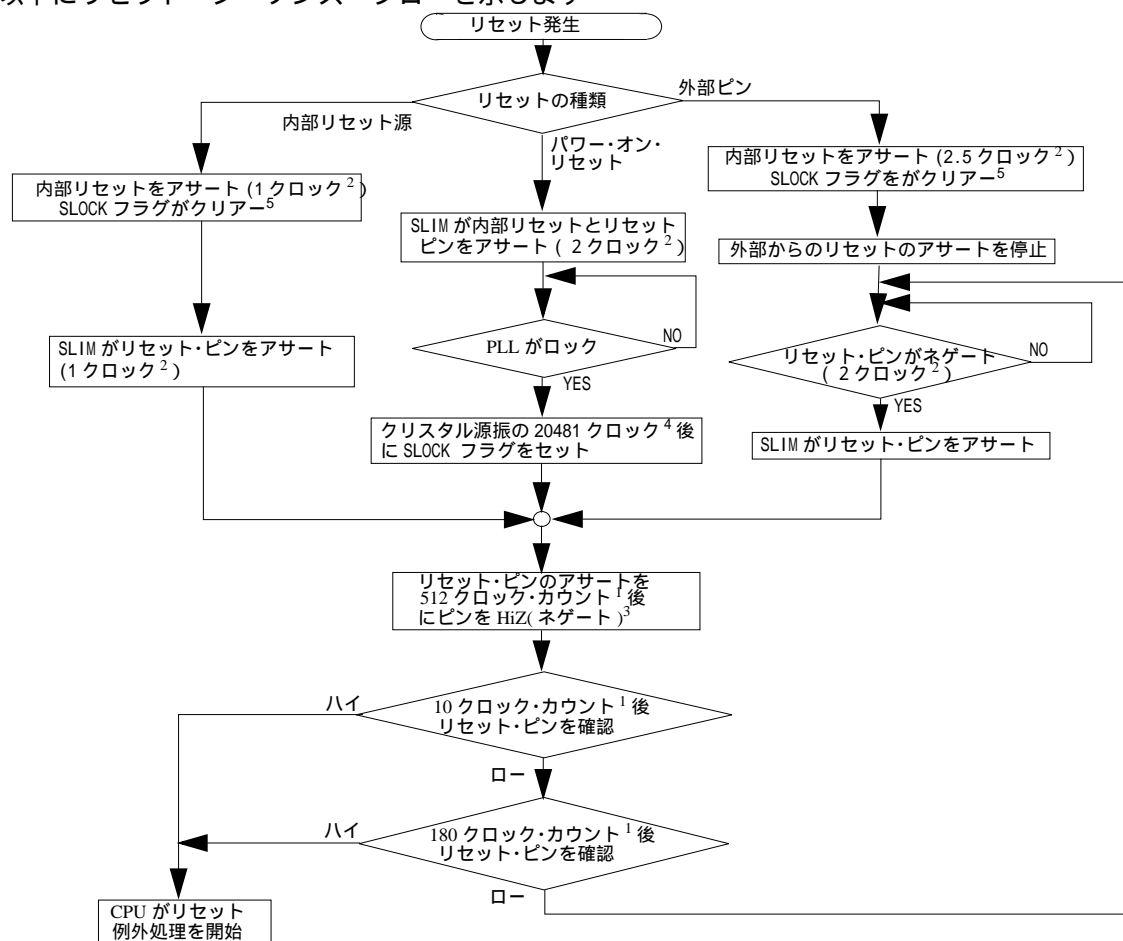
リセットを行なうには、指定された最小期間の間  $\overline{\text{RESET}}$  入力をアサートしなければなりません。リセットによってライト・サイクルがアボートされないようにするには、最長のバス・サイクル時間（またはバス・モニタのタイムアウト時間）に等しい期間だけ、外部  $\overline{\text{RESET}}$  のアサーションを内部的に遅延させることができます。 $\overline{\text{RESET}}$  がアサートされている間、SLIM ピンは、非アクティブのハイ・インピーダンス状態にあるか、または非アクティブ・ステートにドライブされます。

外部デバイスが適当な期間だけ RESET をアサートすると、リセット制御回路は信号を内部ラッチにクロック駆動します。制御回路は、RESET 信号がもはや外部からドライブされていないことを検出した後、さらに 512 CLKOUT サイクルの間、RESET ピンを“L”にドライブして、システム全体に対してこの長さのリセットを保証します。

内部ソースがリセット信号をアサートした場合、リセット制御回路は最小 512 サイクルの間 RESET をアサートします。512 サイクルの最後でリセット信号がまだアサートされている場合、内部リセット信号がネゲートされるまで、制御回路は継続して RESET をアサートします。

512 サイクルが経過した後、リセット入力ピンは、10 サイクルの間、非アクティブのハイ・インピーダンス状態になります。この 10 サイクル期間の終わりに、リセット入力ピンがテストされます。入力が論理レベル 1 にあるとき、リセット例外処理が開始されます。しかし、リセット入力ピンが論理レベル 0 のときには、リセット制御回路はさらに 180 サイクルの間ハイ・インピーダンス状態になり、その終わりにリセット入力ピンが論理レベル 1 であればリセット例外処理が開始されます。しかし、リセット入力ピンが論理レベル 0 であれば、再び、リセット回路が 512 サイクルの間ピンを“L”にドライブします。このプロセスは、RESET がネゲートされるまで繰り返されます。

以下にリセット・シーケンス・フローを示します



注：1 クロック・カウントとはシステム・クロック数です。

2 カッコに示しているクロック数は、遅延時間です。

3 リセット・ピン（オープン・ドレイン・タイプの I/O）の外部のブルアップ抵抗 / 外部容量があまりに大きいと、SLIM が 512 システム・クロックをアサートした後に、リセット・ピンのネゲート（ピンを HiZ とするので、外部ブルアップ抵抗により論理レベル 1 になろうとする）後に 190 システム・クロック以内で立ち上がらない可能性がありますので注意してください。その時は、CPU が動作開始することができません。また SLIM がリセット・ピンのネゲートをした時点で MCU のポートはセット後の動作に変わるので注意が必要です。190 システム・クロックの経過後にローと判断された時点でポートはリセット状態に戻ります。

4 この数はファースト・リファレンス・モードのみです。スロー・リファレンス・モードの場合はクリスタル源振 328 クロック分です。

5 SLOCK フラグは、リセットでクリアされます。パワー・オン・リセット以外のリセット源の場合 PLL ロックに影響されずに CPU 動作に入るために、CPU の動作中に SLOCK フラグがセットされることになります。SLOCK フラグがセットされるには、PLL ロック後に規定のクロック数（ファースト・リファレンス・モード：クリスタル源振の 20481 クロック分 / スロー・リファレンス・モード：クリスタル源振の 328 クロック分）の時間が必要となります。システム動作中にリセットが発生した場合、VCO のゲインが変更されなければ SLOCK フラグはクリアされますが PLL のロックは外れません。SLOCK フラグは 93 ページの「SLOCK—シンセサイザ・ロック・フラグ」を参照してください。

図 13 リセット制御フロー図

### 3.5.4 パワー・オン・リセット

SLIM クロック・シンセサイザを使用してシステム・クロックを使用するとき、パワー・オン・リセットは、システムおよびクロック・シンセサイザの電源投入に関して特殊な環境が必要です。MCU が動作するには、クロック・ソースに関係なく、クロック・シンセサイザの電源入力ピン  $V_{DDSYN}/MODCLK$  ピンに電圧を印加しなければなりません。もし、 $V_{DDSYN}/MODCLK$  ピンに電圧が印加されなければ、クリスタルの発振が起きません。電源投入時に  $V_{DDSYN}/MODCLK$  が印加されれば、スタートアップ時間はクリスタルの特定のパラメータと発振回路の設計によって影響を受けます。また、VDD のランプアップ時間もリセット中のピン状態に影響を与えます。

パワー・オン・リセット中には、SLIM の内部回路が IMB の内部および外部のリセット・ラインをドライブします。VDD が規定最小値までランプアップすると、この回路は内部リセット・ラインを解放し、SLIM ピンが初期設定されます。VDD が最小値に達すると、クロック・シンセサイザ VCO が動作を開始し、クロック周波数はリンプ・モード周波数までランプアップします。クロック・シンセサイザ PLL がロックし、512 システム・サイクルが経過後、RESET 信号はネゲートされます。

SLIM クロック・シンセサイザは、他の MCU モジュールにクロック信号を供給します。クロックが動作し、内部リセット信号が 4 クロック・サイクルの間アサートされた後、これらのモジュールがリセットされます。この 4 サイクルの所要時間は、VDD のランプ時間と VCO 周波数のランプ時間によって決まります。最悪ケースでは約 15ms です。この間、モジュール・ポート・ピンは不定状態になることがあります。入力専用ピンは外部プルアップ抵抗によって既知状態にすることができますが、この間、入出力ピンまたは出力専用ピン上の外部論理がラインの条件を整えなければなりません。競合を防止するために、アクティブ・ドライバにはハイ・インピーダンス・バッファまたは絶縁抵抗が必要です。

### 3.5.5 スリー・ステート制御ピンの使用法

スリー・ステート制御 (TSC) 入力  $\overline{RESET}$  ピンと同時にアサートされると、MCU はすべての出力ドライバを非アクティブのハイ・インピーダンス状態に置きます。ドライバが状態を変えるためには、この信号は 10 クロック・サイクルの間アサートされていなければなりません。パワーアップ・リセット中の TSC の使い方については、次に示すような一定の制約があります。

内部クロック・シンセサイザを使用するときには (リセット中に、 $V_{DDSYN}/MODCLK$  が “H” に保持される) シンセサイザのランプアップ時間が、10 クロック・サイクルの所要時間に影響を与えます。最悪ケースは、TSC のアサーションから約 20ms です。

外部クロック信号が印加されると (リセット中、 $V_{DDSYN}/MODCLK$  は “L” に保持される)  $\overline{TSC}$  のアサーション後、EXTAL ピンに 10 個のクロック・パルスが印加されるとすぐに、ピンはハイ・インピーダンス状態になります。

TSC のアサーションが有効になると、内部信号は強制的にある値に設定されるため、偶発的にモードの選択が行なわれることがあります。通常動作を再開させるには、MCU をリセットして再スタートさせなければなりません。

## 3.6 割り込み

割り込みの認識とサービスには、中央処理ユニット、SLIM、および割り込みサービスを要求しているデバイスまたはモジュール間での複雑な相互作用を伴います。

CPU16 は、7 レベルの割り込みがあり優先順位は 7 が最高レベルで最低レベルが 1 です (レベル 0 は割り込みなしを意味します)。割り込みは、7 つの自動割り込みベクタ、および 200 の割当て可能な割り込みベクタを提供します。優先順位が 7 より低いすべての割り込みは、コンディション・コード・レジスタの割り込みプライオリティ (IP) フィールドによってマスクできます。CPU16 は、割り込みを一種の非同期例外として扱います。

外部割り込み入力は、 $\overline{IRQ}[7:2]$  と  $\overline{IRQX}$  の 7 ピンあり、 $\overline{IRQX}$  のレベルを 1 に設定すれば、 $\overline{IRQ1}$  のように使うことが可能です。割り込みは、CPU16 のマスク・レベルに影響されます。もし CPU16 のマスク・レベル (IP マスク値) が 0 であれば、 $\overline{IRQ1}$  が最低優先順位で、 $\overline{IRQ7}$  が最高優先順位の割り込みとなります。

IP マスク・フィールドは、3 ビット ( $\overline{CCR}[7:5]$ ) で構成されます。2 進値 %000 ~ %111 は、8 つの優先順位マスクを提供します。マスクにより、マスク値以下の優先順位の割り込み要求 ( $\overline{IRQ7}$  を除く) が認識され処理されないようにすることができます。IP に %000 があるときには、割り込みはマスクされません。例外処理中には、サービスされている割り込みの優先順位が IP フィールドに設定されます。

割り込み要求信号は、外部デバイスまたはマイクロコントローラ・モジュールがアサートできます。要求ラインはワイヤード NOR によって内部で接続されています。異なる優先順位をもつ複数の要求を同

時に行なうことができます。割込み要求信号の内部アサーションは、対応する MCU ピンの論理状態に影響を与えません。

外部割込み要求は、外部バス・インタフェースと SLIM 割込み制御回路を通して、CPU16 に送られます。CPU は外部割込み要求を、SLIM から送られた要求と同様に扱います。

IRQ[7:2] と IRQX は、アクティブ“L”のレベル・センシティブまたはエッジ検出入力として構成することができます。また、これらの入力は汎用 I/O ピン、またはエッジ検出ピンとして構成できます。その場合、IRQ 機能（レベル・センシティブ）はサポートされません。ポート F ピン割当てレジスタの制御ビットは、機能を割り当てるために使用されます。詳細については、「3.7.5 ポート F の動作」を参照してください。

IRQ7 は、ノンマスクابل割込みであり、すべての SLIM 構成で利用できます。また、IRQ[6:2] IRQX もすべての SLIM 構成で使用可能です。さらに、IRQX ピンは、ポート F 優先順位レジスタ (PFLVR) で任意のレベルを設定することが可能です。詳細については、「3.7.5 ポート F の動作」を参照してください。

IRQ[6:2] はレベル・センシティブで構成したときはマスク可能です。IRQX はレベル設定が 6 以下であればマスク可能です。IRQ7 はマスク不能です。IRQ7 入力は、冗長なサービスとスタックのオーバフローを防止するため、トランジション・センシティブとなっています。ノンマスクابل割込みは、IRQ7 がアサートされるたびに、また IRQ7 のアサート中に IP マスク・レベルが %111 からより小さな値に変化するたびに生成されます。

割込み要求はシステム・クロックの連続した立下りエッジでサンプリングされます。割込み要求入力回路はヒステリシス特性を有しています。要求信号は、2 連続クロック周期以上アサートしなければ有効になりません。要求が有効となっても、すぐには例外処理が行なわれず、いったんペンディングになります。ペンディング中の要求は、命令境界で処理されるか、またはより高い優先順位の例外に対する例外処理が完了すると処理されます。

CPU16 は、ペンディング中の割込み要求の優先順位をラッチしません。低優先順位の要求がペンディングになっているときに、高優先順位の割込みソースがサービス要求を行なった場合は、高優先順位の要求がサービスされます。現在の IP マスク値以下の優先順位の割込み要求が行なわれた場合、CPU はその要求を認識しません。

### 3.6.1 マスタ・モードでの割込みアクノリッジ・サイクル

割込みアクノリッジ・バス・サイクルは、例外処理中に生成されます。CPU16 が割込みプライオリティ・マスク値よりも高い優先順位をもつ 1 つまたは複数の割込み要求を検出すると、CPU16 はアドレス A[23:0] = \$FFFF:[IP]:1 から CPU 空間リードを実行します。

CPU16 は、CPU 空間リード・サイクルを実行することにより 2 つの機能があります。初めの機能として、最高優先順位の割込み要求に対応する割込み値をアドレス・バスに置き、次の機能として割込みソースから例外ベクタ番号を獲得します。CPU16 が割込みアクノリッジ・バス・サイクルを行なう場合、そのときの割込みレベルは CCR[7:5] の割込みマスク・フィールドに同じ値が設定されます。そのために、マスク・レベルより低い割込みが発生したとしても、割込みを受けつけません。

割込みサービスを要求したモジュールは、割込みアクノリッジ・サイクルの初めにアドレス・バス上に置かれた割込み値をデコードし、モジュール自身の割込みレベルである場合は、そのサイクルに応答します。この応答とは、割込みレベルの同じモジュールが複数存在したときに、割込みが同タイミングで発生したときに調停をするためのものです。この調停方法としては、モジュールの割込み調停 (IARB) フィールドのビット値間のシリアル競合によって実行されます。

SLIM を含め割込みサービス要求を行なえる各モジュールは、コンフィギュレーション・レジスタ内に IARB フィールドをもっています。IARB フィールドには、%0001 (最低優先順位) から %1111 (最高優先順位) までの値を割り当てることができます。IARB フィールドの値が %0000 の場合、そのモジュールからの割込みが認識されると、CPU16 はスプリアス割込み例外を処理します。

EBI が外部割込み要求を管理するため、内部割込み要求と外部割込み要求間の調停には SLIM の IARB 値が使用されます。SLIM に対する IARB のリセット値は %1111 であり、その他すべてのモジュールに対する IARB のリセット値は %0000 です。調停の仕方を設定するためには、初期化ソフトウェアで異なる IARB 値を割り当てなければなりません。

各モジュールは固有の IARB 値をもたなければなりません。複数の IARB フィールドにゼロ以外の同じ値で割込みレベルも同じであるときには、CPU16 は複数のモジュールよりベクタ番号を同時に読み込むことになるため、その結果は予測できません。

1 つのソースしかサービスを要求していない場合でも、常に調停を行なわなければなりません。これは 2 つの理由から重要です。まず、SLIM が競合に勝ち残らない限り、CPU 割込みアクノリッジ・サイ

クルは外部バスにドライブされません。また、競合しなかった場合、バス・エラーによって割込みアクノリッジ・バス・サイクルが終了してしまい、スプリアス割込み例外が発生します。

調停が完了すると、優先モジュールは割込みベクタ番号をデータ・バスより CPU に送り、バス・サイクルを終了させなければなりません。外部割込み要求の場合、割込みアクノリッジ・サイクルが外部バスに転送されるため、外部デバイスは割込み値をデコードし、ベクタ番号を返送し、バス・サイクル終了信号を生成しなければなりません。デバイスが時間内に応答しなかった場合、スプリアス割込み例外が発生します。

## 3.6.2 割込み処理の要約

割込み処理シーケンスの要約を次に示します。このシーケンスが開始されると、有効な割込みサービス要求が検出され、処理が続行されます。

- A. CPU が高優先順位の例外処理を終了するか、または命令境界に到達します。
- B. プロセッサの状態がスタックされ、CCR の PK 拡張フィールドがクリアされます。
- C. 次のとおり割込みアクノリッジ・サイクルが開始されます。
  1. FC[2:0] は %111 (CPU 空間) エンコーディングにドライブされます。
  2. アドレス・バスが次のようにドライブされます。ADDR[23:20] = %1111; ADDR[19:16] = %1111 は、そのサイクルが割込みアクノリッジ CPU 空間サイクルであることを示します。ADDR[15:4] = %111111111111; ADDR[3:1] = 認識されている割込み要求の優先順位。ADDR0 = %1。

注：MC68HC(9)16Y5/916Y6 では ADDR[22:19] は外部ピンと接続されていませんが、インタモジュール・バス (IMB) はこのようにドライブされています。
3. 要求の優先順位は、アドレス・バスから CCR の IP フィールドにラッチされます。
- D. モジュール、または割込みサービスを要求した外部ペリフェラルは、ADDR[3:1] の優先順位値をデコードします。要求の優先順位がこのアドレスの優先順位値と同じ場合、IARB の競合が発生します。競合がない場合、スプリアス割込みモニタが BERR をアサートし、スプリアス割込み例外が処理されます。
- E. 調停の後、次の 3 つの方法のいずれかで割込みアクノリッジ・サイクルを終了させることができます。
  1. 主割込みソースはアクセスに応じたベクタ番号と DTACK 信号を供給します。CPU16 がそのベクタ番号を獲得します。
  2. CSA の機能により AVEC 信号がアサートされ、CPU16 は割込み優先順位に対応するオートベクタ番号を生成します。
  3. バス・モニタは BERR をアサートし、CPU16 はスプリアス割込みベクタ番号を生成します。
- F. ベクタ番号はベクタ・アドレスに変換されます。
- G. ベクタ・アドレスの内容が PC にロードされ、例外処理ルーチンが実行されます。

## 3.7 汎用入出力

SLIM に関連する大部分のピンは、数種類の機能に使用できます。これらの主な機能は、オフチップ・リソースへのアクセスを必要とするアプリケーションに、外部バス・インタフェースを提供することです。これらのピンは、主機能として使用していないときには、デジタル I/O ピンとして使用できます。I/O 機能を簡単に実現するために、SLIM ピンは 8 ビット・ポートにグループ化されています。各ポートには関連のレジスタがあり、ピンを希望の機能に構成するのに使用されます。

SLIM には、A、B、C、D、E、F、G、H の 8 つの汎用 I/O ポートが含まれています。いずれも入力または出力として使用できます。すべてのポートには、ピンの状態をモニタまたは制御するのに使用される 2 個の関連データ・レジスタがあります。

ポート出力データ・レジスタは読出しおよび書込み可能です。ポート出力データ・レジスタに書き込むと、データ方向レジスタが、出力に設定されていればピンのパッドにドライブされます。出力ピンの実際の状態に関係なく、出力データ・レジスタを読み出すことが可能です。

ピン・データ・レジスタは、ピンが入力または出力のいずれで構成されているかに関係なく、すべてのピンの現在の状態を返します。リセットによりデータ方向レジスタがクリアされ、すべてのピンが入力になるため、リセットの後にすべてのピン・データ・レジスタは、ピンの実際の状態を反映します。このレジスタに書込みを行っても影響はありません。

ポート C、D、E、F には、個々のピンがデジタル I/O ピンか、他の機能かどうかを示すピン割当てレジスタがあります。ポート A、B、G には、ピン割当てレジスタはなく、リセット時に設定された SLIM のモードに応じて、デジタル I/O として構成されます。ポート H は、ピン割当てレジスタをもたず、

SLIM のモードおよびチップ・セレクト ( $\overline{\text{CSA}}$ ,  $\overline{\text{CSB}}$ ,  $\overline{\text{CSC}}$ ) のデータ・ポート・サイズ・ビットにプログラムされた値に基づいて、デジタル I/O として構成されます。

すべてのポートには関連のデータ方向レジスタがあり、各ポートまたはポートの個々のピンを出力または入力として構成するのに使用されます。出力データとピン・データ・レジスタに加えて、ポート F にはいずれかのピンで遷移が発生したかどうかを示すエッジ検出フラグ・レジスタがあります。

表 32 に、汎用 I/O ポートの主な機能とその I/O ポートを使用できるモードを示します。

表 32 ポート機能とモード

ポート <sup>1</sup>	ポートとして使用可能なモード	主要機能
A	シングル・チップ	AD[15:8]
B	シングル・チップ	AD[7:0]
C	シングル・チップ、非多重化マスタ、多重化マスタ	A23/ECLK、A[18:16]
D	シングル・チップ、非多重化マスタ、多重化マスタ	Chip Select, Debug
E	シングル・チップ、非多重化マスタ、多重化マスタ	Bus Control (FC[2] を除く)
F	シングル・チップ、非多重化マスタ、16 ビット・バス幅の非多重化マスタ、多重化マスタ	$\overline{\text{IRQ}}[7:2]$ , $\overline{\text{IRQX}}/\overline{\text{BERR}}$ , ALE
G	シングル・チップ、多重化マスタ	D[15:8]
H	シングル・チップ、8 ビット・バス幅の非多重化マスタ、多重化マスタ	D[7:0]

### 3.7.1 ポート A および B の動作

ポート A および B は、ポート全体を入力または出力として構成することができます。リセット時に構成される SLIM のモードに基づいて、ポート A およびポート B は、リセット・ネゲート時に、デジタル入力またはアドレス・バス・ピンに設定することができます。

PORTA— ポート A 出力データ・レジスタ \$YFFA10

PORTB— ポート B 出力データ・レジスタ \$YFFA11

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0

RESET:

U    U        U        U        U        U        U        U        U        U        U        U        U        U

ポート A およびポート B 出力データ・レジスタは、ポート A および B が出力として構成されている場合に、対応するポート出力ピンにドライブするデータをラッチするのに使用されます。ポート A および B 出力データ・レジスタを読み出すと、常にデータ・ラッチの状態になります。このレジスタは RESET (POW 以外のリセット源) に無効ですが、POW においては "\$FFFF" の値をセットします。リセットの種類については 100 ページの「3.5 リセット」を参照してください。

PORTAP— ポート A ピン・データ・レジスタ \$YFFA12

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAP7	PAP6	PAP5	PAP4	PAP3	PAP2	PAP1	PAP0	PORTBP							

RESET:

対応するピンの現在の状態

PORTBP— ポート B ピン・データ・レジスタ \$YFFA13

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTAP								PAB7	PAB6	PAB5	PAB4	PAB3	PAB2	PAB1	PAB0

RESET:

対応するピンの現在の状態

ピン・データ・レジスタ A および B を読み出すと、対応するピンの状態になります。

PORTAP および PORTBP に書き込みを行なっても影響はありません。

DDRAB— ポート A/B データ方向レジスタ

\$YFFA15

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED														DDA	DDB

RESET (シングル・チップ・モード):

U U U U U U U U 0 0 0 0 0 0 0 0

ポート A および B データ方向レジスタは、ピンが I/O として構成されているときに、それぞれポート A および B 用のピン・ドライバの方向を制御します。DDA または DDB が 1 にセットされると、対応するポートのピンはすべて出力として構成されます。また、DDA または DDB がゼロにクリアされると、対応するポートのピンはすべて入力として構成されます。

### 3.7.2 ポート C の動作

ポート C ピンは、デジタル I/O またはアドレス信号として使用できます。PC7 はクロック出力ピンとして構成することもできます。A23、A[18:16] は、アドレス空間を形成するために使われます。リセット時に構成された SLIM のモードに従って、ポート C のピンはリセットを解放されたときに、通常機能またはディスクリート入力に設定することができます。

PORTC— ポート C 出力データ・レジスタ

\$YFFA18

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PC7	NOT USED	NOT USED	NOT USED	NOT USED	PC2	PC1	PC0	PORTD							

RESET:

U U U U U U U U

ポート C 出力データ・レジスタは、ポート C 出力ピンにドライブするデータをラッチします。PORTC を読み出すと、常にデータ・ラッチの状態になります。このレジスタは RESET (POW 以外のリセット源) に無効ですが、POW においては "\$FF" の値をセットします。リセットの種類については 100 ページの「3.5 リセット」を参照してください。

PORTCP— ポート C ピン・データ・レジスタ

\$YFFA1A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PCP7	NOT USED	NOT USED	NOT USED	NOT USED	PCP2	PCP1	PCP0	PORTDP							

RESET:

対応するピンの現在の状態

ポート C ピン・データ・レジスタを読み出すと、ポート C ピンの状態になります。書き込みを行なっても影響はありません。

DDRC— ポート C データ方向レジスタ

\$YFFA1C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDC7	NOT USED	NOT USED	NOT USED	NOT USED	DDC2	DDC1	DDC0	DDRD							

RESET:

0 0 0 0 0 0 0 0

ポート C データ方向レジスタのビットは、ピンが I/O ピンとして構成されているときに、ピン・ドライバの方向を制御します。任意のビットが 1 にセットされると、対応するピンは出力として構成されます。いずれかのビットがゼロにクリアされると、それに対応するピンは入力として構成されます。マスタ・リセットはすべてのビットをゼロにクリアします。システム・リセットには影響されません。

## PCPAR—ポート C ピン割当てレジスタ

\$YFFA1E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PCPAR[15:14]		0	0	0	PCPAR[10:8]			PDPAR							

RESET (DSI=1, Single-chip configuration) :

0 PCON14 0 0 0  
0

RESET (DSI=0, Single-chip configuration) :

0 AD4 0 0 0  
ピン状態

RESET (DSI=1, Master configuration)<sup>1</sup> :

PCON15 PCON14 PCON13 PCON12 PCON11  
0 0 0 1 1

RESET (DSI=0, Master configuration) :

AD5 AD4 AD3 AD2 AD1  
ピン状態 ピン状態 ピン状態 ピン状態 ピン状態

1.MC68HC(9)16Y5/916Y6 では、DSI=1 の時にシングル・チップ・モードに設定しているために、この状態は存在しません。

このポート C ピン割当てレジスタは、ポート C のすべてのピンの機能を制御します。PCPAR[15:14] は、PC7 がアドレス・ピン (A23)、クロック出力 (ECLK)、またはデジタル I/O ピンとしての設定を選択することができます。表 33 を参照してください。

表 33 PC7 ピン割当てエンコーディング

PCPAR[15:14]	PC7 ピン機能
0 0	デジタル I/O(PC7)
0 1	ECLK
1 X	A23

PCPAR を読み出すと、ポート・ピンの現在の構成になります。

PCPAR[13:11] は書き込みできず、読み出すと常にゼロを返します。

拡張モードでは、ピン割当てレジスタはポート / クロック・コンフィギュレーション・シャドウ・レジスタ (PCON[15:11]) にプログラムされたデフォルト・リセット状態にリセットされます。PC[6:0] は、アドレス・ピン (A[22:16]) またはデジタル I/O として構成することができます。表 34 を参照してください。PCPAR[10:8] にストアされた値がアドレス・ラインとして構成可能な連続ピン数を選択します。残りのピンは、デジタル I/O ピンとして構成されます。選択されたアドレス・ラインは、最下位ピン (A16) から、そして I/O ピンは最上位ピン (PC6) から連続して選択されます。

ただし、この MC68HC(9)16Y5/916Y6 では、A[22:19]/PC[6:3] が外部ピンとして割り当てられていません。

表 34 ポート C ピン割当て

PCPAR[10:8]	ピン機能	
	ポート C I/O ピン	アドレス・ピン
0 0 0	PC[6:0]	なし
0 0 1	PC[6:1]	A16
0 1 0	PC[6:2]	A[17:16]
0 1 1	PC[6:3]	A[18:16]
1 0 0	PC[6:4]	A[19:16]
1 0 1	PC[6:5]	A[20:16]
1 1 0	PC6	A[21:16]
1 1 1	なし	A[22:16]



### 3.7.3 ポート D の動作

ポート D ピンは、デジタル I/O または外部バス制御 / ハンドシェイク信号およびデバッグ信号として、個別に選択できます。リセット時に構成された SLIM のモードに従って、ポート D のピンはリセットを解放されたときに、通常機能またはディスクリット入力に設定することができます。

PORTD— ポート D 出力データ・レジスタ

\$YFFA19

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTC								PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0

RESET:

U U U U U U U 1

ポート D 出力データ・レジスタは、ポート D 出力ピンにドライブするデータをラッチします。PORTD を読み出すと、常にデータ・ラッチの状態になります。このレジスタは RESET (POW 以外のリセット源) で PD0 のみセットし、その他は無効です。POW においては "\$FF" の値をセットします。リセットの種類については 100 ページの「3.5 リセット」を参照してください。

PORTDP— ポート D ピン・データ・レジスタ

\$YFFA1B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTC								PDP7	PDP6	PDP5	PDP4	PDP3	PDP2	PDP1	PDP0

RESET:

対応するピンの現在の状態

ポート D ピン・データ・レジスタを読み出すと、ポート D ピンの状態になります。書き込みを行っても影響はありません。

DDRD— ポート D データ方向レジスタ

\$YFFA1D

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDRC								DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0

RESET:

0 0 0 0 0 0 0 1

ポート D データ方向レジスタのビットは、ピンが I/O ピンとして構成されているときに、ピン・ドライバの方向を制御します。任意のビットが 1 にセットされると、対応するピンは出力として構成されます。いずれかのビットがゼロにクリアされると、それに対応するピンは入力として構成されます。リセットは DD0 以外のビットをゼロにクリアします。

PDPAR— ポート D ピン割当てレジスタ

\$YFFA1F

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PCPAR								PDPA7	PDPA6	PDPA5	PDPA4	PDPA3	PDPA2	PDPA1	PDPA0

RESET (Single-chip configuration) :

0 0 0 0 BKPT BKPT BKPT BKPT

RESET (Master configuration) :

PCON10 PCON8 PCON6 PCON4 BKPT BKPT BKPT BKPT  
0 0 0 0

ポート D ピン割当てレジスタ・ビットは、ポート D の各ピンの機能を制御します。表 34 を参照してください。制御ビットが 1 の場合、対応するピンは通常機能に使用されます。このビットがゼロの場合、対応するピンはデジタル I/O ピンとして構成されます。I/O ピンとして構成されているピンは、ポート D データ・レジスタおよびデータ方向レジスタの対応するビットによって制御されます。

リセット時に構成された SLIM モードとポート / クロック・コンフィギュレーション・シャドウ・レジスタのビット状態が、マスタ・モードでのリセット時に PDPAR[7:4] を構成するために使用されます。シャドウ・レジスタの構成は、リセット時の外部ピンによって変更することができます。PDPAR[3:0] は、常に BKPT ピンの反転した状態にリセットされます。

表 35 ポート D ピン割当て

PDPAR ビット	ピン機能	
	Port D 信号 ( =0 )	バス制御信号 ( =1 )
PDPA7	PD7	CSA
PDPA6	PD6	CSB
PDPA5	PD5	CSC
PDPA4	PD4	DTACK
PDPA3	PD3	FREEZE
PDPA2	PD2	BKPT
PDPA1	PD1	IPIPE1
PDPA0	PD0	IPIPE0

### 3.7.4 ポート E の動作

ポート E には、バス制御信号またはデジタル I/O として使用されるピンがあります。リセット時に構成された SLIM のモードに従って、ポート E のピンはリセットを解放されたときに、バス制御信号またはディスクリート入力に構成することができます。

PORTE— ポート E 出力データ・レジスタ

\$YFFA21

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								NOT USED	PE6	PE5	PE4	PE3	PE2	PE1	PE0

RESET:

U U U U U U U U

ポート E 出力データ・レジスタは、ポート E ピンにドライブするデータをラッチします。このレジスタを読み出すと、常にデータ・ラッチの状態になります。リセットには影響されません。このレジスタは RESET(POW 以外のリセット源) に無効ですが、POW においては "\$FF" の値をセットします。リセットの種類については 100 ページの「3.5 リセット」を参照してください。

PORTEP— ポート E ピン・データ・レジスタ

\$YFFA23

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								NOT USED	PEP6	PEP5	PEP4	PEP3	PEP2	PEP1	PEP0

RESET:

対応するピンの現在の状態

ポート E ピン・データ・レジスタを読み出すと、ポート E ピンの状態になります。書込みを行っても影響はありません。

DDRE— ポート E データ方向レジスタ

\$YFFA25

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								NOT USED	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0

RESET:

0 0 0 0 0 0 0 0

ポート E データ方向レジスタのビットは、ピンが I/O として構成されているときに、ポート E ピン・ドライバの方向を制御します。このレジスタの任意のビットを 1 にセットすると、対応するピンは出力として構成されます。このレジスタの任意のビットをゼロにクリアすると、対応するピンは入力として構成されます。マスタ・リセットはすべてのビットをゼロにクリアします。システム・リセットには影響されません。

## PEPAR—ポート E ピン割当てレジスタ

\$YFFA27

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								NOT USED	PEPA6	PEPA5	PEPA4	PEPA3	PEPA2	PEPA1	PEPA0

RESET (Single-chip configuration) :

0 0 0 PCON1 0 0 0 0  
0

RESET (Master configuration) :

PCON3 PCON3 PCON3 PCON1 1 1 1 1  
0 0 0 0

ポート E ピン割当てレジスタのビットは、ポート E の各ピンの機能を制御します。表 36 を参照してください。このレジスタの任意のビットを 1 にセットすると、対応するピンは主機能に構成されます。このレジスタの任意のビットをゼロにクリアすると、対応するピンは、ポート E 出力データとデータ方向レジスタによって制御される I/O ピンとして構成されます。

表 36 ポート E ピン割当て

PEPAR ビット	ピン機能	
	ポート E 信号 ( =0 )	主機能であるバス制御信号 ( =1 )
PEPA6	PE6	FC1
PEPA5	PE5	FC0
PEPA4	PE4	CLKOUT
PEPA3	PE3	SIZE
PEPA2	PE2	AS
PEPA1	PE1	DS
PEPA0	PE0	R/W

## 3.7.5 ポート F の動作

ポート F には、割込みピン ( $\overline{\text{IRQ}}[7:2]$ 、 $\overline{\text{IRQX}}$ ) とアドレス・ラッチ・イネーブル・ピン (ALE) があります。ポート F のピンの機能は、 $\overline{\text{IRQ}}[7:2]$  をレベル・センシティブ割込み要求入力、エッジ・センシティブ割込み要求入力、立上りエッジ検出 I/O ピンまたは立下りエッジ検出 I/O ピンのいずれかで動作するようにプログラムできます。PF1 は、バス・エラー信号 (BERR)、レベル・センシティブ、またはエッジ・センシティブ割込み要求入力、または優先順位 1 ~ 7、立上りエッジ検出 I/O ピン、または立下りエッジ検出 I/O ピンのいずれかとして動作するようにプログラムできます。PF0 は、アドレス・ラッチ・イネーブル信号 (ALE)、立上りエッジ検出 I/O ピンまたは立下りエッジ検出 I/O ピンとして動作するようにプログラムできます。表 37 に「ポート F の動作」を要約します。

表 37 ポート F の動作

ピン	ピン機能
$\overline{\text{IRQ}}[7:2]$	レベル検出割込み入力
	エッジ検出割込み入力
	汎用入出力ポート (エッジ検出割込み機能付)
$\overline{\text{IRQX}}$	レベル検出割込み入力
	エッジ検出割込み入力
	汎用入出力ポート (エッジ検出割込み機能付)
ALE	汎用入出力ポート (エッジ検出割込み機能付)
	マルチプレクス・バス 制御信号

## PORTF— ポート F 出力データ・レジスタ

\$YFFFA31

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0

RESET:

1 1 1 1 1 1 1 1

ポート F 出力データ・レジスタは、ポート F 出力ピンにドライブされるデータをラッチします。このレジスタを読み出すと、常にデータ・ラッチの現在の状態が出力されます。リセットによってラッチはすべて“1”にセットされます。

## PORTFP— ポート F ピン・データ・レジスタ

\$YFFFA33

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								PFP7	PFP6	PFP5	PFP4	PFP3	PFP2	PFP1	PFP0

RESET:

対応するピンの現在の状態

ポート F ピン・データ・レジスタを読み出すと、ポート F ピンの現在の状態が出力されます。書込みを行っても影響はありません。

## DDRF ポート F データ方向レジスタ

\$YFFFA35

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0

RESET:

0 0 0 0 0 0 0 0

ポート F データ方向レジスタのビットは、ピンが I/O として構成されているときに、ポート F ピン・ドライバの方向を制御します。このレジスタの任意のビットを 1 にセットすると、対応するピンは出力として構成されます。このレジスタの任意のビットをゼロにクリアすると、対応するピンは入力として構成されます。このレジスタはいつでも読出しまたは書込みができます。リセットはビットをゼロにクリアします。

## PFPA— ポート F ピン割当てレジスタ

\$YFFFA36

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFPA7	PFPA6	PFPA5	PFPA4	PFPA3	PFPA2	PFPA1 <sup>1</sup>		PFPA0							

RESET

1 1 1 1 1 1 1 1 1 1 1 1 1 1 \*

\* : 多重化マスタ・モード SLIM コンフィギュレーションが選択された場合“0”、その他の場合は“1”。

注 : 1.RQX/BERR/PF1 ピンがレベル / エッジ検出割り込みモードから汎用ポートに変更する時にローが入力されていると、割り込みレベルを内部に保持してしまいます。この保持を回避するには、一旦このピンを BERR ピンにしてからポート機能を変更して下さい。

このレジスタの 8 つの各フィールドで、ポート F のピンの機能を制御します。各ピンの機能については表 38、表 39 を参照してください。

表 38 ポート F ピン割当て

ピン名	PFPA フィールドの BITS <sup>1</sup>	ピン割当て		DDRF の影響
		信号名	機能	
IRQ[7:2]/PF[7:2]	PFPA[7:2]			
	0 0	IRQ[7:2]	割り込み	DDRF[7:2] 無効 (入力固定)
	0 1	PF[7:2]	汎用ポート	DDRF[7:2] 有効
	1 0	PF[7:2]	汎用ポート	DDRF[7:2] 有効
	1 1	IRQ[7:2]	割り込み	DDRF[7:2] 無効 (入力固定)

表 38 ポート F ピン割当て ( 続き )

ピン名	PFPAR フィールドの BITS <sup>1</sup>		ピン割当て		DDRF の影響
			信号名	機能	
$\overline{\text{IRQX}}/\overline{\text{BERR}}/\text{PF1}^2$	PFP A1	IRQXL			
	0 0	1 ~ 7	$\overline{\text{IRQX}}$	割込み	DDRF1 無効 ( 入力固定 )
	0 1		PF1	汎用ポート	DDRF1 有効
	1 0		PF1	汎用ポート	DDRF1 有効
	1 1		$\overline{\text{IRQX}}$	割込み	DDRF1 無効 ( 入力固定 )
	X X	0	$\overline{\text{BERR}}$	コントロール信号	DDRF1 無効 ( 入力固定 )
ALE/PF0	PFP A0				
	0 0		ALE <sup>3</sup>	コントロール信号	DDRF0 無効 ( 入力固定 )
	0 1		PF0	汎用ポート	DDRF0 有効
	1 0		PF0	汎用ポート	DDRF0 有効
	1 1		PF0	汎用ポート	DDRF0 有効

- 注 : 1. このフィールドの内容は、表 39 の「ポート F ピン割当てレジスタ・フィールドのエンコーディング」を参照してください。  
 2. このピンを割り込み (IRQX) からポート (PF1) に変更する際に入力状態がローであると内部において割り込みを保持してしまいます。保持を回避するには、一旦 BERR に変更してからポートに変更してください。  
 3. マルチプレクス・マスタ・モードの時のみ有効

表 39 ポート F ピン割当てレジスタ・フィールドのエンコーディング

PFPAR フィールドの BITS		機 能	説 明	ベクタ・ソース
MSB	LSB			
0	0	エッジ検出割込み入力	外部から立下りエッジを検出すると、SLIM は割込みを保持した状態で内部割込みを CPU ヘアサートし続けます。CPU から IACK サイクルが発生した時、SLIM は保持した割込みクリアを行い内部割込み信号をネゲートします。割込みの立下りエッジ検出するには、最低 2 システム・クロック分のローが必要。	データ・バスより与えるか、または、オート・ベクタで対応する。
0	1	汎用入出力 ピン ( 立上りエッジ検出割込み機能付 )	汎用入出力ポート。このポートはエッジ検出割込み機能を有しており、その検出を CPU に対して割込み要求することが可能です。 エッジを検出するには最低 2 システム・クロックが必要です。	PFIVR より対応する。
1	0	汎用入出力 ピン ( 立下りエッジ検出割込み機能付 )		
1	1	レベル検出割込み入力	外部からの割込みのアサート ( ロー・アクティブ ) があれば、SLIM は割込み信号を保持せずに内部割込みを CPU ヘアサートします。そのため、外部からの割込みのアサートは IACK サイクルが発生するまで外部で引き続ける必要があります。もし、IACK サイクルが発生する前に外部からの割込みを取りやめると、スプリアス割込みとなるので注意してください。	データ・バスより与えるか、または、オート・ベクタで対応する。

## PORTFE— ポート F エッジ検出フラグ・レジスタ

\$YFFA39

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								PFE7	PFE6	PFE5	PFE4	PFE3	PFE2	PFE1	PFE0

RESET:

0 0 0 0 0 0 0 0

ポート F エッジ検出フラグ・レジスタは、ポート F 入力または出力ピン上で適切な遷移が発生したことを示します。対応するエッジ検出フラグは、対応するポート F ピンが入力または出力エッジ検出ピンとして設定されているときに、エッジ検出されるとセットされます。ピンがレベル・センシティブ (または、BERR、ALE) として設定されている場合は、遷移があってもそのピンのフラグ

はセットされません。

PFEER— ポート F エッジ検出 I/O 割込みイネーブル・レジスタ

\$YFFA3B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								PFEET	PFEET	PFEET	PFEET	PFEET	PFEET	PFEET	PFEET

RESET:

0 0 0 0 0 0 0 0

ポート F のエッジ検出 I/O 割込みイネーブル・レジスタ・ビットは、個別のエッジ検出 I/O ピンからの割込みをイネーブルするために使用されます。あるビットが 1 の場合、対応するピンに指定されたエッジが発生すると、ポート F 割込みレベル・レジスタの PFEL[2:0] フィールドで指定される割込み優先順位で、割込み要求が生成されます。ビットがゼロの場合、エッジが検出されても対応するエッジ検出 I/O ピンは割込み要求を生成しません。このレジスタは、マスタ・リセットでゼロにリセットされ、エッジ検出 I/O 割込みをディセーブルします。

PFLVR— ポート F 割込みレベル・レジスタ

\$YFFA3C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	IROXL[2:0]				0	PFEL[2:0]			PFIVR						

RESET:

0 0 0 1 0 0 0 0

ポート F 割込みレベル・レジスタには、IRQX を制御する 3 ビットのフィールドと、ポート F エッジ検出割込みの優先順位を決定する 3 ビットのフィールドがあります。PFLVR7 と PFLVR3 を読み出すと常にゼロが返され、書込みを行っても影響はありません。

IRQXL[2:0]— IRQX 構成レベル [2:0]

このフィールドはピンが IRQX か BERR かを制御します。

000 = BERR として機能する。

XXX = アサートされたときに優先順位 XXX (XXX はゼロ以外) の割込みに対応するレベル・センシティブまたはエッジ・センシティブ割込み入力として機能します。リセットにより IRQX 割込みレベルは、レベル 1 の割込みとして XXX = 001 にセットされています。

PFEL[2:0]— ポート F エッジ検出 I/O 割込みレベル

このフィールドは、ポート F エッジ検出 I/O 割込みの優先順位 0 ~ 7 を指定します。リセットにより PFEL[2:0] が割込みをディセーブルしていることを示す値 000 がセットされています。SLIM からのすべての割込みソースが同じ優先順位を求めて争っているときは、ポート F エッジ検出割込みは、SLIM の中で調停優先順位が最も低くなっています。

PFIVR— ポート F エッジ検出 I/O 割込みベクタ・レジスタ

\$YFFA3D

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFLVR								PFIVR							

RESET:

0 0 0 0 1 1 1 1

ポート F エッジ検出 I/O 割込みベクタ・レジスタは、ポート F エッジ検出回路によって生成された割込みに対して、例外ベクタ・テーブルのどのベクタを使用するかを決定します。エッジ割込みロジックは、このレジスタのビット [7:0] を割込みベクタとして使用します。

### 3.7.6 ポート G および H の動作

ポート G および H は、データ・バスまたは汎用 I/O として使用されるピンです。リセット時に構成された SLIM のモードに従って、リセットを解放されたときに、データ・バスまたは汎用入力に構成することができます。

## PORTG— ポート G 出力データ・レジスタ

\$YFFFA28

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0	PORTH							

RESET:

U U U U U U U U

ポート G 出力データ・レジスタは、ポート G ピンにドライブするデータをラッチします。このレジスタを読み出すと、常にデータ・ラッチの状態になります。リセットには影響されません。このレジスタは RESET(POW 以外のリセット源) に無効ですが、POW においては "\$FF" の値をセットします。リセットの種類については 100 ページの「3.5 リセット」を参照してください。

## PORTGP— ポート G ピン・データ・レジスタ

\$YFFFA2A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PGP7	PGP6	PGP5	PGP4	PGP3	PGP2	PGP1	PGP0	PORTHP							

RESET:

対応するピンの現在の状態

ポート G ピン・データ・レジスタを読み出すと、ポート G ピンの状態になります。書込みを行っても影響はありません。

## DDRG— ポート G データ方向レジスタ

\$YFFFA2C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDG7	DDG6	DDG5	DDG4	DDG3	DDG2	DDG1	DDG0	DDRH							

RESET:

0 0 0 0 0 0 0 0

ポート G データ方向レジスタのビットは、ピンが I/O として構成されているときに、ポート G ピン・ドライバの方向を制御します。このレジスタの任意のビットを 1 にセットすると、対応するピンは出力として構成されます。このレジスタの任意のビットをゼロにクリアすると、対応するピンは入力として構成されます。リセットはすべてのビットをゼロにクリアします。

## PORTH— ポート H 出力データ・レジスタ

\$YFFFA29

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTG								PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0

RESET:

U U U U U U U U

ポート H 出力データ・レジスタは、ポート H ピンにドライブするデータをラッチします。このレジスタを読み出すと、常にデータ・ラッチの状態になります。リセットには影響されません。このレジスタは RESET(POW 以外のリセット源) に無効ですが、POW においては "\$FF" の値をセットします。リセットの種類については 100 ページの「3.5 リセット」を参照してください。

## PORTHP— ポート H ピン・データ・レジスタ

\$YFFFA2B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTGP								PHP7	PHP6	PHP5	PHP4	PHP3	PHP2	PHP1	PHP0

RESET:

対応するピンの現在の状態

ポート H ピン・データ・レジスタを読み出すと、ポート H ピンの状態になります。書込みを行っても影響はありません。

## DDRH— ポート H データ方向レジスタ

\$YFFFA2D

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDRG								DDH7	DDH6	DDH5	DDH4	DDH3	DDH2	DDH1	PE0

RESET:

0 0 0 0 0 0 0 0

ポート H データ方向レジスタのビットは、ピンが I/O として構成されているときに、ポート H ピン・ドライバの方向を制御します。このレジスタの任意のビットを 1 にセットすると、対応するピンは出力として構成されます。このレジスタの任意のビットをゼロにクリアすると、対応するピンは入力として構成されます。リセットはすべてのビットをゼロにクリアします。

## 3.8 チップ・セレクト

標準的なマイクロコントローラでは、外部チップ・セレクト信号およびアドレス・デコード信号を供給するためにハードウェアを追加する必要があります。MCU は個別にプログラム可能な 3 つのチップ・セレクト (CSA、CSB、CSC ピン) を用意しています。これらのチップ・セレクトは、外部メモリとペリフェラル・デバイスにバス・タイミングとバス・サイクルの終了を供給します。

注：MCU がマスタ・モード（外部バス）においてオプションの DTACK ピンがインプリメンテーションに含まれていない場合は、チップ・セレクトを使い、外部サイクルを終了するようにプログラムしなければなりません（対応するチップ・セレクト・ピンの有無や使用、未使用に関係なく）。

各チップ・セレクトには個々にベース・アドレス・レジスタ (CSBRA、CSBRB、CSBRC) とオプション・レジスタ (CSORA、CSORB、CSORC) があります。これらのレジスタには、特定のチップ・セレクトのプログラム可能な特性が収められています。図 13 にプログラム可能なチップ・セレクト回路のブロック図を示します。

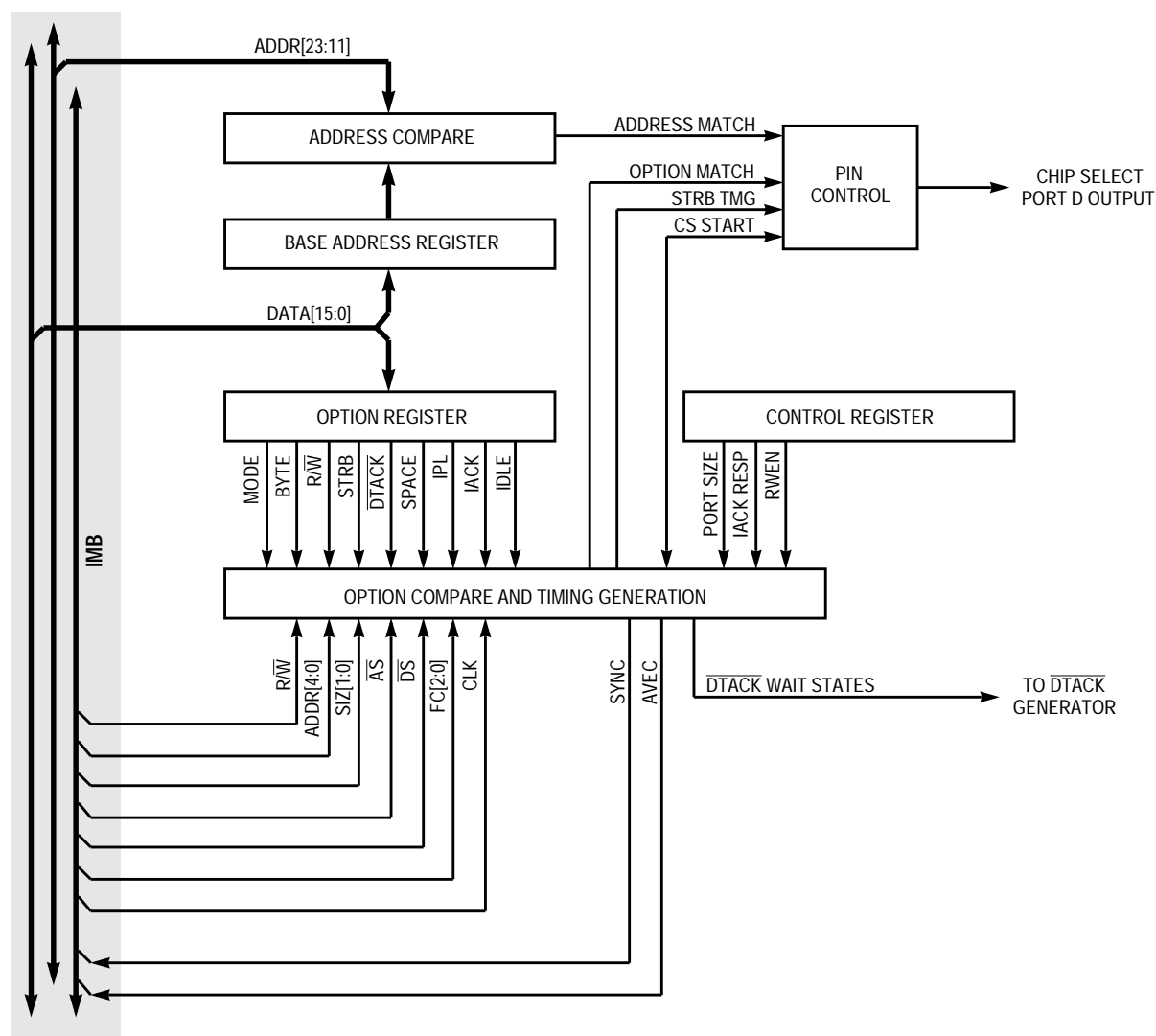


図 14 チップ・セレクトのブロック図

### 3.8.1 プログラム可能なチップ・セレクト回路

チップ・セレクトのアサートは、出力イネーブル、リード / ライト・ストロブ、または割込みアクノリッジ信号を供給するために、バス制御信号に同期させることができます。ロジック回路は、内部で DTACK 信号を生成することも可能です。1 つの DTACK ジェネレータを全回路で共用します。同じアドレスおよび制御回路に複数のチップ・セレクトが割り当てられている場合は、ウェイト・ステート



は同数でなければなりません。

2K ~ 1M バイトのアドレス・ブロック・サイズが選択できます。

メモリ・アクセスが発生すると、チップ・セレクト回路はアドレス空間のタイプ、アドレス、アクセスのタイプ、転送サイズ、および割込み優先順位（割込みアクノリッジの場合）を、チップ・セレクト・レジスタに設定されているパラメータと比較します。すべてのパラメータが一致した場合、チップ・セレクト信号をアサートします。セレクト信号はアクティブ“L”です。CSB は、リセット・ベクタと初期プログラムが収められた初期ブート ROM を選択するのに使用することも可能です。

チップ・セレクト機能にマイクロコントローラ・モジュールまたは内部メモリ・アレイと同じアドレスが与えられている場合、そのアドレスへのアクセスは内部モジュールまたは内部メモリ・アレイに向けられ、チップ・セレクト信号は外部にアサートされません。

各チップ・セレクト・ピンには複数の機能があります。リセットのネゲート時チップ・セレクト構成は、リセットのモード設定によって決まります。モード設定において CSB がイネーブルであれば、ブート ROM セレクト信号（CSB）はリセット・ネゲート時に自動的にアサートします。シングルチップ・モードでは、すべてのチップ・セレクト・ピンがポート D[7:5] として構成されます。データ・バス・サイズは、CSA、CSB および CSC にプログラムされたポート・サイズによって制御されます。CSA、CSB、CSC がすべて 8 ビット・サイズにプログラムされている場合は、D[7:0] が I/O ポート（ポート H）となり、D[15:8] が 8 ビット・データ・バスとして使用されます。チップ・セレクトが 16 ビット・ポート・サイズで構成されている場合、D[15:0] は 16 ビット・データ・バスとして構成されます。

注：マスタ・モードでは、バス・サイズが 8 ビットまたは 16 ビットが設定可能であり、このときバスに設定されているピンは汎用ポートとして使うことができません。

表 40 に「チップ・セレクトとディスクリート出力の割付け」を示します。

表 40 チップ・セレクトとディスクリート出力の割付け

ピン	ピン機能	
	チップ・セレクト	ディスクリート出力
CSA	CSA	PD7
CSB	CSB	PD6
CSC	CSC	PD5

### 3.8.2 チップ・セレクト構成

モード、ピン機能、およびポート・サイズは、「3.7 汎用入出力」で説明するレジスタ・ビットに基づきます。シングルチップ・モードでは、チップ・セレクトは PD[7:6] として構成されます。マスタ・モードでは、データ・バス・サイズは、CSA、CSB および CSC にプログラムされたポート・サイズによって制御されます。

注：マスタ・モードでは、チップ・セレクト・ピンの有無や使用中かどうかに関係なく、チップ・セレクトのポート・サイズをプログラムして、データ・バスのサイズを決定しなければなりません。

チップ・セレクト・コントロール・レジスタ（CSCR）の 3 つの独立したビットは、各チップ・セレクトのポート・サイズを、8 ビットまたは 16 ビットとして決定します。ポート D ピン割当てレジスタ（PDPAR）の 3 ビットにより、各チップ・セレクトをデジタル I/O またはチップ・セレクトとして使用することが決められます（表 34 参照）。リセット時のこれらのビットの状態は、ポート・コンフィギュレーション・レジスタ（PCON）に対応するマスク・プログラムされたシャドウ・ビットによって決定されます。リセット時の特定のピンの状態によって、シャドウ・レジスタの一部のビットのデフォルト・リセット値を無効にすることができます（表 30 参照）。

### 3.8.3 チップ・セレクト・ピン割当て

ポート D ピン割当てレジスタ（PDPAR）のビットは、チップ・セレクト・ピンの機能を制御します。チップ・セレクト・コントロール・レジスタ（CSCR）のビットは、それらをチップ・セレクトとして使用するときのポート・サイズを決定します。これらのビットのリセット状態は、ポート・コンフィギュレーション・レジスタ（PCON）のマスク・プログラムされたシャドウ・ビットによって決定され

ます。これらのピンは、表 41 に従ってチップ・セレクトまたはポート D の I/O として割り当てられます。

表 41 チップ・セレクト・リセット割当て

ビット	ステート	レジスタ	ピン	デフォルト機能
PCON10	1 0	PDPAR7	$\overline{\text{CSA}}/\text{PD7}$	$\overline{\text{CSA}}$ PD7
PCON9	1 0	CSCR3	-	$\overline{\text{CSA}}$ =16-bit port $\overline{\text{CSA}}$ =8-bit port
PCON8	1 0	PDPAR6	$\overline{\text{CSB}}/\text{PD6}$	$\overline{\text{CSB}}$ PD6
PCON7	1 0	CSCR2	-	$\overline{\text{CSB}}$ =16-bit port $\overline{\text{CSB}}$ =8-bit port
PCON6	1 0	PDPAR5	$\overline{\text{CSC}}/\text{PD5}$	$\overline{\text{CSC}}$ PD5
PCON5	1 0	CSCR1	-	$\overline{\text{CSB}}$ =16-bit port $\overline{\text{CSB}}$ =8-bit port

### 3.8.4 チップ・セレクト・コントロール・レジスタ

チップ・セレクト・コントロール・レジスタには、各チップ・セレクトで実行されるアクセスのサイズを制御するビット、サイクルに一致させてチップ・セレクトをプログラムしていないときの IACK サイクルへの応答、および R/W および DS ピンが「リード・ストロブ」と「ライト・ストロブ」になるよう再プログラムするためのオプションがあります。

CSCR— チップ・セレクト・コントロール・レジスタ

\$YFFA6C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IPL[7:1]							IACK	MUXA	MUXB	MUXC	ADRDIS	SZA	SZB	SZC	RWEN
RESET: (DSI=1)															
0	0	0	0	0	0	0	0	0	0	0	0	PCON9	PCON7	PCON5	0*
												(1)	(1)	(1)	
RESET: (DSI=0)															
0	0	0	0	0	0	0	0	0	0	0	0	PCON9	AD6	PCON5	0*
												(1)	ピン状態	(1)	

\* : リセット・ステートは、マスク・プログラマブル。

IPL[7:1]— 割込みプライオリティ・レベル

このフィールドは、チップ・セレクト・ロジックが対応する割込みレベルで IACK サイクルに回答するかどうかを制御します。これらの任意のビット数を、1 ~ 7 に設定することができます。これらのいずれもセットされていない場合、チップ・セレクト・ロジックは、IACK サイクルに回答しません。これらの 1 つまたは複数がセットされている場合、チップ・セレクトは、IACK ビット、CSCR8、CSA にプログラムされたオプションに従って応答します。

IACK— 割込みアクノリッジ応答

このビットは、CSORA0 とともに IACK サイクルに対するチップ・セレクト・ロジックの応答を決定します。表 42 にこれら 2 ビットにプログラムされた値ごとに応答を要約します。

表 42 外部 IRQ 入力アサーションに対する IACK サイクルの応答

IACK サイクルの状態				応 答			
IRQ ピンがアサートされる	IRQ レベルに対応する IPL ビットの状態	CSCR8 の IACK 応答フィールド	CSORA0 の IACK/CSA フィールド	サイクルターミネーション	$\overline{\text{AS}}$	$\overline{\text{CSA}}$	ベクタのソース
N	-	-	-	BIU IBERR	1	1	None
Y	0	0	0	None/Bus Monitor/IBERR	1	1	None

表 42 外部 IRQ 入力アサーションに対する IACK サイクルの応答 ( 続き )

IACK サイクルの状態				応 答			
IRQ ピンがアサートされる	IRQ レベルに対応する IPL ビットの状態	CSCR8 の IACK 応答 フィールド	CSORA0 の IACK/CSA フィールド	サイクルターミネーション	$\overline{AS}$	$\overline{CSA}$	ベクタのソース
Y	1	0	0	Internal $\overline{AVEC}$	1	1	Corresponding Autovector
Y	-	0	1	External $\overline{DTACK}$	0	1	External
Y	-	1	0	Internal $\overline{DTACK}^1$	0	1	External
Y	-	1	1	Internal $\overline{DTACK}^1$	0	0	External

注：1.  $\overline{DTACK}$  ピン ( 使用可能な場合 ) で終了させることもできます。

#### MUX[A:C]— 非多重化バスの多重化バス優先

これらの独立した 3 つのビットにより、非多重化外部バスで多重化バス・サイクルを ( サイクル単位で ) 発生させることができます。チップ・セレクト・オプションおよびベース・アドレス・レジスタ・ペアでマッチが発生し、対応するチップ・セレクトの MUX ビットがアサートされた場合、そのメモリ・ブロックへのアクセスは、MCU の外部バス・インプリメンテーション ( 多重化または非多重化 ) に関係なく、多重化アドレスとデータを使用して実行されます。

注：多重化外部バスを備えた MCU の場合、これらのビットは無効であり、セットしてもクリアしてもかまいません。

#### ADRDIS— アドレス・バス・ディセーブル

このビットは、内部アクセス中に外部アドレス・バスをディセーブルします。このビットがセットされたときには、ショウ・サイクル機能を使用していない限り、内部サイクルで外部アドレス・バスがドライブされることはありません。

注：この機能をイネーブルすると、内部および外部のすべてのサイクルに対して、1 ウェイト・ステートが追加されます。

0 = 内部アクセス中に外部アドレス・バスをディセーブルする。

1 = 内部アクセス中に外部アドレス・バスをイネーブルする。

#### SZ[A:C]— チップ・セレクト・ポート・サイズ

これらのビットは、各チップ・セレクトのポート・サイズを 8 ビットまたは 16 ビットとして決定します。リセット時のこれらのビットの状態は、ポート・コンフィギュレーション・レジスタ ( PCON ) の対応するマスク・プログラムされたシャドウ・ビットによって決定されます。

0 = 8 ビット・ポート

1 = 16 ビット・ポート

#### RWEN— リードおよびライト・ストロブ・イネーブル

0 =  $R/\overline{W}$  および  $\overline{DS}$  ピンは元の機能。

1 =  $R/\overline{W}$  は  $\overline{WR}$  になり、 $\overline{DS}$  は  $\overline{RD}$  になる。

## 3.8.5 チップ・セレクト・ベース・レジスタ

ベース・アドレスはチップ・セレクトでイネーブルされたブロックの開始アドレスです。

ブロック・サイズは、ベース・アドレスからのアドレス空間の範囲を決定します。各チップ・セレクト・チャンネルには関連のベース・アドレス・レジスタがあり、各アプリケーションに合わせて効率のよいアドレス・マップを構築することができます。

## CSBARA— チップ・セレクト・ベース・レジスタ A

\$YFFFA60

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ADDR 23*	ADDR 22*	ADDR 21*	ADDR 20*	ADDR 19	ADDR 18	ADDR 17	ADDR 16	ADDR 15	ADDR 14	ADDR 13	ADDR 12	ADDR 11	BLKSZ
-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	-------

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

## CSBARB— チップ・セレクト・ベース・レジスタ B

\$YFFFA64

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ADDR 23*	ADDR 22*	ADDR 21*	ADDR 20*	ADDR 19	ADDR 18	ADDR 17	ADDR 16	ADDR 15	ADDR 14	ADDR 13	ADDR 12	ADDR 11	BLKSZ
-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	-------

RESET: (MOTO=1)

0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1

RESET: (MOTO=0)

1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

注：MOTO の状態は MC68HC(9)16Y5/916Y6 では "1" です。

## CSBARC— チップ・セレクト・ベース・レジスタ C

\$YFFFA68

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

ADDR 23*	ADDR 22*	ADDR 21*	ADDR 20*	ADDR 19	ADDR 18	ADDR 17	ADDR 16	ADDR 15	ADDR 14	ADDR 13	ADDR 12	ADDR 11	BLKSZ
-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	-------

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

\*MC68HC(9)16Y5/916Y6では、ADDR[23:20]はADDR19の状態に従います。ADDR[23:20]  
が ADDR19 に一致しなければ、チップ・セレクトはアクティブになりません。

## CSBAR[15:3]— ベース・アドレス・フィールド

このフィールドは特定のアドレス空間の開始アドレスをセットします。アドレス比較ロジックは、最上位ビットだけを使用してブロック内のアドレスを比較します。ベース・アドレスの値はブロック・サイズの倍数でなければなりません。ベース・アドレス・レジスタ図に、ベース・レジスタ・ビットとアドレス・ラインの対応を示します。

注：CPU16 では ADDR[23:20] = ADDR19 であるため、最大ブロック・サイズは 512K バイトです。そのため、\$080000 ~ \$F7FFFF のアドレスにはアクセスできません。ブロックのベースはこのデッド・ゾーンより上に配置できますが、ADDR19 の影響を考慮しなければなりません。

## BLKSZ— ブロック・サイズ・フィールド

ブロック・サイズは、各ベース・レジスタのビット [2:0] によって決まります。このフィールドを使用して、チップ・セレクトによってイネーブルされるアドレス空間のサイズを決定します。表 43 を参照してください。

表 43 ブロック・サイズ・フィールドのエンコーディング

ビット	ブロック・サイズ (バイト)	比較されるアドレス・ライン
000	2K	ADDR[23:11]
001	8K	ADDR[23:13]
010	16K	ADDR[23:14]
011	64K	ADDR[23:16]
100	128K	ADDR[23:17]
101	256K	ADDR[23:18]
110	512K	ADDR[23:19]
111	512K	ADDR[23:20]

注：ADDR[23:20] は、通常動作中は ADDR19 と同じ論理レベルになっています。

### 3.8.6 オプション・レジスタ

オプション・レジスタには、チップ・セレクト信号のアサートのタイミングと条件を決定する 8 つのフィールドがあり、チップ・セレクトを利用してペリフェラル制御信号が生成できるようになっています。チップ・セレクト信号をアサートするには、ベース・アドレス・レジスタおよびオプション・レジスタの全ビットを満足させなければなりません。DTACK またはオートベクタをサポートするには、これらのビットの条件を満たす必要があります。

CSORA— チップ・セレクト・オプション・レジスタ A

\$YFFA62

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODE	BYTE	R/W	STRB	DTACK				SPACE				PROG/DATA	IDLE	IACK/CS	

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

CSORB— チップ・セレクト・オプション・レジスタ B

\$YFFA66

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODE	BYTE	R/W	STRB	DTACK				SPACE				PROG/DATA	IDLE	UNUSED	

RESET:

ROMEN = 1

0 0 0 1 1 0 1 1 1 0 1 1 0 0 0 0

ROMEN = 0\*

0 1 1 1 1 0 1 1 1 0 1 1 0 0 0 0

\*ROMEN のリセット状態は MC68HC(9)16Y5/916Y6 では "0"

CSORC— チップ・セレクト・オプション・レジスタ C

\$YFFA6A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODE	BYTE	R/W	STRB	DTACK				SPACE				PROG/DATA	IDLE	UNUSED	

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

CSB (CSORB) のオプション・レジスタには、リセット後にペリフェラル・メモリ・デバイスからのブートストラップ動作をサポートするためのデフォルト値があります。

#### MODE— 非同期 / 同期モード

0 = 非同期モードを選択する (チップ・セレクトのアサートは内部または外部バス制御信号によって決定される)。

1 = 同期モードを選択する (チップ・セレクトは ECLK 信号に同期してアサートされる)。

同期モードを可能にするには、MCU にオプションの ECLK ピンを含めなければなりません。非同期モードでは、チップ・セレクトは AS または DS に同期してアサートされます。

バス・サイクルは非同期動作としてのみ実行されるため、同期モードでは DTACK フィールドは使用されません。同期動作にプログラムされたチップ・セレクトでマッチ条件が発生したときには、チップ・セレクトは E クロック・サイクルがペンディングになっていることを EBI に通知します。

#### BYTE— 上位 / 下位バイト・オプション

ピン割当てレジスタでチップ・セレクト 16 ビット・ポート・オプションを選択すると、このフィールドが使用されます。表 44 に上位 / 下位バイト・オプションを記載します。

表 44 上位 / 下位バイト・オプション

バイト	説 明
00	Disable
01	Lower Byte
10	Upper Byte
11	Both Bytes

割込みを要求しているデバイスがベクタ番号を供給しない場合は、オートベクタ・アクノリッジを生成しなければなりません。バス・サイクルは AVEC をアサートすると終了します。これは内部で AVEC を生成し、チップ・セレクト・オプション・レジスタを使用して行なうことができます。

#### R/W— リード / ライト

このフィールドはチップ・セレクトを讀出し専用、書込み専用、または讀出しと書込みの両方にアサートします。使用可能なオプションについては、表 45 を参照してください。

表 45 R/W のエンコーディング

R/W	説 明
00	Reserved
01	Read Only
10	Write Only
11	Read/Write

R/W フィールドとアドレス・ストローブ / データ・ストローブ・フィールドを組み合わせることにより、外部デバイスに対して各種制御信号を生成することができます。BYTE フィールドでディセーブル・オプションが検出されない限り、アドレス・マッチが発生するたびに、指定されたブロックの全アドレスでチップ・セレクトがアサートされます。

#### STRB— アドレス・ストローブ / データ・ストローブ

0 = アドレス・ストローブ

1 = データ・ストローブ

このビットは非同期モードにおけるチップ・セレクトのアサートのタイミングを制御します。アドレス・ストローブを選択するとチップ・セレクトがアドレス・ストローブに同期してアサートされます。データ・ストローブを選択するとチップ・セレクトがデータ・ストローブに同期してアサートされます。

#### DTACK— データ転送アクノリッジ

このフィールドは非同期モードでの DTACK のソースを指定します。オプションの DTACK ピンが SLIM の特定のバージョンに含まれていないときには、チップ・セレクトを使用して内部で DTACK を生成します。また、このフィールドを使用すれば、特定のアプリケーションでバス・スピードを最適化するために挿入するウェイト・ステート数を制御することにより、ユーザが内部 DTACK の生成に合わせてバス・タイミングを調整できます。表 46 に DTACK フィールドのエンコーディングを示します。

表 46 DTACK フィールドのエンコーディング

DTACK	説 明	
	1 バス・サイクルの Wait 数	1 バス・サイクルの システムクロック数
0000	No Wait States	2 システム・クロック
0001	1 Wait State	3 システム・クロック
0010	2 Wait States	4 システム・クロック
0011	3 Wait States	5 システム・クロック
0100	4 Wait States	6 システム・クロック
0101	5 Wait States	7 システム・クロック
0110	6 Wait States	8 システム・クロック
0111	7 Wait States	9 システム・クロック
1000	8 Wait States	10 システム・クロック
1001	9 Wait States	11 システム・クロック

表 46 DTACK フィールドのエンコーディング ( 続き )

DTACK	説 明	
	1 バス・サイクルの Wait 数	1 バス・サイクルの システムクロック数
1010	10 Wait States	12 システム・クロック
1011	11 Wait States	13 システム・クロック
1100	12 Wait States	14 システム・クロック
1101	13 Wait States	15 システム・クロック
1110	14 Wait States	16 システム・クロック
1111	DTACK ピンのアサートまで	DTACK ピンのアサートまで

## SPACE— アドレス空間

このオプション・フィールドは、CPU で生成されたファンクション・コードによって示されるアドレス空間をチェックするのに使用されます。CPU16 は常にスーパーバイザ空間で動作しますが、割込みアクノリッジの時は、CPU 空間で動作します。表 47 に SPACE フィールドのエンコーディングを示します。

表 47 SPACE フィールドのエンコーディング

SPACE フィールド	アドレス空間
00	CPU 空間
01	ユーザ空間
10	スーパーバイザ空間
11	スーパーバイザ / ユーザ空間

## PROG/DATA— プログラム / データ空間

PROG/DATA ビットは、表 48 に示すとおりプログラムおよびデータ空間をデコードするように定義されています。スペース・フィールドが CPU 空間 (%00) に設定されている場合、チップ・セレクト・ロジックは、割込みの確認に使用できます。表 48 に、プログラム / データ・フィールドのエンコーディングを示します。

表 48 プログラム / データ・フィールドのエンコーディング

PROG/DATA フィールド	プログラム / データ空間
00	データまたはプログラム空間
01	データ空間
10	プログラム空間
11	予備

このフィールドはチップ・セレクトの応答にしか影響せず、CPU による割込みの認識には影響を与えません。任意のレベルとは、IACK サイクルのレベルに関係なく、チップ・セレクトがアサートされることを意味します。

## IDLE— アイドル・クロックの追加

このフィールドは、SLIM が次のアドレスをバス上にドライブする前に、外部デバイスがバスのドライブを停止する時間を確保するために、外部サイクルの終わりにアイドル・クロックを追加するかどうかを決定します。

- 0 = アイドル・クロックを追加しない。
- 1 = 1 つのアイドル・クロックを追加する。

## IACK/CS—IACK での CSA のアサート

このビットは CSCR8 とともに、外部 IACK サイクルを外部で終了させるか内部で終了させるか、そして外部 IACK サイクル中に CSA もアサートするかしないかを決定します。表 49 に IACK/CS フィールドを示します。

表 49 IACK/CS フィールド

IACK/CS フィールド	説 明
0	CSA not asserted with external IACK cycle
1	CSA asserted with external IACK cycle if CSCR8=1

### 3.8.7 ブート ROM チップ・セレクトとブート ROM サブモジュール

初期化ソフトウェアは、ブート ROM チップ・セレクトより外部メモリ・デバイスをアクセスするために CSB が使われます。ブート ROM サブモジュールは、システム・メモリの 512 バイトを占有し、バイトまたはワードでアクセス可能です。モジュール・コンフィギュレーション・レジスタ (MCR) の MOTO、ROMSU、および ROMEN ビットでブート ROM 動作を制御します。各ビットについては、「3.2.1 システム構成」を、ブート ROM の動作や使用方法については、308 ページの「第 15 章ブート ROM」を参照してください。

## 3.9 工場テスト・ブロック

テスト・サブモジュールは各種 MCU モジュールのスキャン・ベースのテストをサポートします。このテスト・サブモジュールはプロテクション・テストをサポートする SLIM に内蔵されます。

### 3.9.1 テスト・レジスタ

テスト・サブモジュール・レジスタはモトローラの工場テストで使われるものです。レジスタ名とアドレスの表示は、これらのアドレスが占有されていることを示すためです。

SLIMTR— システム・インテグレーション・テスト・レジスタ	\$YFFA02
SLIMTRE— システム・インテグレーション・テスト・レジスタ (E クロック)	\$YFFA09
TSTMSRA— マスタ・シフト・レジスタ A	\$YFFA40
TSTMSRB— マスタ・シフト・レジスタ B	\$YFFA42
TSTSC— テスト・モジュール・シフト・カウンタ	\$YFFA44
TSTRC— テスト・モジュール反復カウンタ	\$YFFA46
CREG— テスト・サブモジュール・コントロール・レジスタ	\$YFFA48
DREG— ディストリビューテッド・レジスタ	\$YFFA4A



## 第 4 章

# 補助チップ・セレクト

補助チップ・セレクト・モジュール (ACS) を使用すれば、チップ・セレクトを追加することが可能です。MC68HC(9)16Y5/916Y6 では、補助チップ・セレクト・モジュールによって、3 つのチップ・セレクトが追加されています。

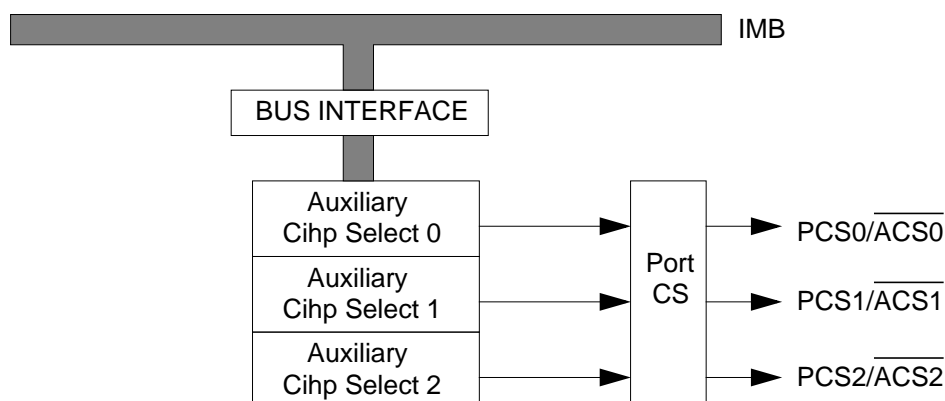


図 15 ACS のブロック図

### 4.1 概要

標準的なマイクロコントローラには、外部チップ・セレクト信号を供給するための追加ハードウェアが必要です。この MCU は、3 つのプログラマブル・チップ・セレクト回路を内蔵しており、2 ~ 16 クロック・サイクルで外部メモリおよび周辺デバイスにアクセス可能です。ACS であたえられたチップ・セレクトが提供する機能のサブセットがサポートされています。

補助チップ・セレクト・モジュールでサポートされる機能 はつぎのとおりです。

- ・ 3 つのプログラム可能なチップ・セレクト  
チップ・セレクト ACS0、ACS1、ACS2 は、各種の選択可能な機能により個別にプログラムすることができます。すべてのチップ・セレクトに、同じ選択可能な機能があります。
- ・ 多様なブロック・サイズ  
ベース・アドレスから始まるブロックのサイズは、4K、8K、16K、32K、64<128K、256K、512K バイトにプログラムできます。
- ・ 読出し専用、書込み専用、または読出し / 書込みセレクト  
メモリ・ブロックは、読出し専用、書込み専用、または読出しと書込みの両方のいずれかを指定できます。
- ・ アドレス・ストロークおよびデータ・ストロークのタイミング  
チップ・セレクト信号は、AS または DS に同期することができるため、CS、OE、WE などの制御信号を容易に生成できます。

- ・ ウェイト・ステートを挿入して内部  $\overline{\text{DTACK}}$  の生成  
このオプションにより内部で  $\overline{\text{DTACK}}$  の生成が可能です。ユーザは各種のデバイスにインタフェースするための適切なウェイト・ステート数をプログラムすることができます。
- ・ アドレス空間のチェック  
スーパーバイザ、ユーザ、プログラムおよびデータ空間アクセスを任意にチェックすることができます。
- ・ ディスクリット出力として 3 本の汎用出力ピン  
3 本のチップ・セレクト・ピンは、汎用出力ピンとして使用できます。

すべてのチップ・セレクトが、16 ビット・データ・バス幅の非多重化マスタ・モードをサポートしていますが、8 ビット・データ・バスはサポートしていません。

以下は、チップ・セレクトをアサートするためのフローチャートです。外部バス・サイクルの各タイプに対して、ベース・レジスタとオプション・レジスタを適切にプログラムするように注意してください。

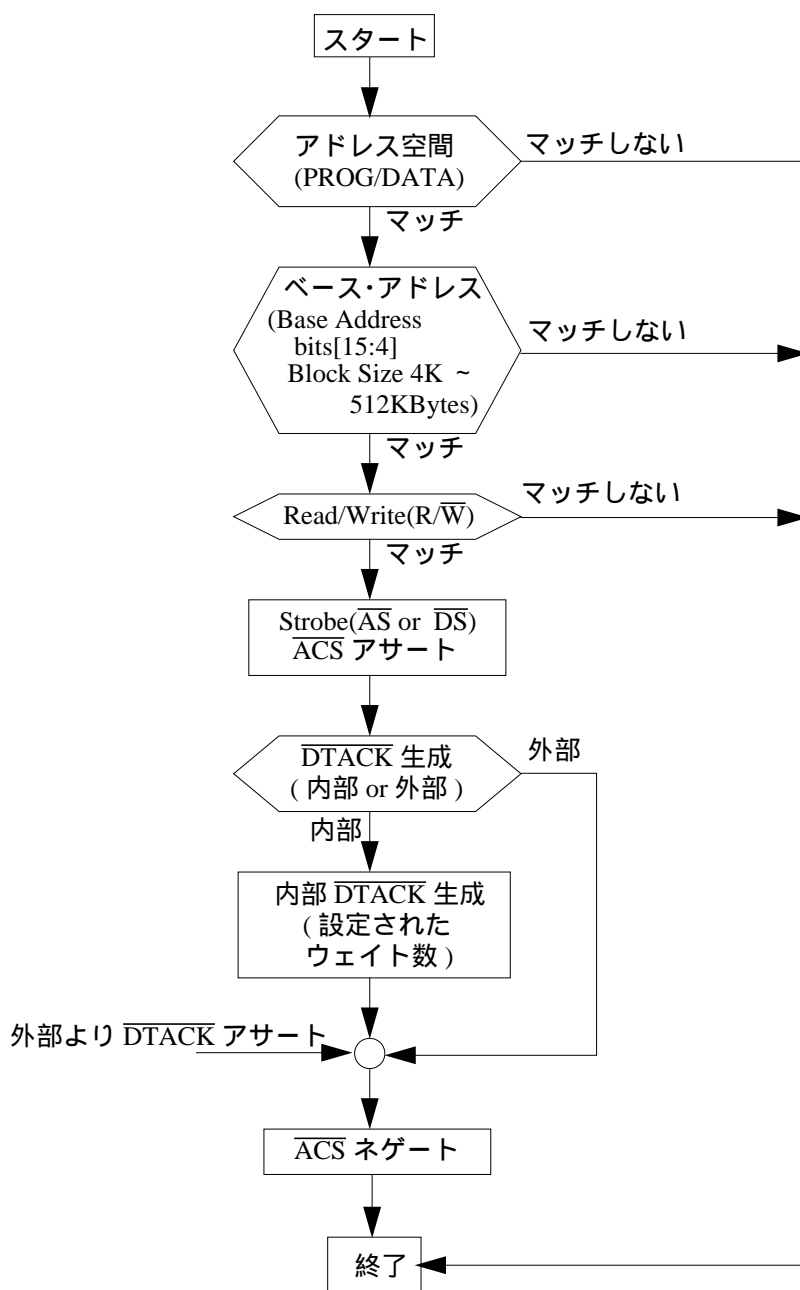


図 16 チップ・セレクトのマッチ・フロー

たとえチップ・セレクト・ピンが使用できない場合でも、チップ・セレクト・ロジックを使用して、外部サイクルを終了させることができます。チップ・セレクトが内部で DTACK を生成する必要があるかどうか判断するために、どのアドレス空間でも DTACK フィールドを使用します。

表 50 ACS アドレス・マップ

Address	15	8	7	0
\$YFFA80	Auxiliary Chip Select Module Configuration Register(ACSMCR)			
\$YFFA82	Auxiliary Chip Select Module Test Register(ACSTR)			
\$YFFA84	Reserved			
\$YFFA86	Reserved			
\$YFFA88	Reserved		ACS Output Data Register(ACSODR)	
\$YFFA8A	Reserved			
\$YFFA8C	Reserved			
\$YFFA8E	Reserved		ACS Pin Assignment Register(ACSPAR)	
\$YFFA90	Auxiliary Chip Select Base Address Register 0(ACSBSR0)			
\$YFFA92	Auxiliary Chip Select Option Register 0(ACSOR0)			
\$YFFA94	Auxiliary Chip Select Base Address Register 1(ACSBSR1)			
\$YFFA96	Auxiliary Chip Select Option Register 1(ACSOR1)			
\$YFFA98	Auxiliary Chip Select Base Address Register 2(ACSBSR2)			
\$YFFA9A	Auxiliary Chip Select Option Register 2(ACSOR2)			

注：Y=M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態です。この MCU は、Y は \$F でなければなりません。M がクリアされている場合、リセットが発生するまで IMB モジュールにはアクセスできません。M はリセットの後、1 回だけ書き込むことができます。

ACS モジュールを正しく動作させるために、SLIM は非多重化マスタ・モードで構成し、SLIM チップ・セレクト・コントロール・レジスタの SZA/SZB/SZC (チップ・セレクト・ポート・サイズ) ビットを少なくとも 1 つを 1 (=16 ビット・ポート) にセットしておいてください。

## 4.2 ACS グローバル・レジスタ

ACS グローバル・レジスタは、ACS が CPU とインタフェースするパラメータを定義します。リセットの後、ACS は汎用出力として設定されています。

ACSMCR— ACS コンフィギュレーション・レジスタ \$YFFA80

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP	NOT USED							SUPV	NOT USED						

RESET:

0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0

### STOP ストップ・イネーブル

0 = 通常の ACS クロック動作。

1 = ACS クロック動作を停止する。

STOP はモジュールの大部分でシステム・クロックをディセーブルして、ACS を低消費電力状態にします。

## SUPV— スーパーバイザ / 無制約

0 = 無制約アクセス

1 = スーパーバイザ・アクセス

制御アクセス・レベルをもつシステムでは、SUPV は割当て可能な ACS レジスタを、スーパーバイザ専用データ空間または無制約データ空間のいずれかに配置します。すべての ACS レジスタは、スーパーバイザ専用空間に配置されます。CPU16 はスーパーバイザ・モードでしか動作しないため、SUPV には意味はありません。

## ACSTR— ACS モジュール・テスト・レジスタ

\$YFFA82

## ACSODR— ACS 出力データ・レジスタ

\$YFFA89

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								0	0	0	0	0	ODR2	ODR1	ODR0
RESET:								0	0	0	0	0	1	1	1

ACSODR は、PORT CS 出力ピンが汎用出力として構成されている場合に、それらのピンにドライブされるデータをラッチするのに使用します。ACSODR を読み出すと、常にデータ・ラッチの現在の値が読み出されます。

## ACSPAR— ACS ピン割当てレジスタ

\$YFFA8F

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								0	0	0	0	0	PAR2	PAR1	PAR0
RESET:								0	0	0	0	0	1	1	1

ACSPAR は、どの ACS ピンをチップ・セレクト機能または汎用出力に割り当てるかを 1 ピン単位で決定します。ACSPAR で汎用出力として構成されたチップ・セレクト・ピンは、ACSODR によってのみ制御され、チップ・セレクト回路がこれらのピンに影響を与えることはありません。

0 = 汎用出力

1 = チップ・セレクト機能

表 51 ACS ピン・コントロール

ACSPAR ビット	ポート CS 信号	バス制御信号
PAR2	PCS2	$\overline{\text{ACS2}}$
PAR1	PCS1	$\overline{\text{ACS1}}$
PAR0	PCS0	$\overline{\text{ACS0}}$

## 4.3 ACS ベース・アドレス・レジスタ

ベース・アドレスはチップ・セレクトでイネーブルされるブロックの開始アドレスです。BLKSZ は、ベース・アドレスより上位のブロック範囲を決定します。各チップ・セレクトには、関連のベース・アドレス・レジスタがあり、個々のアプリケーションにあわせて、効率よくアドレス・マップを構築できます。チップ・セレクトのアドレス範囲が内部モジュールのアドレスにオーバーラップする場合は、内部モジュールが優先されます。チップ・セレクトはアクセスには応答しません。

ACSBAR0—ACS ベース・アドレス・レジスタ 0

\$YFFA90

ACSBAR1—ACS ベース・アドレス・レジスタ 1

\$YFFA94

ACSBAR2—ACS ベース・アドレス・レジスタ 2

\$YFFA98

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	BLKSZ			
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CPU16 は、A[23:20] を A19 と同じ論理状態にドライブします。CPU16 に対してチップ・セレクトが正しく機能するには、ユーザが A[23:20] にプログラムした値が A19 と一致しなければなりません。

ACSBAR[15:4]—ベース・アドレス・フィールド

このフィールドは特定のアドレス空間の開始アドレスを設定します。アドレス比較ロジックは、最上位ビットだけを使用してブロック内のアドレスを比較します。ベース・アドレスの値はブロック・サイズの倍数でなければなりません。ベース・アドレス・レジスタ図に、ベース・レジスタ・ビットとアドレス・ラインの対応を示します。

BLKSZ—ブロック・サイズ・フィールド

このフィールドは、チップ・セレクトでイネーブルしなければならないベース・アドレスより上位のブロックのサイズを決定します。以下の表にブロック・サイズ・フィールドのビット・エンコーディングを示します。

表 52 BLKSZ のビット・エンコーディング

ブロック・サイズ・フィールド	ブロック・サイズ	比較するアドレス・ライン
0000	4 K	A[23:12]
0001	8 K	A[23:13]
0010	16 K	A[23:14]
0011	32 K	A[23:15]
0100	64 K	A[23:16]
0101	128 K	A[23:17]
0110	256 K	A[23:18]
0111	512 K	A[23:19]
1000	512 K	A[23:20]
1001	512 K	A[23:21]
1010	512 K	A[23:22]
1011	Reserved	Reserved
1100	Reserved	Reserved
1101	Reserved	Reserved
1110	Reserved	Reserved
1111	Reserved	Reserved

注：Reserved の設定を選択すると、ACS がアサートされません。

A[23:20] は A19 と同じ論理状態にドライブされたために、最大ブロック・サイズは 512K バイトです。24 本のアドレス・ラインをすべて使用しても、\$080000 から \$F7FFFF のアドレスはアクセスできません。

## 4.4 オプション・レジスタ

オプション・レジスタには、チップ・セレクト信号のアサートのタイミングと条件を決定する 6 つのフィールドがあります。オプション・レジスタを使用して、外部デバイスへのインタフェースに必要な多種類の信号を生成することができるため、実行中のアクセスのタイプに応じて、適切にプログラムするよう十分注意してください。

ACSOR0—ACS オプション・レジスタ・ブート 0

\$YFFA92

ACSOR1—ACS オプション・レジスタ・ブート 1

\$YFFA96

ACSOR2—ACS オプション・レジスタ・ブート 2

\$YFFA9A

CSOR[0:10]—チップ・セレクト・オプション・レジスタ

\$YFFA4E-\$YFFA76

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED	BYTE	R/W	STRB	DTACK (WAITS)			SPACE			PROG / DATA			NOT USED		

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

MBYTE—上位 / 下位バイト・オプション

上位 / 下位バイト・オプションは、16 ビット・ポート上でのバス転送を適切に処理するために使用されます。

表 53 上位 / 下位バイト・オプション

バイト	説 明
00	Disable
01	Lower Byte
10	Upper Byte
11	Both Bytes

 $\overline{R/W}$ —リード / ライト

このフィールドはチップ・セレクトを讀出し専用、書込み専用、または讀出しと書込みの両方にアサートします。

表 54  $\overline{R/W}$  のエンコーディング

R/W	説 明
00	Reserved
01	Read Only
10	Write Only
11	Read/Write

STRB—アドレス・ストローブ / データ・ストローブ

0 = アドレス・ストローブ

1 = データ・ストローブ

このビットは非同期モードでのチップ・セレクトのアサートのタイミングを制御します。アドレス・ストローブを選択すると、アドレス・ストローブと同期してチップ・セレクトがアサートされます。データ・ストローブを選択すれば、チップ・セレクトはデータ・ストローブと同期してアサートされます。

注：DTACK が 2 クロック終了（ノー・ウェイト・ステート）で DS に同期したチップ・セレクト構成の場合、ライト・サイクルではチップ・セレクトはアサートされません。

 $\overline{DTACK}$ —データ・ストローブ・アクノリッジ

このフィールドは非同期モードでの DTACK のソースを指定します。また、ユーザが挿入するウェイト・ステート数を制御することによって、ユーザがバス・タイミングを内部 DTACK の生成に合わせて調整することができます。この機能によって特定アプリケーションでのバス速度を最適化することが可能です。以下の表に DTACK フィールドのエンコーディングを示します。ノー・ウェイト・ステート・エンコーディング (%0000) は、2 クロック・サイクル・バスに対応します。

複数の ACS のチップ・セレクトを同じベース・アドレスでプログラムする場合は、DTACK ウェイト・ステートも同じ値にセットしなければなりません。

DTACK ピンが使用可能なときには、常に内部で生成された DTACK よりも外部で生成された DTACK が優先させることに注意してください。これは外部 DTACK が内部 DTACK より早く発生したときは、内部 DTACK ではなく外部 DTACK よりバス・サイクルを終了させることを意味します。

表 55 DTACK フィールドのエンコーディング

DTACK	説 明	
	1 バス・サイクルの Wait 数	1 バス・サイクルの システムクロック数
0000	No Wait States	2 システム・クロック
0001	1 Wait State	3 システム・クロック
0010	2 Wait States	4 システム・クロック
0011	3 Wait States	5 システム・クロック
0100	4 Wait States	6 システム・クロック
0101	5 Wait States	7 システム・クロック
0110	6 Wait States	8 システム・クロック
0111	7 Wait States	9 システム・クロック
1000	8 Wait States	10 システム・クロック
1001	9 Wait States	11 システム・クロック
1010	10 Wait States	12 システム・クロック
1011	11 Wait States	13 システム・クロック
1100	12 Wait States	14 システム・クロック
1101	13 Wait States	15 システム・クロック
1110	14 Wait States	16 システム・クロック
1111	DTACK ピンのアサートまで	DTACK ピンのアサートまで

## SPACE— アドレス空間

このオプション・フィールドは、チップ・セレクト・ロジックのアドレス空間を選択するのに使  
用します。CPU16 は通常スーパーバイザ空間で動作します。以下の表を参照してください。

表 56 SPACE フィールドのエンコーディング

SPACE フィールド	アドレス空間
00	予約済み
01	ユーザ空間
10	スーパーバイザ空間
11	スーパーバイザ / ユーザ空間

## PROG/DATA— プログラム・データ空間

PROG/DATA フィールドは、プログラムおよびデータ空間を選択するのに使用します。以下の表を  
参照してください。

表 57 PROG/DATA フィールドのエンコーディング

PROG/DATA フィールド	アドレス空間
00	プログラムまたはデータ
01	データ空間
10	プログラム空間
11	予約済み

## 4.5 システム接続例

以下の図は、補助チップ・セレクトとSLIMチップ・セレクトを使用したシステムの接続例を示します。

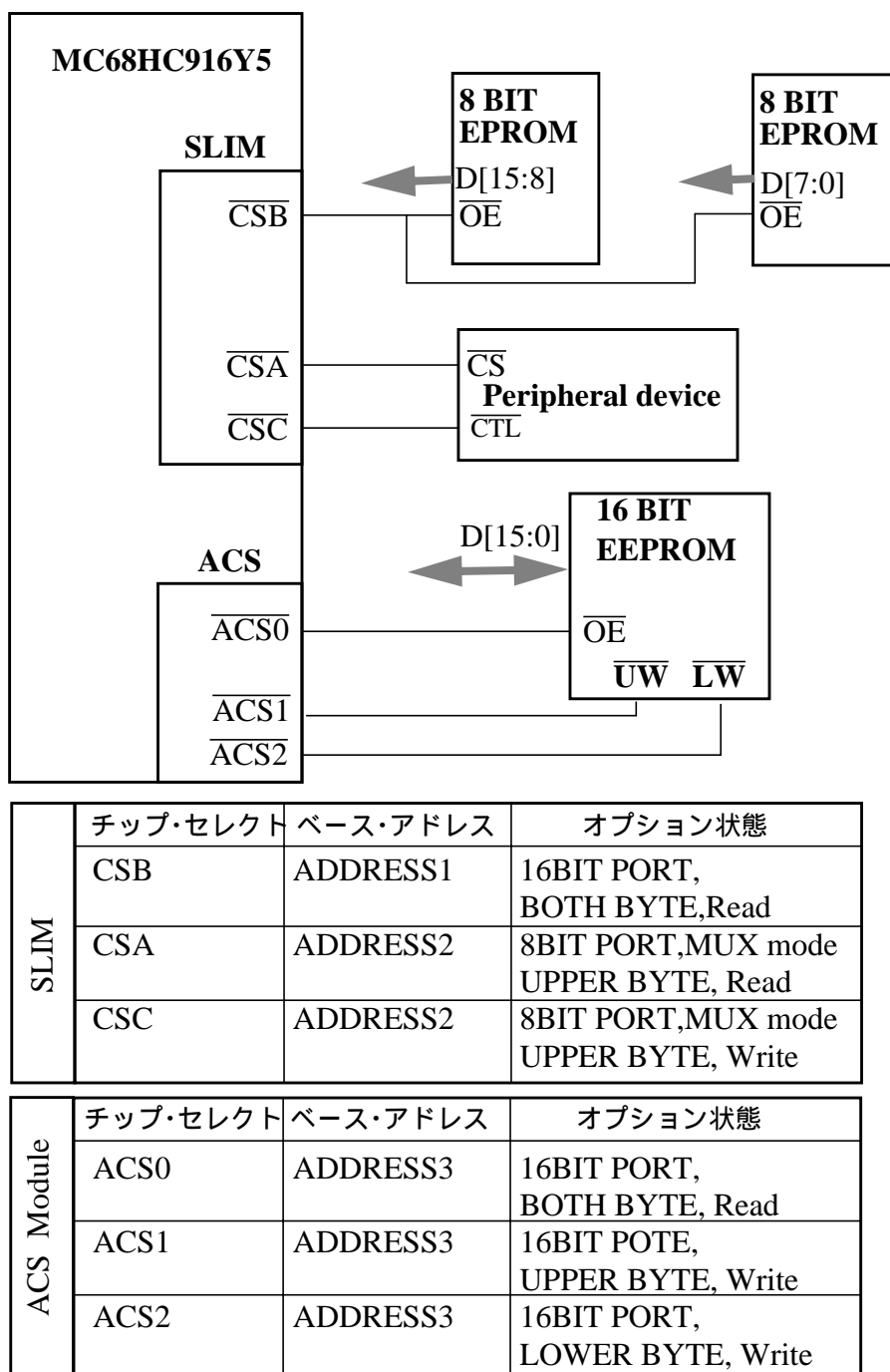


図 17 ACS のシステム接続例



## 第 5 章

# タイム・プロセッサ・ユニット 2

モトローラの高性能タイム・プロセッサ・ユニット 2 (TPU2) は、タイミング制御用に設計されたインテリジェントな半自律型マイクロコントローラです。TPU2 は CPU と並行して動作し、CPU の存在なしに ROM マイクロ命令の処理、リアルタイム・ハードウェア・イベントのスケジューリングおよび処理、入出力動作、共有データへのアクセスを実行します。その結果、各タイマ・イベントに対する CPU のセットアップ時間やサービス時間は短縮されるか排除されています。次に TPU2 の簡略ブロック図を示します。

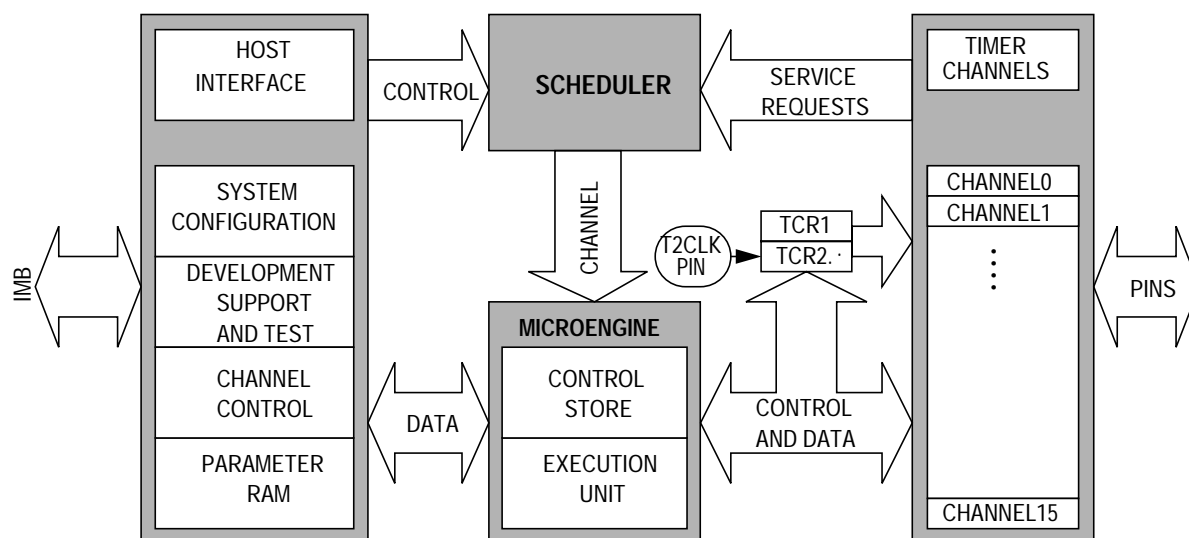


図 18 TPU2 のブロック図

### 5.1 概要

TPU2 機能は、ホスト CPU の割込みサービスを必要とするソフトウェア機能に代わるものです。本書ではタイマ機能の詳細については触れていません。特定の機能の詳しい説明は、『Using the TPU Function Library and TPU Emulation Mode (TPUPN00/D)』および他の TPU プログラミング・ノートを参照してください。標準 TPU2 マイクロコード ROM には、以下のとおり、工場でプログラムされたタイマ機能が実装されています。

- ・ ディスクリット入力 / 出力 (DIO)
- ・ 新しい入力キャプチャ / トランジション・カウンタ (NITC)
- ・ 出力コンペア (OC)
- ・ パルス幅変調 (PWM)
- ・ 同期パルス幅変調 (SPWM)
- ・ マルチチャンネル・パルス幅変調 (MCPWM)

- ・ テーブル・ステッパ・モータ (TSM)
- ・ 周期 / パルス幅アキュムレータ (PPWA)
- ・ 高速クワドラチャ・デコード (FQD)
- ・ キュー付き出力マッチ (QOM)
- ・ プログラマブル・タイム・アキュムレータ (PTA)
- ・ ユニバーサル非同期レシーバ / トランスミッタ (UART)
- ・ ブラシレス・モータ転流 (COMM)
- ・ 周波数測定 (FQM)
- ・ ホール効果デコード (HALLD)
- ・ シリアル入力 / 出力ポート (SIOP)

## 5.2 プログラマーズ・モデル

TPU2 のコントロール・レジスタのアドレス・マップは、512 バイトを占有します。512 バイトのアドレス空間内の未使用レジスタを読み出すとゼロを返します。

表 58 TPU2 アドレス・マップ

Address	15	8	7	0
\$YFFE00	TPU2 MODULE CONFIGURATION REGISTER (TPUMCR)			
\$YFFE02	TEST CONFIGURATION REGISTER (TCR)			
\$YFFE04	DEVELOPMENT SUPPORT CONTROL REGISTER (DSCR)			
\$YFFE06	DEVELOPMENT SUPPORT STATUS REGISTER (DSSR)			
\$YFFE08	TPU INTERRUPT CONFIGURATION REGISTER (TICR)			
\$YFFE0A	CHANNEL INTERRUPT ENABLE REGISTER (CIER)			
\$YFFE0C	CHANNEL FUNCTION SELECTION REGISTER 0 (CFSR0)			
\$YFFE0E	CHANNEL FUNCTION SELECTION REGISTER 1 (CFSR1)			
\$YFFE10	CHANNEL FUNCTION SELECTION REGISTER 2 (CFSR2)			
\$YFFE12	CHANNEL FUNCTION SELECTION REGISTER 3 (CFSR3)			
\$YFFE14	HOST SEQUENCE REGISTER 0 (HSQR0)			
\$YFFE16	HOST SEQUENCE REGISTER 1 (HSQR1)			
\$YFFE18	HOST SERVICE REQUEST REGISTER 0 (HSRR0)			
\$YFFE1A	HOST SERVICE REQUEST REGISTER 1 (HSRR1)			
\$YFFE1C	CHANNEL PRIORITY REGISTER 0 (CPR0)			
\$YFFE1E	CHANNEL PRIORITY REGISTER 1 (CPR1)			
\$YFFE20	CHANNEL INTERRUPT STATUS REGISTER (CISR)			
\$YFFE22	LINK REGISTER (LR)			
\$YFFE24	SERVICE GRANT LATCH REGISTER (SGLR)			
\$YFFE26	DECODED CHANNEL NUMBER REGISTER (DCNR)			
\$YFFE28	TPU2 MODULE CONFIGURATION REGISTER 2 (TPUMCR2)			

Y=M111。ここで、M は SLIMCR のモジュール・マップ・ビットの論理状態を表わします。M68HC16 デバイスでは、M は 1 でなければなりません。

## 5.3 TPU2 の構成要素

TPU2 モジュールは、2 つの 16 ビット・タイム・ベース、16 本の独立したタイマ・チャネル、タスク・スケジューラ、マイクロエンジン、およびホスト・インタフェースで構成されています。さらに、TPU2 がデータの記憶やモジュールとホスト CPU との間でパラメータを受渡しするのに使用する、デュアル・ポート・パラメータ RAM もあります。

### 5.3.1 タイム・ベース

2 個の 16 ビット・カウンタが、すべての出力コンペアおよび入力キャプチャ・イベントに対する基準タイム・ベースを提供します。2 つのタイム・ベース用のプリスケアラは、TPU2 モジュール・コンフィギュレーション・レジスタ (TPUMCR、TPUMCR2) のビット・フィールドを使用してホスト CPU が制御します。TCR1 クロックはシステム・クロックから得ることができます。TCR2 クロックはシステム・クロックから、あるいは T2CLK ピンを通して外部クロック入力から得ることができます。

### 5.3.2 タイマ・チャネル

TPU2 は、それぞれ MCU ピンに接続されている 16 本の独立したチャネルを備えています。これらのチャネルのハードウェアは、チャネル 15 を除いて同じです。チャネル 15 には出力ディセーブル・ロジックが追加されています。各ピンの方向 (出力または入力) は、TPU2 が制御します。

### 5.3.3 スケジューラ

スケジューラはマイクロエンジンがサービスを行なう TPU チャネルを決定します。ホスト・システムは、各アクティブ・チャネルに、高・中・低の 3 つの優先順位の 1 つを割り当てます。複数のサービス要求を同時に受け取った場合、プライオリティ・スケジューリング機構が、割り当てられた優先順位とチャネル番号に基づいてサービスを許可します。

### 5.3.4 マイクロエンジン

マイクロエンジンは、コントロール・ストアと実行ユニットで構成されています。コントロール・ストア ROM には、工場でマスクされた各タイマ機能のマイクロコードが格納されています。

### 5.3.5 ホスト・インタフェース

CPU はホスト・インタフェース・レジスタを使用して TPU2 を制御することができます。CISR を除くすべての TPU2 レジスタは、ワード操作でアクセスしなければなりません。CISR はバイトまたはワード操作でアクセスできます。ホスト・インタフェース・レジスタは IMB からアクセス可能です。

### 5.3.6 パラメータ RAM

パラメータ RAM は、TPU2 およびホスト CPU 用のデュアル・ポート型コミュニケーション RAM で、TPU2 モジュール・アドレス・マップの先頭の 256 バイトを占有します。パラメータ RAM は、TPU2 が使用する定数や変数も記憶します。チャネル・パラメータは、128 x 16 ビット・ワードとして構成されます。以下のパラメータ RAM のアドレス・マップに、メモリ内のパラメータ・ワードの編成を示します。

表 59 TPU2 パラメータ RAM のアドレス・マップ

Channel Number	Base Address	Parameter Address							
		0	1	2	3	4	5	6	7
0	\$YFFFF##	00	02	04	06	08	0A	0C	0E
1	\$YFFFF##	10	12	14	16	18	1A	1C	1E
2	\$YFFFF##	20	22	24	26	28	2A	2C	2E
3	\$YFFFF##	30	32	34	36	38	3A	3C	3E
4	\$YFFFF##	40	42	44	46	48	4A	4C	4E
5	\$YFFFF##	50	52	54	56	58	5A	5C	5E
6	\$YFFFF##	60	62	64	66	68	6A	6C	6E
7	\$YFFFF##	70	72	74	76	78	7A	7C	7E
8	\$YFFFF##	80	82	84	86	88	8A	8C	8E
9	\$YFFFF##	90	92	94	96	98	9A	9C	9E
10	\$YFFFF##	A0	A2	A4	A6	A8	AA	AC	AE
11	\$YFFFF##	B0	B2	B4	B6	B8	BA	BC	BE
12	\$YFFFF##	C0	C2	C4	C6	C8	CA	CC	CE
13	\$YFFFF##	D0	D2	D4	D6	D8	DA	DC	DE
14	\$YFFFF##	E0	E2	E4	E6	E8	EA	EC	EE
15	\$YFFFF##	F0	F2	F4	F6	F8	FA	FC	FE

## 5.4 TPU2 の機能

### 5.4.1 イベントのタイミング

マッチ・イベントとキャプチャ・イベントは、独立したチャンネル・ハードウェアによって扱われます。このため、アクティブなチャンネル数に関係なく、1 タイム・ベース・クロック周期の精度でイベントが処理されます。

多くのタイマ・システムでは、各ピンに割り当てられる機能数は一定であり機能的に制約されていました。TPU2 チャンネルは、チャンネル 15 を除いてすべて同じハードウェアを内蔵しており、動作面でも機能的な違いがないため、どのチャンネルでも自由に必要なタイマ機能を実行するように構成できます。チャンネル 15 には、通常の TPU2 チャンネルまたは出力ディセーブル・ピンとして構成できるよう、ロジック回路が付加されています。

### 5.4.2 チャンネル間通信

TPU2 では、あるチャンネルが CPU の介在なしで、他の 1 本または複数のチャンネルの動作に影響を与えることができ、一段と独自性が強化されています。チャンネル間通信により、1 本のチャンネルで複数のチャンネルを制御したり、複数の機能が互いに作用しあうことができます。

### 5.4.3 プログラム可能なチャンネルのサービス優先順位

TPU2 は、要求度の高い機能が頻繁にサービスされるよう、また優先レベルに関係なく、サービスを要求しているすべてのチャンネルに最小時間が割り振られるよう保証するために、2 つの優先方式を提供しています。1 つは異なる優先レベルをもつ複数の要求チャンネルに対する優先順位の設定であり、もう

1 つは同じ優先レベルをもつ要求チャネルに対する優先順位の設定です。同じ優先順位をもつ複数のチャネルが同時にサービスを要求したときは、チャネル番号に従って調停が行なわれます。

## 5.4.4 コヒーレンシ

データがコヒーレントであるためには、データの利用可能なすべての部分の世代が同じか、論理的に関連していなければなりません。たとえば、2 つの 16 ビット・ワードとして読み書きされる 32 ビットのカウント値があるとします。この 32 ビット値は、両方の 16 ビット部分が同時に更新された場合にのみリード・コヒーレントであり、両方の 16 ビット部分が同時に有効になった場合にのみライト・コヒーレントです。パラメータ RAM のハードウェアは、隣接する 2 つの 16 ビット・パラメータのコヒーレント・アクセスをサポートしています。ホスト CPU は、ロング・ワード操作を使用してコヒーレンシを保証しなければなりません。

## 5.5 タイマ機能

以下の項では、MC68HC(9)16Y5/916Y6 に実装されている TPU 機能について説明します。本書ではこれらの機能の詳しい説明は省きます。詳細については、『Using the TPU Function Library and TPU Emulation Mode (TPUPN00/D)』や他の TPU プログラミング・ノートを参照してください。

### 5.5.1 ディスクリット入力 / 出力 (DIO)

ピンをディスクリット入力として使用しているとき、パラメータはピンの現在の入力レベルと、それより前の 15 レベルを示します。パラメータの最上位ビットであるビット 15 が最新の状態です。ビット 14 は次に新しい状態を示します。以下同様です。プログラマは次の 3 つの条件の中から 1 つを選択してパラメータを更新できます。

1. 遷移が発生するとき
2. ホスト CPU が要求を行なうとき
3. 別のパラメータに指定されたレートでのマッチが発生するとき

ピンをディスクリット出力として使用しているときには、CPU の要求によってしか “H” または “L” に設定できません。

### 5.5.2 出力コンペア (OC)

出力コンペア機能は、次の 3 つの方法のいずれかを用いて、立上りエッジ、立下りエッジ、または前のエッジの反転エッジ ( トグル動作 ) を生成することができます。

- ・ CPU が始動した直後に、プログラム可能な遅延時間に等しい長さのパルスを生じます。
- ・ ユーザが指定した時間からプログラム可能な遅延時間後に生成します。
- ・ 連続生成。チャネルからリンクを受け取ると、出力コンペア機能は CPU の介在なしで、指定された周期を参照して、次式によりオフセットを計算します。

オフセット = 周期 \* 比率

この場合の比率は、ユーザが設定するパラメータです。

このアルゴリズムは、各 “L” “H” / “L” 時間が計算されたオフセット値と等しい、50% デューティ・サイクルの連続方形波を生じます。オフセット計算のため、連続パルス生成が開始される前に初期リンク時間があります。

### 5.5.3 パルス幅変調 (PWM)

TPU2 は 0 ~ 100% のデューティ・サイクル (TPU2 の分解能および待ち時間の範囲内で) のパルス幅変調 (PWM) 波形を生成することができます。CPU は、PWM を定義するために、周期を示すパラメータと “H” 時間を示す別のパラメータを用意しています。これらのパラメータの一方または両方を更新して、すぐに、あるいはピンの次の “L” から “H” への遷移に同期して波形を変化させるよう指示できます。

## 5.5.4 同期パルス幅変調 (SPWM)

TPU2 はパルス幅変調 (PWM) 波形を発生しますが、この波形の周期と “H” 時間は CPU がいつでも変更できます。第 2 チャンネルのタイマ機能と同期をとれば、同期 PWM の “L” から “H” への遷移と第 2 チャンネルの遷移に、時間的な関係をもたせることができます。

## 5.5.5 周期 / パルス幅アキュムレータ (PPWA)

周期 / パルス幅アキュムレータ・アルゴリズムは、プログラム可能な周期数またはパルス数 (1 から 255 まで) の期間に、入力信号の周期またはパルス幅の 16 ビットまたは 24 ビット合計値を累積します。累積期間が終了した後、このアルゴリズムは、8 チャンネルまでのシーケンシャル・ブロックへのリンクを生成することができます。ユーザは、ブロックの開始チャンネルとブロック内のチャンネル数を指定します。リンクの生成は、動作モードによって異なります。任意のチャンネルを使用して、入力信号の累積周期数を測定可能です。累積パラメータには最大 24 ビットまで使用できます。1 ~ 255 周期の測定を実行して、TPU2 が CPU に割り込む前にそれまでの測定値に加算すれば、周波数の瞬間測定または平均測定、および (プログラムされた周期数の期間にわたり) 最新の完全な累積測定を行なうことができます。

入力信号のパルス幅 (“H” 時間部分) は (最高 24 ビットまで) 測定可能で、プログラム可能な周期数 (1 ~ 255) の期間にわたり、それまでの測定値に加算することができます。これによって瞬間的または平均的パルス幅測定値能力が実現でき、常に (指定周期数の期間) 最新の完全な累積数がパラメータで得られます。出力コンペア機能を PPWA と組み合わせて使用することにより、指定された入力信号に比例する出力信号を生成できます。入力と出力周波数の比率は、プログラム可能です。異なる周波数を持ちながら、ある 1 つの入力信号に比例し同期する出力信号を 1 つまたはそれ以上、個別のチャンネルで生成できます。

## 5.5.6 テーブル・ステッパ・モータ (TSM)

TSM は、最高 58 のプログラム可能なステップ・レート数で、ステッパ・モータの直線加速および減速制御を行ないます。TSM はアルゴリズムではなく、PRAM のテーブルを使ってステッパ・モータの加速プロファイルを定義するため、ユーザがプロファイルを完全に定義することができます。加えて、スルー・レート・パラメータにより、加速テーブルからは独立して、モータのターミナル運転速度を細かく制御することができます。CPU は希望の位置を書き込むだけでよく、TPU2 が所要位置までモータを加速・定速・減速します。2 相モータに対してフル・ステップおよびハーフ・ステップ動作がサポートされています。さらに、スルー・レート・パラメータにより、加速テーブルに関係なくモータのターミナル運転速度を細かく制御することができます。

## 5.5.7 新しい入力キャプチャ / トランジション・カウンタ (NITC)

TPU2 のどのチャンネルでも、遷移が発生するたびに、あるいは指定した回数の遷移が発生したときに、指定 TCR またはパラメータ RAM の指定ロケーションの値をキャプチャして割り込み要求を発行し、バス・マスタに通知することができます。最後に発生した 2 つの遷移の時間がパラメータ RAM 内に保持されます。チャンネルは入力キャプチャを間断なく実行できます。また 1 回の遷移または指定回数の遷移を検出したら再初期化されるまでチャンネル・アクティビティを中止することができます。各遷移の後または指定回数の遷移の後で、チャンネルは他のチャンネルへのリンクを生成することができます。

## 5.5.8 キュー付き出力マッチ (QOM)

QOM はパラメータ RAM のオフセット・テーブルから 1 つまたは複数の出力マッチ・イベントを生成することができます。ループ・モードでは複合パルス列を 1 回、指定回数または連続して生成できます。この機能は別の TPU2 チャンネルからのリンクによってトリガできます。さらに、マッチ・シーケンスのための基準時間を別のチャンネルから得ることができます。QOM は、ハイ・タイムが 0% または 100% の波形を含むパルス幅変調波形を生成できます。また QOM により、TPU2 チャンネルをディスクリート出力ピンとして使用することもできます。

## 5.5.9 プログラマブル・タイム・アキュムレータ (PTA)

PTA は、合計 “H” 時間、“L” 時間または入力信号の周期の 32 ビット・サムをプログラム可能な周期数またはパルス数で累積します。周期アキュムレーションは立上りエッジまたは立下りエッジで開始できます。指定した周期数またはパルス数の後で、PTA は割込み要求を発行し、オプションで他のチャンネルへのリンクを生成します。

1 ~ 255 の周期測定を行なうことができ、TPU2 が CPU に割り込む前に以前の測定と合計することによって、瞬時または平均周波数測定機能および最新の完全なアキュムレーション（プログラムされた周期数の期間）を実現しています。

## 5.5.10 マルチチャンネル・パルス幅変調 (MCPWM)

MCPWM は、他の TPU2 のアクティビティには関係なく、完全な 0% から 100% までのデューティ・サイクル範囲でパルス幅変調出力を生成します。これには 2 本の TPU2 チャンネルと、1 本の PWM チャンネル用外部ゲートが必要です（単純な 1 チャンネル PWM 能力は、QOM 機能でサポートされています）。

MCPWM で生成される複数の PWM には、エッジ・アラインとセンタ・アラインの 2 種類のハイ・タイム・アライメントがあります。エッジ・アライン・モードは、n 個の PWM について n+1 本の TPU2 チャンネルを使用し、センタ・アライン・モードは 2n+1 本のチャンネルを使用します。センタ・アライン・モードでは、ユーザ定義のデッド・タイム<sup>1</sup>を指定して、破壊的な電流スパイクを発生させないで 2 個の PWM で H ブリッジをドライブすることができます。この機能はモータ制御アプリケーションで重要です。

## 5.5.11 高速クワドラチャ・デコード (FQD)

FQD はモータ制御のための位置フィードバック機能です。スロット付きエンコーダからの 2 つの信号をデコードして、CPU に 16 ビットのフリー・ランニング位置カウンタを提供します。FQD には、高速でチャンネルの 1 本をディセーブルする CPU 選択 “スピード・スイッチ” を内蔵しており、高速で信号をデコードできます。各カウンタ・アップデートでタイム・スタンプが供給されるため、位置補間が可能であり、また、低速時または低分解能エンコーダ使用時に、より適切に速度を決めることができます。一部のエンコーダにある第 3 のインデックス・チャンネルは、NITC 機能で対応しています。

## 5.5.12 ユニバーサル非同期レシーバ / トランスミッタ (UART)

UART 機能は、1 本または 2 本の TPU2 チャンネルを使用して非同期通信を行ないます。データ・ワード長は、1 ~ 14 ビットでプログラム可能です。この機能は偶数、奇数、およびノー・パリティの検出と生成をサポートします。ボー・レートは自由にプログラムでき、100K ボー以上も可能です。TPU2 では、9600 ボー以上で動作する 8 本の双方向 UART チャンネルを実現できます。

## 5.5.13 ブラシレス・モータ転流 (COMM)

この機能は、各種ブラシレス DC モータ用の位相転流信号を生成します。FQD にデコードされた位置、または HALLD 機能から直接転流状態を得ています。

状態シーケンスは、ユーザが構成可能な状態マシンとして実現されており、これによって、他の汎用アプリケーションで柔軟なアプローチが可能になります。CPU オフセット・パラメータが用意されており、動作中に CPU がすべてのスイッチング角を進めたり遅らせたりすることができます。

## 5.5.14 周波数測定 (FQM)

FQM は、ユーザ定義ウィンドウ周期の間、TPU2 チャンネルへの入力パルス数をカウントします。この機能には、シングル・ショット・モードと連続モードがあります。連続モードでは、サンプル・ウィンドウの間でパルスが失われることはありません。ユーザは、立上りエッジと立下りエッジのどちらでパルスを検出するかを選択します。この機能は、高速測定を目的としたもので、ノイズ除去機能付き低速パルス測定は PTA で実行できます。

## 5.5.15 ホール効果デコード (HALLD)

この機能はブラシレス・モータからのセンサ信号と CPU からの方向入力を合わせて、状態番号にデコードします。この機能は、2 センサまたは 3 センサ・デコーディングをサポートします。デコードされた状態番号は COMM チャンネルに書き込まれ、必要な転流ドライブ信号を出力します。この機能は、ブラシレス・モータ・アプリケーションだけでなく、オプション・スイッチのデコーディングなど、より一般的なアプリケーションに応用できます。

## 5.5.16 シリアル入力 / 出力ポート (SIOP)

SIOP 機能は 2 本または 3 本の TPU2 チャンネルを使用して、単方向または双方向同期シリアル・ポートを形成し、多種多様な周辺デバイスと通信を行なうのに使用できます。ボー・レートやデータ転送サイズなどの機能は、ユーザがプログラムできます。この場合は、1 本の TPU2 チャンネルだけが使用されます。この機能はクロックだけを発生させることも可能です。

## 5.6 TPU2 レジスタ

TPU2 のメモリ・マップには、システム・コンフィギュレーション・レジスタ、チャンネル・コントロール・レジスタおよびステータス・レジスタ、そして開発サポート・レジスタおよびテスト検証レジスタがあります。

### 5.6.1 システム・コンフィギュレーション・レジスタ

TPUMCR—TPU2 モジュール・コンフィギュレーション・レジスタ														\$YFFE00	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP	TCR1P		TCR2P		EMU	T2CG	STF	SUPV	PSCK	TPU2	T2CSL	IARB			
RESET:															
0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0

STOP— ストップ・ビット

- 0 = TPU2 は通常どおり動作する。
- 1 = 内部クロックが停止する。

TCR1P— タイマ・カウント・レジスタ 1 プリスケアラ制御

TCR1 カウンタは、システム・クロックの 2、4、8、16、32、64、128、または 256 のレートでインクリメントすることができます。TCR1P ビットで、プリスケアラの分周比を 1、2、4、8 に設定します。また、TPUMCR2 レジスタの TCR1P、PSCK、および DIV2 で TCR1 カウンタのレートを決定します。DIV2 がゼロのとき、TCR1 のインクリメント・レートは、以下の表 (システム・クロックが 16MHz の場合) で定義されます。

表 60 TCR1 のインクリメント・レート

TCR1P	Divide By	PSC=0		PSC=1	
		Number of Clocks	Rate at 16 MHz	Number of Clocks	Rate at 16 MHz
00	1	32	2 $\mu$ s	4	250 ns
01	2	64	4 $\mu$ s	8	500 ns
10	4	128	8 $\mu$ s	16	1 $\mu$ s
11	8	256	16 $\mu$ s	32	2 $\mu$ s



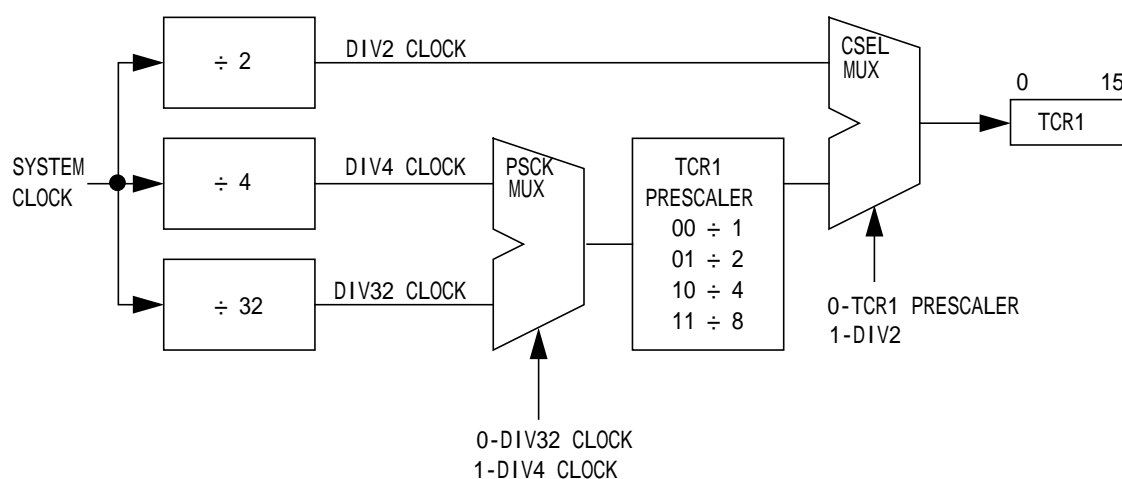


図 19 プリスケラ制御 1

## TCR2P— タイマ・コントロール・レジスタ 2 プリスケラ制御

TCR2 はプリスケラの出力からクロックが供給されます。T2CG=0 の場合、TCR2 プリスケラへの入力は、外部 TCR2 クロック・ソースになります。T2CG=1 の場合、入力は TPU2 システム・クロック ÷ 8 になります。TCR2P フィールドは、プリスケラの値として、1、2、4、または 8 を指定できます。TCR2 を使用するチャンネルは、TPU システム・クロックを 8 分周まで分解できる能力を備えています。以下の表はプリスケラ出力を要約したものです。

表 61 プリスケラ出力

TCR2P	分周比	内部クロック分周比	外部クロック分周比
00	1	8	1
01	2	16	2
10	4	32	4
11	8	64	8

## EMU— エミュレーション制御

EMU ビットはマイクロコードのエミュレーションに使用されます。

## T2CG—TCR2 クロック / ゲート制御

このコントロール・ビットと T2CSL コントロール・ビットで TCR2 のクロック・ソースを決定します。表 62 を参照してください。

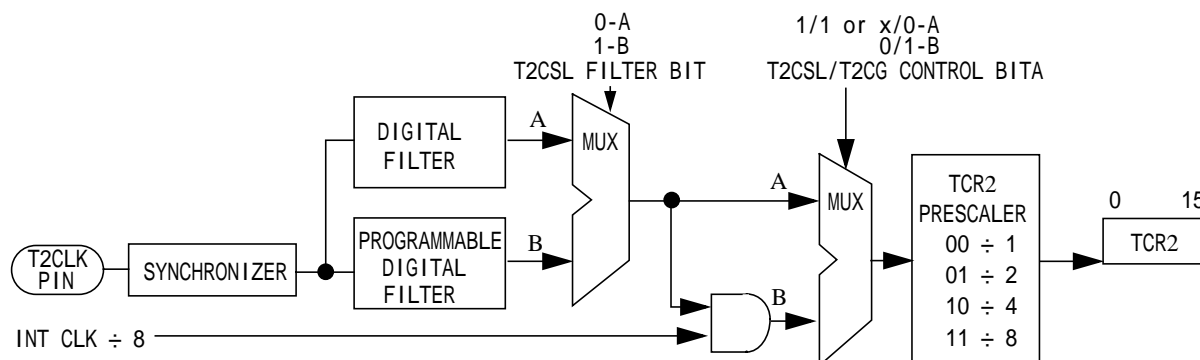


図 20 プリスケラ制御 2

## STF—ストップ・フラグ

- 0 = TPU は動作中。  
1 = TPU は停止 (STOP ビットがアサートされた)。

## SUPV—スーパーバイザ・データ空間

- CPU16 ベースのデバイスは常にスーパーバイザ・モードで動作します。  
0 = 割当て可能なレジスタは無制約 (FC2 は無視される)。  
1 = 割当て可能なレジスタが制約される (FC2 がデコードされる)。

## PSCK—プリスケラ・クロック

- 0 = システム・クロック /32 が TCR1 プリスケラへの入力。  
1 = システム・クロック /4 が TCR1 プリスケラへの入力。

## TPU2—TPU2 イネーブル

- TPU2 で TPU コードを実行するときに使用します。このビットは、1 回だけ書き込むことができるビットで、 $\mu$ PC とブレークポイント・レジスタがスキャンするビット数 (9 ビットまたは 11 ビット) と、パラメータのプリロードを制御します。  
0 = TPU モード。マイクロ ROM のエントリ・ポイントのビット 10 により決定されるパラメータ RAM のプリロード、そして  $\mu$ PC およびブレークポイント・レジスタの 9 ビット・スキャン。  
1 = TPU2 モード。 $\mu$ PC およびブレークポイント・レジスタの 11 ビット・スキャン。

## T2CSL—TCR2 カウンタ・クロック・ソース

このビットと TPUMCR の T2CG コントロール・ビットによって、TCR2 のクロック・ソースとエッジ検出を決定します。

表 62 TCR2 カウンタのクロック・ソース

T2CSL	T2CG	TCR2 Clock
0	0	Rise transition T2CLK
0	1	Gated
1	0	Fall transition T2CLK
1	1	Rise and fall transition T2CLK

## IARB—割込み調停番号

このフィールドには、複数のモジュールまたは周辺デバイスが同じ優先レベルの割込みをもって、インタモジュール・バスの調停を行なうために使用する TPU2 の調停番号があります。

## TPUMCR2—TPU2 モジュール・コンフィギュレーション・レジスタ 2

\$YFFE28

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							DIV2	SOFT ST	ETBANK[1:0]		FPSCK[2:0]			T2CF	DTPU

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

DIV2— $\div 2$  制御

- 0 = TCR1 は TPUMCR レジスタの TCR1P および PSCK フィールドのコントロール・ビットによって決定されるレートでインクリメントされる。  
1 = TCR1 カウンタは 2 システム・クロックのレートでインクリメントされる。

表 63 ( $\div 2$ ) の制御

DIV2	PSCK	TCR1P	Clocks	Rate at 16.7 MHz	Rate at 20 MHz
1	X	XX	2	125 ns	100 ns

## SOFTTRST—ソフト・リセット

このビットと TPUMCR の STOP ビットがセットされているときには、TPU2 は内部リセットを実行します。TPU2 をリセットから解放するには、CPU がこのビットにゼロを書き込まなければなりません。SOFTTRST は 9 クロックの間アサートする必要があります。

0 = 通常動作

1 = ビットがクリアされるまで TPU2 をリセット状態に置く。

## ETBANK[1:0]—エントリ・テーブル・バンク・セレクト

エントリ・テーブルのバンク・ロケーションを決定します。これらのコントロール・ビットはリセット後に 1 回だけ書き込まれます。ETBANK はマイクロコードに複数のエントリ・テーブルが含まれているときに使用されます。ROM 機能を実行するには、ETBANK は 00 でなければなりません。

表 64 エントリ・テーブルのバンク・ロケーション

ETBANK	BANK
00	0
01	1
10	2
11	3

## FPSCK[2:0]—フィルタ・プリスケラ・クロック

システム・クロック周波数とデジタル・フィルタ・クロックとの比率を決定します。これらのビットのリセット値はゼロで、フィルタ・クロックを 4 システム・クロックとして定義します。

表 65 システム・クロック周波数 / 最小保証検出パルス

フィルタ制御	分周比	16.7 MHz	20 MHz
000	2	240 ns	200 ns
001	4	360 ns	300 ns
010	8	600 ns	500 ns
011	16	1.08 $\mu$ s	900 ns
100	32	2.04 $\mu$ s	1.7 $\mu$ s
101	64	3.96 $\mu$ s	3.3 $\mu$ s
110	128	7.8 $\mu$ s	6.5 $\mu$ s
111	256	15.48 $\mu$ s	12.9 $\mu$ s

## T2CF—T2CLK ピン・フィルタ制御

このコントロール・ビットはリセット後に 1 回だけ書き込むことができます。

0 = 固定 4 クロック・フィルタを使用する。

1 = T2CLK 入力ピンをチャンネルに供給されるのと同じフィルタ・クロックでフィルタする。

## DTPU—TPU2 ピン・ディセーブル

このコントロール・ビットはリセット後に 1 回だけ書き込むことができます。

0 = TP15 は通常の TPU2 チャンネルとして機能する。

1 = TP15 ピンは出力ディセーブル・ピンとして構成される。

TPU15 ピンがゼロのとき、ピンの機能に関係なくすべての TPU2 出力ピンがハイ・インピーダンス状態になる。

## TICR—TPU2 割込みコンフィギュレーション・レジスタ

\$YFFE08

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED					CIRL			CIBV				NOT USED			
RESET:															
					0	0	0	0	0	0	0				

## CIRL—チャンネル割込み要求レベル

すべてのチャンネルの割込み要求レベルは、この3ビット・エンコード・フィールドで指定されます。このフィールドのレベル7はノンマスカブル割込みを示します。レベル・ゼロはすべてのチャンネルの割込みがディセーブルされていることを示します。

## CIBV—チャンネル割込みベース・ベクタ

TPU2 には、各チャンネルに1つずつ、16の固有の割込みベクタ番号が割り当てられています。CIBV フィールドは、16すべてのTPU2チャンネル割込みベクタ番号の最上位ニブルを指定します。TPU2 割込みベクタ番号の下位ニブルは、割込みが発生したチャンネルの番号によって決まります。

送信する情報は右詰め形式で送信データに書き込まなければなりません。QSPI が送信データ RAM 内の情報を変更することはできません。QSPI は送信に備えて情報をデータ・シリアライザにコピーします。情報は上書きされるまで送信 RAM に入ったままです。

## 5.6.2 チャンネル・コントロール・レジスタ

## CIER—チャンネル割込みイネーブル・レジスタ

\$YFFE0A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH15	CH14	CH13	CH12	CH11	CH10	CH9	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## CH[15:0]—チャンネル割込みイネーブル / ディセーブル

0 = チャンネル割込みをディセーブルする。

1 = チャンネル割込みをイネーブルする。

## CISR—チャンネル割込みステータス・レジスタ

\$YFFE20A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH15	CH14	CH13	CH12	CH11	CH10	CH9	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## CH[15:0]—チャンネル割込みステータス・ビット

0 = チャンネル割込みはアサートされない。

1 = チャンネル割込みがアサートされる。

## CFSR0—チャンネル機能セレクト・レジスタ 0

\$YFFE0C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
CHANNEL15					CHANNEL14					CHANNEL13					CHANNEL12				
RESET:																			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				

## CFSR1—チャンネル機能セレクト・レジスタ 1

\$YFFE0E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
CHANNEL11					CHANNEL10					CHANNEL9					CHANNEL8				
RESET:																			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				

## CFSR2— チャンネル機能セレクト・レジスタ 2

\$YFFE10

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHANNEL7				CHANNEL6				CHANNEL5				CHANNEL4			
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## CFSR3— チャンネル機能セレクト・レジスタ 3

\$YFFE12

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHANNEL3				CHANNEL2				CHANNEL1				CHANNEL0			
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

チャンネル [15:0]— 各チャンネルに対しエンコードされたタイマ機能

チャンネル機能選択レジスタのエンコードされた 4 ビット・フィールドは、対応するチャンネルで実行する 16 のタイマ機能のうちの 1 つを指定します。

## HSQR0— ホスト・シーケンス・レジスタ 0

\$YFFE14

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH15	CH14	CH13	CH12	CH11	CH10	CH9	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## HSQR1— ホスト・シーケンス・レジスタ 1

\$YFFE16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CH[15:0]— エンコードされたホスト・シーケンス

ホスト・シーケンス・フィールドは、あるチャンネルで選択されたタイマ機能の動作モードを選択します。ホスト・シーケンス・ビットの意味は、指定されたタイマ機能によって異なります。

## HSRR0— ホスト・サービス要求レジスタ 0

\$YFFE18

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH15	CH14	CH13	CH12	CH11	CH10	CH9	CH8	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## HSRR1— ホスト・サービス要求レジスタ 1

\$YFFE1A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CH[15:0]— エンコードされたホスト・サービスのタイプ

ホスト・サービス要求フィールドは、あるチャンネルで選択されたタイマ機能に対するホスト・サービス要求の種別を選択します。ホスト・サービス要求ビットの意味は、指定されたタイマ機能によって異なります。%00 にクリアされたホスト・サービス要求フィールドは、マイクロエンジンがそのチャンネル上でのサービスを完了したことをホストに知らせます。ホストは、対応するホスト・サービス要求フィールドに 3 つのゼロ以外の状態の 1 つを書き込むことによって、チャンネルでのサービスを要求できます。CPU はホスト・サービス要求レジスタを監視して TPU2 がサービス要求をクリアするのを待ってから、パラメータを変更したりそのチャンネルに対して新しいサービス要

求を発行しなければなりません。

CPR0— チャンネル・プライオリティ・レジスタ 0

\$YFFE1D

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH15	CH14	CH13	CH12	CH11	CH10	CH9	CH8								
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CPR1— チャンネル・プライオリティ・レジスタ 1

\$YFFE1E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0								
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CH[15:0]— エンコードされた 3 つのチャンネル優先レベルの 1 つ

表 66 チャンネル優先レベル

CHX[1:0]	サービス
00	Disabled
01	Low
10	Middle
11	High

## 5.6.3 開発サポート・レジスタおよびテスト・レジスタ

これらのレジスタは、カスタム・マイクロコードの開発または工場テスト用に使用されます。本書では、これらのレジスタの使い方までは説明していません。参考のためにレジスタ名とアドレスを記載しておきます。

DSCR— 開発サポート・コントロール・レジスタ

\$YFFE04

DSSR— 開発サポート・ステータス・レジスタ

\$YFFE06

LR— リンク・レジスタ

\$YFFE22

SGIR— サービス許可ラッチ・レジスタ

\$YFFE24

DCNR— デコードド・チャンネル番号レジスタ

\$YFFE26

TTCR—TPU2 テスト・コンフィギュレーション・レジスタ

\$YFFE02

---

## 第 6 章

# コンフィギュラブル・タイマ・ モジュール 3

---

コンフィギュラブル・タイマ・モジュール 3 (CTM3) は、モトローラ・モジュラ・マイクロコントローラ・ファミリのタイマ・モジュール・ファミリに属しています。タイマ・アーキテクチャは、内蔵される多数のタイム・ベース (カウンタ・サブモジュール) およびチャネル (アクション・サブモジュールまたはタイマ I/O ピン) に対してモジュラとなっています。

CTM3 は、CTM3 内部サブモジュール・バス (SMB) のいずれかの側に配置される複数のサブモジュールで構成されています。CTM3 内のすべてのデータと制御信号は、このバスを通して伝達されます。SMB は、インタモジュール・バス (IMB) および CPU に接続されるバス・インタフェース・ユニット・サブモジュール (BIUSM) を通して外部デバイスに接続されます。この構成によって、CPU は SMB 上の各 CTM3 サブモジュール内のデータ・レジスタおよびコントロール・レジスタにアクセスすることができます。それぞれ 16 ビット幅の 4 つのタイム・ベース・バス (TBB1、TBB2、TBB3、TBB4) が、カウンタからアクション・サブモジュールにタイミング情報を転送するのに使用されます。

図 21 に CTM3 のブロック図を示します。

### 6.1 概 要

タイム・ベース・バスは、カウンタ・サブモジュールから出ており、アクション・サブモジュールが使用します。各サブモジュールは、2 つのタイム・ベース・バスにアクセス可能です。

バス・インタフェース・ユニット・サブモジュール (BIUSM) により、すべての CTM3 サブモジュールがサブモジュール・バス (SMB) を通して IMB と通信することができます。

カウンタ・プリスケラ・サブモジュール (CPSM) は、カウンタ・サブモジュールが使用できる 6 種類のクロック周波数を生成します。このサブモジュールは、BIUSM に含まれています。

モジュラス・カウンタ・サブモジュール (MCSM) は、広範なアプリケーションにおいて、モジュラス・カウンティングなど、複雑なカウントやタイミング機能を実行可能な多機能タイマ・サブモジュールです。モジュラス・レジスタには、64K クロック・サイクル以外のカウントで、カウンタをリサイクルする柔軟性が追加されています。CTM3 には 4 つの MCSM が内蔵されています。

ダブルアクション・サブモジュール (DASM) は、ソフトウェアの介入なしに、自動的に発生できる 2 つの 16 ビット入力キャプチャまたは 2 つの 16 ビット出力コンペア機能を提供します。CTM3 には 13 個の DASM が内蔵されています。

パルス幅変調サブモジュール (PWMSM) により、他の CTM 出力信号に関係なく、広範な周波数にわたって、パルス幅変調信号を生成することができます。PWMSM は、タイム・ベース・バスの動作に影響を受けません。CTM3 には 5 つの PWMSM が内蔵されています。

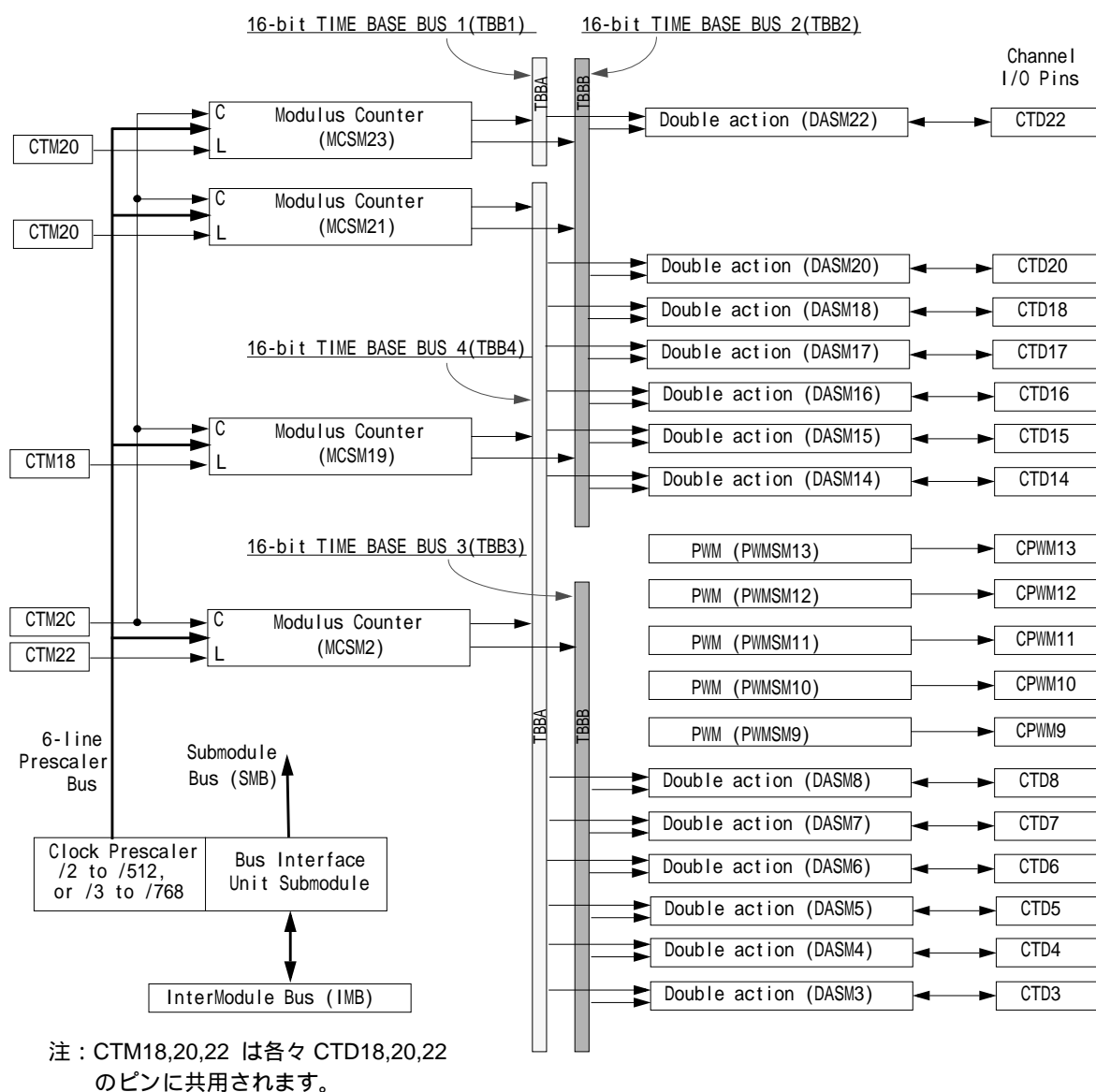


図 21 CTM3 のブロック図

## 6.2 アドレス・マップ

CTM3 のアドレス・マップは 256 バイトを占有します。

表 67 CTM3 のアドレス・マップ

Address	サブモジュール名	15	8	7	0
\$YFF900	BIUSM	BIUSM MODULE CONFIGURATION REGISTER (BIUMCR)			
\$YFF902		BIUSM TEST REGISTER (BIUTEST)			
\$YFF904		BIUSM TIME BASE REGISTER (BIUTBR)			
\$YFF906		RESERVED			
\$YFF908	CPSM	CPSM CONTROL REGISTER (CPCR)			
\$YFF90A		CPSM TEST REGISTER (CPTR)			



表 67 CTM3 のアドレス・マップ ( 続き )

Address	サブモジュール名	15	8	7	0
\$YFF90C		RESERVED			
\$YFF90E		RESERVED			
\$YFF910	MCSM2	MCSM2 STATUS/INTERRUPT/CONTROL REGISTER (MCSMSIC)			
\$YFF912		COUNTER (MCSMCNT)			
\$YFF914		MODULUS LATCH (MCSMML)			
\$YFF916		RESERVED			
\$YFF918	DASM3	DASM3 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF91A		REGISTER A (DASMA)			
\$YFF91C		REGISTER B (DASMB)			
\$YFF91E		RESERVED			
\$YFF920	DASM4	DASM4 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF922		REGISTER A (DASMA)			
\$YFF924		REGISTER B (DASMB)			
\$YFF926		RESERVED			
\$YFF928	DASM5	DASM5 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF92A		REGISTER A (DASMA)			
\$YFF92C		REGISTER B (DASMB)			
\$YFF92E		RESERVED			
\$YFF930	DASM6	DASM6 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF932		REGISTER A (DASMA)			
\$YFF934		REGISTER B (DASMB)			
\$YFF936		RESERVED			
\$YFF938	DASM7	DASM7 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF93A		REGISTER A (DASMA)			
\$YFF93C		REGISTER B (DASMB)			
\$YFF93E		RESERVED			
\$YFF940	DASM8	DASM8 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF942		REGISTER A (DASMA)			
\$YFF944		REGISTER B (DASMB)			
\$YFF946		RESERVED			
\$YFF948	PWMSM9	PWMSM9 STATUS/INTERRUPT/COUNTROL (PWMSIC)			
\$YFF94A		PERIOD (PWMA)			
\$YFF94C		PULSE WIDTH (PWMB)			
\$YFF94E		COUNTER (PWMC)			

表 67 CTM3 のアドレス・マップ ( 続き )

Address	サブモジュール名	15	8	7	0
\$YFF950	PWMSM10	PWMSM10 STATUS/INTERRUPT/COUNTR0L (PWMSIC)			
\$YFF952		PERIOD (PWMA)			
\$YFF954		PULSE WIDTH (PWMB)			
\$YFF956		COUNTER (PWMC)			
\$YFF958	PWMSM11	PWMSM11 STATUS/INTERRUPT/COUNTR0L (PWMSIC)			
\$YFF95A		PERIOD (PWMA)			
\$YFF95C		PULSE WIDTH (PWMB)			
\$YFF95E		COUNTER (PWMC)			
\$YFF960	PWMSM12	PWMSM12 STATUS/INTERRUPT/COUNTR0L (PWMSIC)			
\$YFF962		PERIOD (PWMA)			
\$YFF964		PULSE WIDTH (PWMB)			
\$YFF966		COUNTER (PWMC)			
\$YFF968	PWMSM13	PWMSM13 STATUS/INTERRUPT/COUNTR0L (PWMSIC)			
\$YFF96A		PERIOD (PWMA)			
\$YFF96C		PULSE WIDTH (PWMB)			
\$YFF96E		COUNTER (PWMC)			
\$YFF970	DASM14	DASM14 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF972		REGISTER A (DASMA)			
\$YFF974		REGISTER B (DASMB)			
\$YFF976		RESERVED			
\$YFF978	DASM15	DASM15 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF97A		REGISTER A (DASMA)			
\$YFF97C		REGISTER B (DASMB)			
\$YFF97E		RESERVED			
\$YFF980	DASM16	DASM16 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF982		REGISTER A (DASMA)			
\$YFF984		REGISTER B (DASMB)			
\$YFF986		RESERVED			
\$YFF988	DASM17	DASM17 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF98A		REGISTER A (DASMA)			
\$YFF98C		REGISTER B (DASMB)			
\$YFF98E		RESERVED			
\$YFF990	DASM18	DASM18 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF992		REGISTER A (DASMA)			
\$YFF994		REGISTER B (DASMB)			
\$YFF996		RESERVED			

表 67 CTM3 のアドレス・マップ ( 続き )

Address	サブモジュール名	15	8	7	0
\$YFF998	MCSM19	MCSM19 STATUS/INTERRUPT/CONTROL REGISTER (MCMSIC)			
\$YFF99A		COUNTER (MCSMCNT)			
\$YFF99C		MODULUS LATCH (MCSMML)			
\$YFF99E		RESERVED			
\$YFF9A0	DASM20	DASM20 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF9A2		REGISTER A (DASMA)			
\$YFF9A4		REGISTER B (DASMB)			
\$YFF9A6		RESERVED			
\$YFF9A8	MCSM21	MCSM21 STATUS/INTERRUPT/CONTROL REGISTER (MCMSIC)			
\$YFF9AA		COUNTER (MCSMCNT)			
\$YFF9AC		MODULUS LATCH (MCSMML)			
\$YFF9AE		RESERVED			
\$YFF9B0	DASM22	DASM22 STATUS/INTERRUPT/CONTROL REGISTER (DASMSIC)			
\$YFF9B2		REGISTER A (DASMA)			
\$YFF9B4		REGISTER B (DASMB)			
\$YFF9B6		RESERVED			
\$YFF9B8	MCSM23	MCSM23 STATUS/INTERRUPT/CONTROL REGISTER (MCMSIC)			
\$YFF9BA		COUNTER (MCSMCNT)			
\$YFF9BC		MODULUS LATCH (MCSMML)			
\$YFF9BE- \$YFF9FE		RESERVED			

注: Y = M111。ここで、M は SLIMCR の MODMAP の論理状態を表わします。MC68HC16 デバイスでは、M は 1 でなければなりません。M がクリアされている場合は、リセットが発生するまで IMB モジュールにはアクセスできません。M はリセット後に 1 回だけ書き込むことができます。

## 6.3 タイム・ベース・バス・システム

タイム・ベース・バス・システムは、TBB1、TBB2、TBB3、TBB4 の 4 つの 16 ビット・バスで構成されています。タイム・ベース・バスは、カウンタ・サブモジュールから引き出されており、アクション・サブモジュールが使用します。各サブモジュールには、2 つのタイム・ベース・バス (TBBA, TBBB) がアクセス可能です (図 22 参照)。これらのカウンタは、2 つのタイム・ベース・バスのうち 1 つをドライブでき、チャンネルは 2 つのタイム・ベース・バスの 1 つを参照します。各 CTM3 サブモジュール内の制御ビットによって、ソフトウェアはサブモジュールを希望のタイム・ベース・バスに接続することができます。

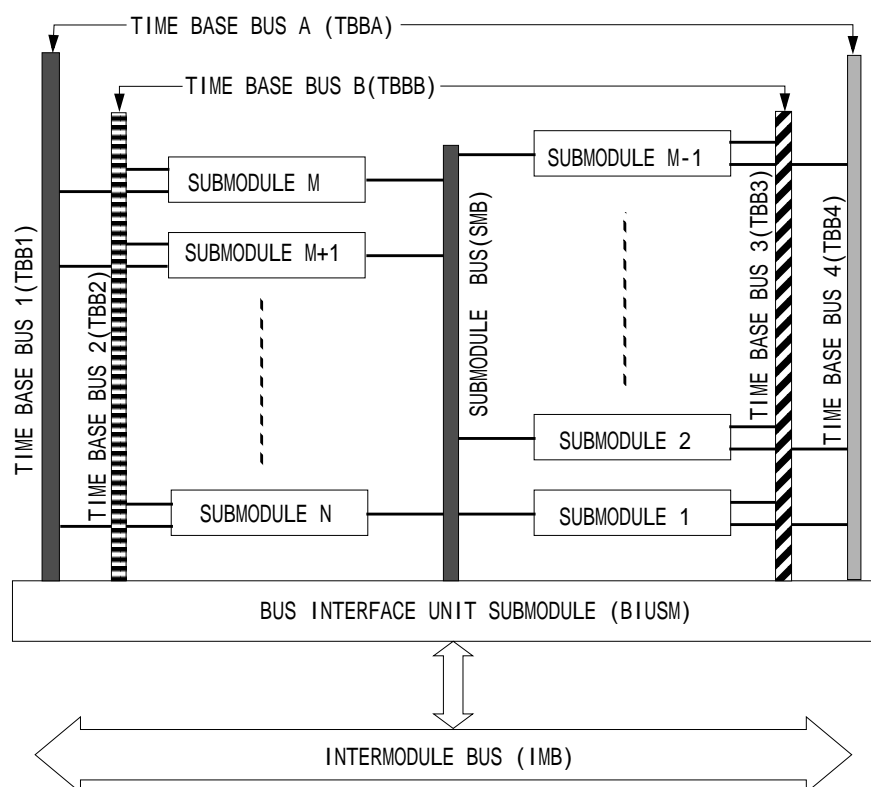


図 22 タイム・ベース・バス構成

MC68HC(9)16Y5/916Y6 の CTM3 インプリメンテーションでは、2つのタイム・ベース・バスがグローバルであり、すべてのサブモジュールにアクセス可能です。表 68 に、CTM3 の各サブモジュールにどのタイム・ベース・バスを使用できるかを示します。

表 68 CTM3 のタイム・ベース・バスの割付け

サブモジュール名	グローバル / ローカル・タイム・ベース・バスの割付け	
	タイム・ベース・バス A	タイム・ベース・バス B
MCSM 2	TBB4	TBB3
DASM 3	TBB4	TBB3
DASM 4	TBB4	TBB3
DASM 5	TBB4	TBB3
DASM 6	TBB4	TBB3
DASM 7	TBB4	TBB3
DASM 8	TBB4	TBB3
DASM 14	TBB4	TBB2
DASM 15	TBB4	TBB2
DASM 16	TBB4	TBB2

表 68 CTM3 のタイム・ベース・バスの割付け ( 続き )

サブモジュール名	グローバル / ローカル・タイム・ベース・バスの割付け	
	タイム・ベース・バス A	タイム・ベース・バス B
DASM 17	TBB4	TBB2
DASM 18	TBB4	TBB2
MCSM 19	TBB4	TBB2
DASM 20	TBB4	TBB2
MCSM 21	TBB4	TBB2
DASM 22	TBB1	TBB2
MCSM 23	TBB1	TBB2

タイム・ベース・バスは、カウンタからアクション・サブモジュールにタイミング情報を転送するために使用されます。各 CTM3 サブモジュールは、クロック・ソース・モジュールになる ( 1 つまたは 2 つのタイム・ベース・バスをドライブする ) か、あるいはアクション・サブモジュールになる ( タイム・ベース・バスからタイミング情報を読み出してそれに反応する ) ことができます。

タイム・ベース・バスはワイヤード OR が可能な予備充電 / 放電タイプのバスであり、複数のカウンタが同時に同じバスをドライブしてもハードウェアへの損傷は生じません。

## 6.4 カウンタ・サブモジュール用クロック・ソース

各カウンタ・サブモジュールのクロック・ソースは 7 つのクロック・ソースのうち 1 つから、ソフトウェアによって選択されます。そのうち 6 つは、オンチップ発振器からのプリスケアラ・タップです。カウンタに供給可能な最大周波数は、MCU システム・クロックを 2 分周した周波数です。他の 5 つのタップのうち 4 つは、システム・クロック・サイクルからの 2 分周から 4、8、16、および 32 分周です。カウンタへの別の入力クロックは、ソフトウェアで定義した MCU クロックを 64、128、256、または 512 分周したものです。MCU クロックを、3、6、12、24、48、96、192、384、768 分周する別のプリスケアラ・オプションもあります。選択可能な 7 番目のクロック・ソースは、入力信号の立上りエッジまたは立下りエッジでトリガ可能な外部ピンです。外部入力を使用すれば、カウンタはマイクロコントローラ発振器以外をベースにする周波数を使用できます。外部クロック・ソースは、イベントまたはパルス・カウントにも使用できます。

注：各カウンタは同じクロック・ピン ( CTM2C ) を共有します。モジュラス・カウンタのロード・ピンは CTD18、CTD20 および CTD22 ピンと共有されます。

## 6.5 バス・インタフェース・ユニット・サブモジュール (BIUSM)

BIUSM は SMB を IMB に接続して、CTM3 サブモジュールがバス・マスタ (CPU) と通信できるようにします。BIUSM は CTM サブモジュールから IMB への割込み要求とも通信して、割込みアクノリッジ・サイクル中に、割込みレベル、優先順位ビット、ベクタ番号を CPU に転送します。

### 6.5.1 BIUSM のレジスタ

BIUSM には、モジュール・コンフィギュレーション・レジスタ、タイム・ベース・バス・レジスタ、テスト・レジスタが含まれています。BIUSM のレジスタ・ブロックは、常に CTM レジスタ領域の先頭 4 レジスタ・ロケーションに配置されており、CTM3 構成内でレジスタ位置を移動することはできません。ソフトウェアから未使用ビットおよび予約アドレス・ロケーションを読み出すと、常に“0”が返されます。未使用ビットおよび予約アドレス・ロケーションに対する書込みは無視されます。

BIUMCR—BIU モジュール・コンフィギュレーション・レジスタ														\$YFF900	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP	FRZ	NOT USED	VECT[7:6]		IARB[2:0]			NOT USED		TBS1	NOT USED			TBS0	
RESET:															
0	0		1	1	0	0	0			0					0

#### STOP—ストップ・イネーブル

STOP = 1 のときは、IMB 上の FREEZE 信号状態に関係なく、SMB の FREEZE 信号が出力され、CTM3 の動作が完全に停止します。BIUSM は動作を継続して、CPU がサブモジュールのレジスタ群にアクセスできるようにします。SMB の FREEZE 信号は、リセットされるか、または CPU が (IMB を通して) STOP ビットがネゲートされるまでアクティブになったままです。

0 = CTM が動作する。

1 = CTM の動作が停止する。

#### FRZ—フリーズ・イネーブル

FREEZE = 1 のときは、IMB の FREEZE 信号がアクティブの場合に SMB 上の FREEZE 信号が出力され、CTM3 の動作が完全に停止します。

注：サブモジュールによっては、内部イネーブル・ビットによりこの FREEZE 信号を有効にしているものがあります。

BIUSM は動作を継続して、CPU がサブモジュールのレジスタ群にアクセスできるようにします。SMB の FREEZE 信号は、FRZ ビットがクリアされるか、または IMB の FREEZE 信号がネゲートされるまでアクティブになったままです。

0 = IMB の FREEZE 信号を無視する。

1 = IMB に FREEZE 信号が出力されたとき、CTM3 サブモジュールを停止する。

43 ページの「2.3.1 コンディション・コード・レジスタ」を参照してください。

#### VECT[7:6]—割込みベース・ベクタ番号フィールド

割込みベース・ベクタ番号ビット・フィールドは、CTM3 の割込みベース・ベクタ番号を選択します。ベクタ番号の定義に必要な 8 ビットのうち下位 6 ビットは、サブモジュールごとにハードウェアでプログラムされ、残りの 2 ビットが VECT[7:6] で指定されます。この指定により、CTM3 のベクタとして割込みベクタ・テーブル内の 4 つの位置から 1 つを選択します (表 69 参照)。

表 69 割込みベース・ベクタ番号ビット・フィールド

VECT7	VECT6	ベース・ベクタ番号
0	0	\$00
0	1	\$40
1	0	\$80
1	1	\$C0

## IARB[2:0]— 割込み優先順位指定フィールド

このビット・フィールドと各サブモジュール内の IARB3 ビットで 15 種類の優先順位識別番号を指定して、IMB 上で同一優先順位レベルで発生する複数の割込み要求の優先順位を制御することができます。

IARB フィールドはリセットでデフォルトのゼロに設定され、割込み調停アクノリッジ・サイクル (IACK) 中に、モジュールで優先順位の制御を行なわないようにします。IACK サイクル中に IMB の優先順位制御が行なわれない場合は、「ストリームライン・ロー・パワー・インテグレーション・モジュール」からスプリアス割込みベクタが生成され、割込み優先順位番号が初期化されていないことをシステムに通知します。割込みの 7 つのレベルは、割込み優先順位を定める基本順位になっています。4 ビットの割込み優先順位番号は第 2 の順位であり、各基本順位ごとに最大 15 の要求を可能にします。IACK サイクル中に、最上位の優先順位番号をもつ割込み要求がサービスを獲得します (%1111 が最上位で %0001 が最下位です)。CTM3 は各サブモジュールそれぞれに自分の IARB3 ビット (ソフトウェアからセットまたはクリアが可能) を提供することにより、2 つの優先順位を使用させることができます。BIUSM 内で IARB[2:0] が割り当てられた後は、これらをすべての CTM 割込み要求で使用することができます。したがって、CTM3 サブモジュールの割込みは、同じ割込みレベルの他のモジュールからの割込み要求と分けることができます。IARB[2:0] はリセットでクリアされます。

## TBRIS1、TBRIS0— タイム・ベース・レジスタ・バス選択ビット

これらのビットを使用して、タイム・ベース・レジスタ (BIUTBR) を読み込むときにアクセスするタイム・ベース・バスを指定します。表 70 を参照してください。

表 70 タイム・ベース・レジスタ・バス選択ビット

TBRIS1	TBRIS0	タイム・ベース・バス
0	0	TBB1 (TBBA)
0	1	TBB2 (TBBB)
1	0	TBB3 (TBBB)
1	1	TBB4 (TBBA)

## BIUTEST—BIUSM コンフィギュレーション・レジスタ

\$YFF902

BIUTEST は CTM3 の出荷テストに使用されます。BIUTEST へのアクセスは、MCU がテスト・モードになっているときに実行しなければなりません。

## BIUTBR—BIUSM タイム・ベース・レジスタ

\$YFF904

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOST SIGNIFICANT BYTE (MSB)								LEAST SIGNIFICANT BYTE (LSB)							
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BIUTBR は読出し専用レジスタで、タイム・ベース・バス上にある値を読み取る際に使用します。アクセスするタイム・ベース・バスは BIUMCR レジスタ内の TBRIS1 と TBRIS0 により指定します。特定のテスト・モードを除いて、BIUTBR に対する書込みは無視されます。

## 6.6 カウンタ・プリスケアラ・サブモジュール (CPSM)

カウンタ・プリスケアラ・モジュール (CPSM) は、プログラム可能な分周器システムで、MCU システムのメイン・クロック ( $f_{SYS}$ ) を分周して、6 種類のクロック選択肢 (PCLKx) を CTM カウンタに提供します。これらの周波数のうち 5 つは固定分周器から得られます。最後のクロック周波数の分周比は、4 つの分周比から 1 つをソフトウェアで選択可能です。

CPSM は BIUSM に内蔵されています。図 23 に CPSM のブロック図を示します。

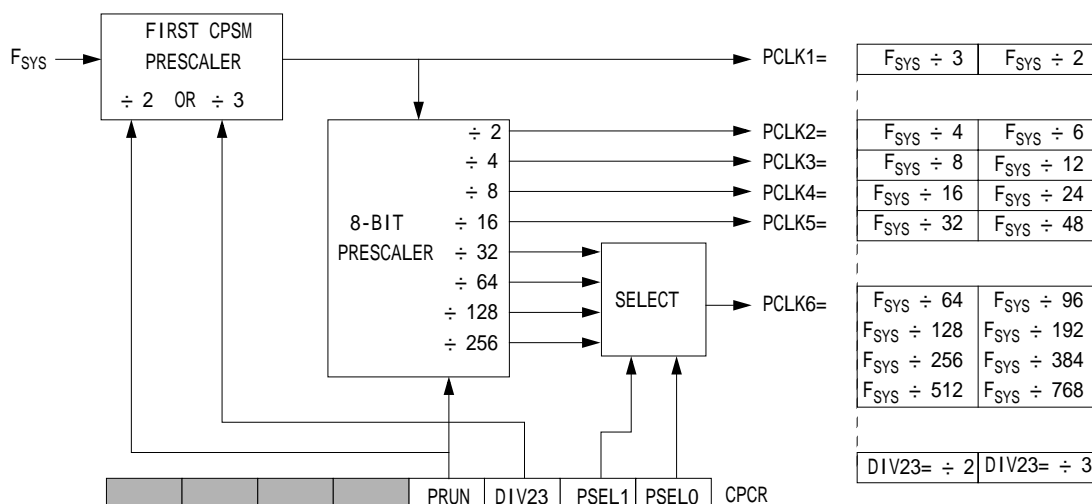


図 23 CPSM のブロック図

### 6.6.1 CPSM のレジスタ

CPSM にはコントロール・レジスタとテスト・レジスタが内蔵されています。未使用ビットおよび予約済みアドレスをソフトウェアから読み出すと、すべて“0”が返されます。未使用ビットおよび予約済みアドレスに対する書込みは無視されます。

CPCR—CPSM コントロール・レジスタ															\$YFF908	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
NOT USED													PRUN	DIV23	PSEL[1:0]	
RESET:																
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

#### PRUN—プリスケアラ起動ビット

PRUN ビットは、読出し / 書込み可能な制御ビットです。このビットを使用すると、ソフトウェアからプリスケアラ・カウンタをオン・オフすることができます。このビットを使用すると、さまざまな CTM3 サブモジュール内にあるカウンタを同期化することができます。このビットはリセットでクリアされます。

- 0 = プリスケアラ分周器をリセット状態にしてカウンタを停止させる。
- 1 = プリスケアラの起動を指定する。

#### DIV23—2 分周 / 3 分周

DIV23 ビットは、読出し / 書込み可能な制御ビットです。このビットを使用して、初段プリスケアラ・カウンタの分周比を選択します。このビットはソフトウェアによりいつでも変更できます。このビットはリセットでクリアされます。

- 0 = 初段プリスケアラを 2 分周に指定。
- 1 = 初段プリスケアラを 3 分周に指定。



## PSEL[1:0]— プリスケアラ分周比選択フィールド

このビット・フィールドを使用して、プログラマブル・プリスケアラの出力信号（PCLK6）を選択します。表 71 を参照してください。

表 71 プリスケアラ分周比選択フィールド

プリスケアラ・コントロール・レジスタ・ビット				プリスケアラ分周比					
PRUN	DIV23	PSEL1	PSEL0	PCLK1	PCLK2	PCLK3	PCLK4	PCLK5	PCLK6
0	X	X	X	0	0	0	0	0	0
1	0	0	0	2	4	8	16	32	64
1	0	0	1	2	4	8	16	32	128
1	0	1	0	2	4	8	16	32	256
1	0	1	1	2	4	8	16	32	512
1	1	0	0	3	6	12	24	48	96
1	1	0	1	3	6	12	24	48	192
1	1	1	0	3	6	12	24	48	384
1	1	1	1	3	6	12	24	48	768

## CPTR—CPSM テスト・レジスタ

\$YFF90A

このテスト・レジスタは CTM3 の出荷テストに使用されます。CPTR へのアクセスは、MCU がテスト・モードになっているときに実行しなければなりません。

## 6.7 モジュラス・カウンタ・サブモジュール（MCSM）

モジュラス・カウンタ・サブモジュール（MCSM）は、16 ビット・モジュラス・ラッチ、16 ビット・ローダブル・アップカウンタ、カウンタ・ローディング・ロジック、クロック・セクタ、タイム・ベース・バス・ドライバ、および割込みインタフェースを内蔵しています。モジュラス・レジスタは、64K クロック・サイクル以外のカウントでカウンタをリサイクリングする柔軟性を与えます。モジュラス・レジスタの状態は、以下の 3 つの状態でカウンタに転送されます。

- ・ オーバフロー発生時
- ・ 外部入力ピン（CTD18/CTD20/CTD22）に所定のエッジが検出されたとき
- ・ プログラムがモジュラス・レジスタに書き込んだとき。この値はただちにカウンタにロードすることも可能です。

ソフトウェアはモジュラス・レジスタに値を書き込んでおき、後で最初の 2 つの基準の 1 つでカウンタにロードすることもできます。

4 つの MCSM が CTM3 に内蔵されています。図 24 に MCSM のブロック図を示します。

注：MCSM がカウントするには、CPSM クロック信号が印加されている必要があります。

リセットから解放されると、CPSM のプリスケアラが動作を開始する（ソフトウェアが PRUN ビットをセットしたとき）まで、MCSM は内部または外部イベントをカウントしません。これによって、CTM3 サブモジュールのすべてのカウンタを同期化することができます。

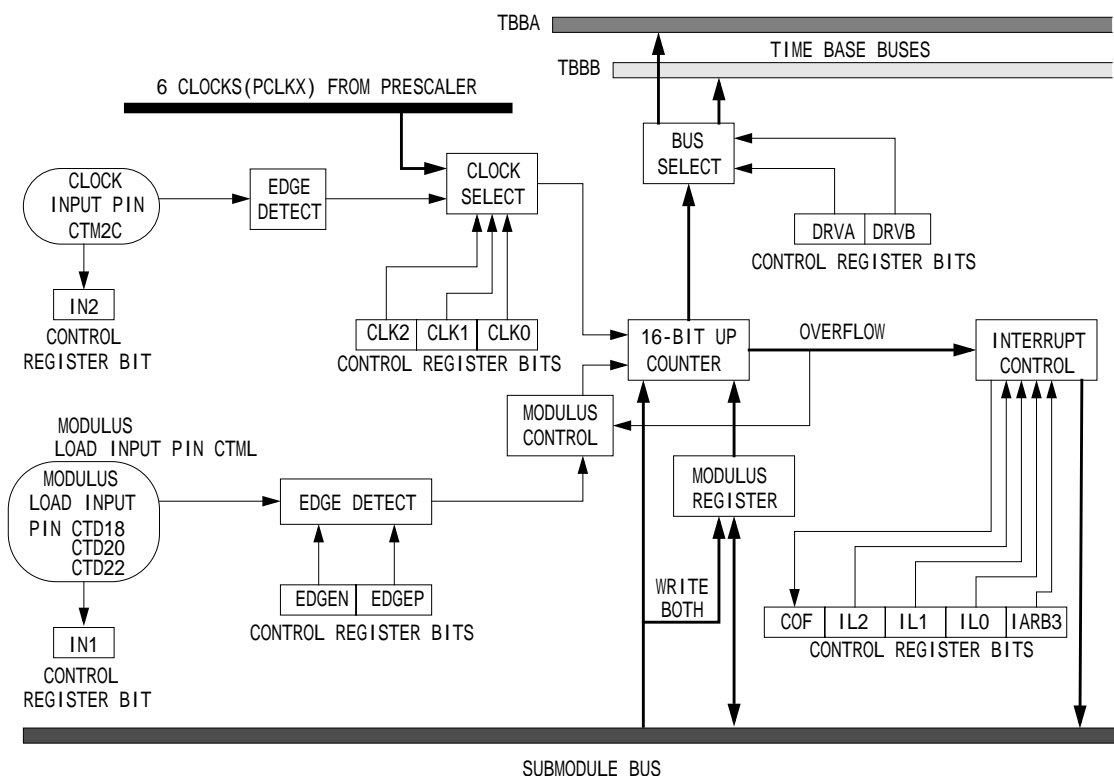


図 24 MCSM ブロック図

### 6.7.1 MCSM レジスタ

MCSM には、ステータス / 割込み / コントロール・レジスタ、カウンタ、モジュラス・ラッチがあります。未使用ビットおよび予約済みアドレスをソフトウェアから読み出すと、すべて“0”が返されます。未使用ビットおよび予約済みアドレスに対する書込みは無視されます。CTM3 には 4 つの MCSM があり、MCSM は専用のレジスタ・セットを備えています。

MCSMSIC—MCSM ステータス / 割込み / コントロール・レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COF	IL[2:0]			IARB3	NOT USED	DRV[A:B]		IN2	IN1	EDGEN	EDGEF	NOT USED	CLK[2:0]		
RESET:															
0	0	0	0	0	0	0	0	U	U	0	0	0	0	0	0

表 72 に 4 つの MCSMSIC のアドレス・ロケーションを示します。

表 72 MCSMSIC のアドレス・ロケーション

MCSM51C レジスタ	Address
MCSM2	\$YFF910
MCSM19	\$YFF998
MCSM21	\$YFF9A8
MCSM23	\$YFF9B8

## COF— カウンタ・オーバフロー・フラグ

このステータス・フラグ・ビットは、カウンタ・オーバフローが発生したか否かを表示します。MCSM カウンタのオーバフローは、\$FFFF から \$xxxx に変化するときが発生します。ここで \$xxxx はモジュラス・ラッチの値です。IL フィールドがゼロでない場合には、COF ビットがセットされたときに、割り込み要求が生成されます。

0 = カウンタ・オーバフローなし。

1 = カウンタ・オーバフローあり。

このフラグ・ビットはハードウェアによりセットされ、ソフトウェアまたはシステム・リセットによってのみクリアされます。このフラグをクリアするには、まずこのビットを読み出し ("1" が読み出される) 続いてこのビットに "0" を書き込みます。

注：読出しと書込みの間にフラグをセットするイベントが発生しない場合にのみ、このフラグ・クリア方式は機能します。読出しと書込みの間にフラグをセットするイベントが発生した場合には、この COF フラグはクリアされません。

## IL[2:0]— 割り込みレベル・フィールド

このビット・フィールドは読出し / 書込み可能な制御ビットで、MCSM が発行する割り込み要求の優先レベルを選択します。これらのビットはいつでも読出し / 書込み可能であり、リセットによりクリアされます。表 73 を参照してください。

表 73 割り込みレベル・ビット・フィールド

IL2	IL1	IL0	優先レベル
0	0	0	Interrupt disabled
0	0	1	Interrupt level 1 (lowest)
0	1	0	Interrupt level 2
0	1	1	Interrupt level 3
1	0	0	Interrupt level 4
1	0	1	Interrupt level 5
1	1	0	Interrupt level 6
1	1	1	Interrupt level 7 (highest)

## IARB3— 割り込み調停ビット 3

このビットはBIUSM モジュール・コンフィギュレーション・レジスタ内の IARB[2:0] のフィールドとの組合せで機能します。IMB で割り込み要求を発行する各モジュールは、調停フィールドにユニークな値をもっている必要があります。同一優先順位で同時に複数のモジュールが割り込みを要求した場合には、この割り込み調停識別番号を使用して、IMB に対する優先順位の制御を行ないます。IARB3 ビットはリセットでクリアされます。IARB[2:0] の詳細については、157 ページの「6.5.1 BIUSM のレジスタ」を参照してください。

## DRV[A:B]— タイム・ベース・バス駆動ビット・フィールド

この読出し / 書込み可能なビット・フィールドは、FCSM とタイム・ベース・バス A および B との接続を制御します。これらのビットはリセットでクリアされます。表 74 を参照してください。

表 74 タイム・ベース・バス駆動ビット・フィールド

DRVA	DRVB	選択されるバス
0	0	Neither time base bus A nor B is driven
0	1	Time base bus B is driven
1	0	Time base bus A is driven
1	1	Both time base bus A and bus B are driven

警告：両方のタイム・ベースを同時に駆動しないようにしてください。

例えば、MCSM21 と MCSM19 が同じタイムベース (TBB2) に駆動することを禁

止することです。もし、同じタイムベースに駆動するとその値が壊されますが、ハードウェアへの損傷は生じません。

#### IN2— クロック入力ピン・ステータス・ビット

この読出し専用ステータス・ビットは、クロック入力ピン CTM2C の論理状態を表示します。このビットに対する“1”または“0”の書込みは無視されます。このビットはリセットの影響を受けません。

#### IN1— モジュラス・ロード入力ピン・ステータス・ビット

この読出し専用ステータス・ビットは、モジュラス・ロード入力ピン CTS16B/CTD20 の論理状態を示します。このビットに対する“1”または“0”の書込みは無視されます。このビットはリセットの影響を受けません。

#### EDGEN、EDGEF— モジュラス・ロード・エッジ検出選択ビット

読出し / 書込み可能なこの制御ビットでは、モジュラス・ロード・ピン CTS16B で検出するエッジを選択します。表 75 を参照してください。

表 75 モジュラス・ロード・エッジ検出選択ビット

EDGEN	EDGEF	モジュラス・ロード・ピン / IN1 で検出するエッジ
0	0	None
0	1	Positive edge only
1	0	Negative edge only
1	1	Positive and negative edge

#### CLK[2:0]— カウンタ・クロック選択フィールド

読出し / 書込み可能なこの制御ビットは、6 種類の内部クロック信号 (PCLKx) から 1 種類のクロックの選択、または入力ピンにおける 2 つの外部条件 (すなわち立上りエッジ / 立下りエッジ) の選択を行ないます。外部クロック信号の最大周波数は  $f_{\text{SYS}}/4$  です。表 76 を参照してください。

表 76 カウンタ・クロック選択フィールド

CLK2	CLK1	CLK0	フリー・ランニング・カウンタのクロック源
0	0	0	Prescaler output 1 (/2 or /3)
0	0	1	Prescaler output 2 (/4 or /6)
0	1	0	Prescaler output 3 (/8 or /12)
0	1	1	Prescaler output 4 (/16 or /24)
1	0	0	Prescaler output 5 (/32 or /48)
1	0	1	Prescaler output 6 (/64 or /768)
1	1	0	CTM2C pin input, negative edge
1	1	1	CTM2C pin input, positive edge

#### MCSMCNT—MCSM カウンタ・レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSB								LSB							
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MCSM カウンタ・レジスタは読出し / 書込み可能なレジスタです。表 77 に 4 つの MCSMCNT のアドレス・ロケーションを示します。

表 77 MCSMCNT のアドレス・ロケーション

MCSMCNT レジスタ	Address
MCSM2	\$YFF912
MCSM19	\$YFF99A
MCSM21	\$YFF9AA
MCSM23	\$YFF9BA

MCSMML—MCSM モジュラス・ラッチ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSB								LSB							
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MCSM モジュラス・ラッチ・レジスタは読出し / 書込み可能なレジスタです。表 78 に 4 つの MCSMML のアドレス・ロケーションを示します。

表 78 MCSMML のアドレス・ロケーション

MCSMML レジスタ	Address
MCSM2	\$YFF914
MCSM19	\$YFF99C
MCSM21	\$YFF9AC
MCSM23	\$YFF9BC

## 6.8 ダブル・アクション・サブモジュール (DASM)

ダブル・アクション・サブモジュール (DASM) は、ソフトウェアの介入なしに自動的に発生可能な 2 つの 16 ビット入力キャプチャまたは 2 つの 16 ビット出力コンペア機能を備えています。入力エッジ検出器は、希望のエッジでキャプチャ機能が発生するようにプログラムできます。出力フリップフロップは、出力コンペア信号の 1 でセットされ、他の 1 つでリセットされます。

入力キャプチャおよび出力コンペア・モードによって、ソフトウェアはオプションの割込みを利用できます。ソフトウェアは、2 つの入力タイム・ベース・バスのどちらを入力キャプチャまたは出力コンペアに使用するかを決定します。

6 つの動作モードにより、ソフトウェアは DASM の入力キャプチャ機能と出力コンペア機能を使用して、パルス幅測定、時間幅測定、単一パルスの発生、連続パルスの生成、そして標準的な入力キャプチャおよび出力コンペアを実行できるようになります。DASM は 1 本の I/O ピンとして動作することもできます。DASM の動作モードは、DASMSIC レジスタのモード・セレクト・ビット・フィールド (MODE[3:0]) によって決定されます。表 79 に異なる DASM 動作モードを示します。

表 79 DASM 動作モード

MODE[3:0]	モード	モードの説明
0000	DIS	Disabled-Input pin is high impedance; IN gives state of input pin
0001	IPWM	Input pulse width measurement-Capture on leading edge and the trailing edge of an input pulse
0010	IPM	Input period measurement-Capture two consecutive rising/falling edges
0011	IC	Input capture-Capture when the designated edge is detected
0100	OCB	Output compare, flag set on B compare-Generate leading and trailing edges of an output pulse and set the flag
0101	OCAB	Output compare, flag set on A and B compare-Generate leading and trailing edges of an output pulse and set the flag
1xxx	OPWM	Output pulse width modulation-Generate continuous PWM output with 7, 9, 11, 12, 13, 14, 15, or 16 bits of resolution

DASM は、2 本のタイミング・チャンネル（A と B）、出力フリップフロップ、入力エッジ検出器、いくつかの制御回路、割込み回路で構成されています。すべての制御ビットとステータス・ビットは、DASMSIC レジスタ内に配置されています。

チャンネル A は、1 個の 16 ビット・データ・レジスタと 1 個の 16 ビット・コンパレータで構成されています。チャンネル B も、ユーザからは 1 個の 16 ビット・データ・レジスタと 1 個の 16 ビット・コンパレータで構成されているように見えますが、内部的にはチャンネル B は 2 個のデータ・レジスタ（B1 と B2）をもっています。動作モードにより、ソフトウェアからアクセスするレジスタが決定されます。表 80 を参照してください。

表 80 チャンネル B データ・レジスタ・アクセス

モード	データ・レジスタ
Input Capture (IPWM, IPM, IC)	Registers A and B2 are used to hold the captured values. In these modes, the B1 register is used as a temporary latch for channel B
Output Compare (OCB, OCAB)	Registers A and B2 are used to define the output pulse. Register B1 is not used in these modes
Output Pulse Width Modulation Mode (OPWM)	Registers A and B1 are used as primary registers and hidden register B2 is used as a double buffer for channel B

レジスタ内容は常に正しい時間で自動的に転送されるため、最小パルス（測定または生成）は、1 タイム・ベース・バス・カウントです。A および B データ・レジスタは常に読出し / 書込み可能なレジスタで、CTM3 サブモジュール・バスを介してアクセス可能です。

CTM3 には 13 個の DASM が内蔵されています。図 25 に DASM のブロック図を示します。

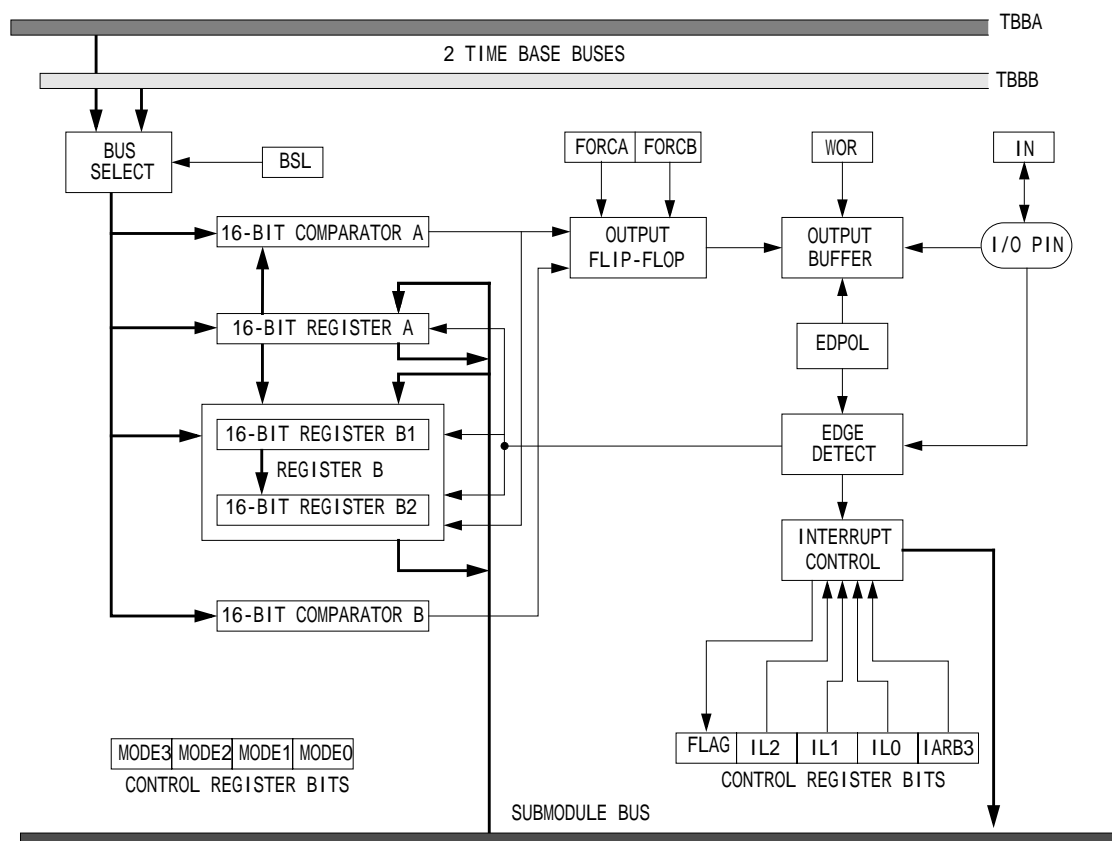


図 25 DASM のブロック図

## 6.8.1 DASM のレジスタ

DASM には、1 個のステータス / 割込み / コントロール・レジスタと 2 個のデータ・レジスタ (A および B) があります。未使用ビットおよび予約済みアドレスをソフトウェアから読み出すと、すべてゼロが返されます。未使用ビットおよび予約済みアドレスに対する書込みは無視されます。CTM3 には 13 個の DASM があり、各 DASM は専用のレジスタのセットをもっています。

DASMSIC—DASM ステータス / 割込み / コントロール・レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLAG	IL[2:0]			IARB3	NOT USED	WOR	BSL	IN	FORCA	FORCB	EDPOL	MODE[3:0]			
RESET:															
0	0	0	0	0	0	0	0	U	0	0	0	0	0	0	0

表 81 に 13 個の DASMSIC のアドレス・ロケーションを示します。

表 81 DASMSIC のアドレス・ロケーション

DASMSIC レジスタ	Address
DASM3	\$YFF918
DASM4	\$YFF920
DASM5	\$YFF928
DASM6	\$YFF930
DASM7	\$YFF938
DASM8	\$YFF940
DASM14	\$YFF970
DASM15	\$YFF978
DASM16	\$YFF980
DASM17	\$YFF988
DASM18	\$YFF990
DASM20	\$YFF9A0
DASM22	\$YFF9B0

## FLAG— フラグ・ステータス・ビット

このステータス・ビットは、入力キャプチャ・イベントまたは出力コンペア・イベントが発生したかどうかを示します。IL フィールドが“0”以外で、FLAG ビットがセットされると割り込み要求が発生します。

- 0 = 入力キャプチャ・イベントまたは出力コンペア・イベントが発生していない。
- 1 = 入力キャプチャ・イベントまたは出力コンペア・イベントが発生した。

表 82 に異なるモードでのフラグ・ステータス・ビットの状態を示します。

表 82 DASM モード・フラグ・ステータス・ビットの状態

モード	フラグ・ステータス・ビットの状態
DIS	FLAG bit is reset
IPWM	FLAG bit is set each time there is a capture on channel A
IPM	FLAG bit is set each time there is a capture on channel A, except for the first time
IC	FLAG bit is set each time there is a capture on channel A
OCB(when MODE0=0)	FLAG bit is set each time there is a successful comparison on channel B
OCAB(when MODE0=1)	FLAG bit is set each time there is a successful comparison on either channel A or B
OPWM	FLAG bit is set each time there is a successful comparison on channel A

この FLAG ビットのセットはハードウェアにより行なわれ、クリアはソフトウェアまたはシステム・リセットによって行なわれます。ソフトウェアから FLAG ビットをクリアするときは、まずこのビットを“1”で読み出し、このビットに“0”を書き込むか、あるいは DIS モードを選択します。

注：このフラグ・クリア方式は、読出し動作と書込み動作の間にフラグをセットするイベントが発生しない場合にのみ有効に機能します。読出し動作と書込み動作の間に FLAG ビットをセットするイベントが発生すると、FLAG ビットはクリアされません。



## IL[2:0]— 割込みレベル・フィールド

このビット・フィールドは読出し / 書込み可能な制御ビットで、DASM が発生する割込み要求の優先レベルを選択するときに使用します。これらのビットはいつでも読出し / 書込み可能であり、リセットによってクリアされます。表 83 を参照してください。

表 83 割込みレベル・ビット・フィールド

IL2	IL1	IL0	優先レベル
0	0	0	Interrupt disabled
0	0	1	Interrupt level 1 (lowest)
0	1	0	Interrupt level 2
0	1	1	Interrupt level 3
1	0	0	Interrupt level 4
1	0	1	Interrupt level 5
1	1	0	Interrupt level 6
1	1	1	Interrupt level 7 (highest)

## IARB3— 割込み調停ビット 3

このビットは、BIUSM モジュール・コンフィギュレーション・レジスタ内にある IARB[2:0] フィールドとの組合せで機能します。IMB 上で割込み要求を発生する各モジュールは、調停フィールドにユニークな値をもっている必要があります。同一優先順位で同時に複数のモジュールが割込みを要求した場合には、割込み調停識別番号を使用して、IMB に対する優先順位の制御を行ないます。IARB3 ビットはリセットによってクリアされます。IARB[2:0] の詳細については、157 ページの「6.5.1 BIUSM のレジスタ」を参照してください。

## WOR— ワイヤード OR ビット

DIS、IPWM、IPM、IC の各モードでは、WOR ビットは使用されません。このビットを読み出すと前回書き込まれた値が返されます。

OCB、OCAB、OPWM の各モードでは、WOR ビットを使用して、出力バッファをオープン・ドレインにするか、トータム・ポールにするかを指定します。

0 = 出力バッファをトータム・ポールにする。

1 = 出力バッファをオープン・ドレインにする。

WOR ビットはリセットでクリアされます。

## BSL— バス選択ビット

この制御ビットを使用して、DASM に接続するタイム・ベース・バスを選択します。

0 = DASM はタイム・ベース・バス A に接続される。

1 = DASM はタイム・ベース・バス B に接続される。

## IN— 入力ピン・ステータス・ビット

DIS、IPWM、IPM、IC の各モードでは、この読出し専用のステータス・ビットに入力ピンの論理レベルが表示されます。

OCB、OCAB、OPWM の各モードでは、このビットを読み出すと、EDPOL で極性決定後の出力フリップフロップでラッチされた値が返されます。

このビットに対する書込みは無視されます。

## FORCA— 強制制御ビット A

OCB、OCAB、OPWM の各モードでは、この FORCA ビットはソフトウェアにより使用され、チャンネル A で一致が発生したかのように出力フリップフロップを動作させます（ただし FLAG ビットはセットされません）。FORCA ビットに "1" を書き込むと、出力フリップフロップがセットされます。"0" の書込みは無視されます。

DIS、IPWM、IPM、IC の各モードでは、FORCA ビットは使用されず、このビットに対する書込みは無視されます。FORCA ビットはリセットでクリアされ、読み出すと常に "0" が返されます。

注：FORCA ビットと FORCB ビットの両方に同時に "1" を書き込むと、出力フリップフロップがリセットされます。

## FORCB— 強制制御ビット B

OCB、OCAB、OPWM の各モードでは、この FORCB ビットはソフトウェアにより使用され、チャンネル B で一致が発生したかのように出力フリップフロップを動作させます（ただし、FLAG ビットはセットされません）。FORCB ビットに "1" を書き込むと、出力フリップフロップがセットされます。“0” の書込みは無視されます。

DIS、IPWM、IPM、IC の各モードでは、FORCB ビットは使用されず、このビットに対する書込みは無視されます。

FORCB ビットはリセットでクリアされ、読み出すと常に “0” が返されます。

注：FORCA ビットと FORCB ビットの両方に同時に “1” を書き込むと、出力フリップフロップがリセットされます。

## EDPOL— エッジ検出極性ビット

DIS モードでは、このビットは使用されません。読み出すと最後に書き込まれた値が返されます。

IPWM モードでは、このビットを使用してチャンネル A とチャンネル B に対する有効キャプチャ・エッジを選択します。

0 = チャンネル A が、立上りエッジをキャプチャする。

チャンネル B が、立下りエッジをキャプチャする。

1 = チャンネル A が、立下りエッジをキャプチャする。

チャンネル B が、立上りエッジをキャプチャする。

IPM モードと IC モードでは、EDPOL ビットを使用してチャンネル A に対する有効入力キャプチャ・エッジを選択します。

0 = チャンネル A が、立上りエッジをキャプチャする。

1 = チャンネル A が、立下りエッジをキャプチャする。

OCB、OCAB、OPWM の各モードでは、EDPOL ビットを使用して出力ピンの電圧レベルを選択します。

0 = 出力フリップフロップの論理レベルが出力ピンに出力されます。チャンネル A でコンペアが発生すると出力ピンをセットします。チャンネル B でコンペアが発生すると出力ピンをリセットします。

1 = 出力フリップフロップの反転論理レベルが出力ピンに出力されます。チャンネル A でコンペアが発生すると出力ピンをリセットします。チャンネル B でコンペアが発生すると出力ピンをセットします。

EDPOL ビットはリセットでクリアされます。

## MODE[3:0]— モード選択フィールド

このビット・フィールドは DASM チャンネルの動作モードを選択します。表 84 を参照してください。

注：不正な割込みの発生を防止するため、動作モードを変更するときは DASM 割込みをディセーブルして行なうことをお勧めします。

表 84 DASM モード選択フィールド

DASM 制御レジスタ・ビット				分解能ビット 数	無視するタイム ベース・ビット	DASM 動作モード
MOD3	MOD2	MOD1	MOD0			
0	0	0	0	-	-	DIS-Disabled
0	0	0	1	16	-	IPWM-Input pulse width measurement
0	0	1	0	16	-	IPM-Input measurement period
0	0	1	1	16	-	IC-Input capture
0	1	0	0	16	-	OCB-Output compare, flag on B compare
0	1	0	1	16	-	OCAB-Output compare, flag on A and B compare
0	1	1	0	-	-	Not used
0	1	1	1	-	-	Not used
1	0	0	0	16	-	OPWM-Output pulse with modulation
1	0	0	1	15	15	OPWM-Output pulse with modulation

表 84 DASM モード選択フィールド ( 続き )

DASM 制御レジスタ・ビット				分解能ビット 数	無視するタイム ベース・ビット	DASM 動作モード
MOD3	MOD2	MOD1	MOD0			
1	0	1	0	14	15-14	OPWM-Output pulse with modulation
1	0	1	1	13	15-13	OPWM-Output pulse with modulation
1	1	0	0	12	15-12	OPWM-Output pulse with modulation
1	1	0	1	11	15-11	OPWM-Output pulse with modulation
1	1	1	0	9	15-9	OPWM-Output pulse with modulation
1	1	1	1	7	15-7	OPWM-Output pulse with modulation

モード選択フィールドはリセットでクリアされます。

DASMA—DASM データ・レジスタ A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSB								LSB							
RESET:															
U	U	U	U	U	U	U	U	U	U	U	U	U	U	U	U

DASMA は、チャンネル A に対応するデータ・レジスタです。表 85 に 13 個の DASMA のアドレス・ロケーションを示します。また、表 86 に各種動作モードでの DASMA の使用法を示します。

表 85 DASMA のアドレス・ロケーション

DASMA レジスタ	Address
DASM3	\$YFF91A
DASM4	\$YFF922
DASM5	\$YFF92A
DASM6	\$YFF932
DASM7	\$YFF93A
DASM8	\$YFF942
DASM14	\$YFF972
DASM15	\$YFF97A
DASM16	\$YFF982
DASM17	\$YFF98A
DASM18	\$YFF992
DASM20	\$YFF9A2
DASM22	\$YFF9B2

表 86 DASMA の動作

モード	DASMA の動作
DIS	DASMA をアクセスして、次のモードの選択を行なうことができます。
IPWM	計測するパルスの後方エッジに対応するキャプチャ値が DASMA に保持されます。
IPM	直前に検出された固定エッジ（立上りエッジまたは立下りエッジ）に対応するキャプチャ値が DASMA に保持されます。
IC	直前に検出された固定エッジ（立上りエッジまたは立下りエッジ）に対応するキャプチャ値が DASMA に保持されます。
OCB	発生するパルスの前方エッジに対応する値が DASMA にロードされます。また、OCB モードと OCAB モードでは、DASMA に書き込みを行なうと、次のコンペアが発生するまでチャンネル A に対応するコンパレータがイネーブルされます。
OCAB	発生するパルスの前方エッジに対応する値が DASMA にロードされます。また、OCB モードと OCAB モードでは、DASMA に書き込みを行なうと、次のコンペアが発生するまでチャンネル A に対応するコンパレータがイネーブルされます。
OPWM	発生する PWM パルスの前方エッジに対応する値が DASMA にロードされます。

## DASMB—DASM データ・レジスタ B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSB								LSB							
RESET:															
U	U	U	U	U	U	U	U	U	U	U	U	U	U	U	U

DASMB はチャンネル B に対応するデータ・レジスタです。表 87 に 13 個の DASMB のアドレス・ロケーションを示します。また、表 88 に各種動作モードでの DASMB の使用法を示します。選択された動作モードに応じて、ソフトウェアからのアクセスはレジスタ B1 またはレジスタ B2 に対して行なわれます。

表 87 DASMB のアドレス・ロケーション

DASMB レジスタ	Address
DASM3	\$YFF91C
DASM4	\$YFF924
DASM5	\$YFF92C
DASM6	\$YFF934
DASM7	\$YFF93C
DASM8	\$YFF944
DASM14	\$YFF974
DASM15	\$YFF97C
DASM16	\$YFF984
DASM17	\$YFF98C
DASM18	\$YFF994
DASM20	\$YFF9A4
DASM22	\$YFF9B4

表 88 DASMB の動作

モード	DASMB の動作
DIS	DASMB をアクセスして、次のモードの選択を行なうことができます。このモードでは、OPWM モードに対する値を用意するために、レジスタ B1 がアクセスされます。未使用のレジスタ B2 は隠されており、読み出しはできません。レジスタ B1 に書きを行なうと、同じ値がレジスタ B1 とレジスタ B2 に書き込まれます。
IPWM	計測するパルスの前方エッジに対応するキャプチャ値が DASMB に保持されます。このモードでは、レジスタ B2 がアクセスされます。バッファ・レジスタ B1 は隠されており、アクセスできません。
IPM	直前に検出された時間幅のエッジ（立上りエッジまたは立下りエッジ）に対応するキャプチャ値が DASMB に保持されます。このモードではレジスタ B2 がアクセスされます。バッファ・レジスタ B1 は隠されており、アクセスできません。
IC	直前に検出された時間幅のエッジ（立上りエッジまたは立下りエッジ）に対応するキャプチャ値が DASMB に保持されます。このモードではレジスタ B2 がアクセスされます。バッファ・レジスタ B1 は隠されており、アクセスできません。
OCB	発生するパルスの後方エッジに対応する値が DASMB にロードされます。また、OCB モードと OCAB モードでは、DASMB に書き込みを行なうと、チャンネル B に対応するコンパレータが次の一致が発生するまでイネーブルされます。このモードでは、レジスタ B2 がアクセスされます。バッファ・レジスタ B1 は隠されており、アクセスできません。
OCAB	発生するパルスの後方エッジに対応する値が DASMB にロードされます。また、OCB モードと OCAB モードでは、DASMB に書き込みを行なうと、チャンネル B に対応するコンパレータが次の一致が発生するまでイネーブルされます。このモードでは、レジスタ B2 がアクセスされます。バッファ・レジスタ B1 は隠されており、アクセスできません。
OPWM	発生する PWM パルスの後方エッジに対応する値が DASMB にロードされます。このモードではレジスタ B1 がアクセスされます。バッファ・レジスタ B2 は隠されており、アクセスできません。

## 6.9 パルス幅変調サブモジュール (PWMSM)

PWMSM を使用すると、ほかの CTM 出力信号とは関係なく、広範な周波数範囲でパルス幅変調信号を発生することができます。出力パルス幅は、16 ビットの精度で 0% ~ 100% の範囲で変更できます。最小パルス幅は MCU システム・クロック周期の 2 倍まで可能です（たとえば、16.78MHz のクロックで最小パルス幅 119ns、24.00MHz のクロックで最小パルス幅 83.3ns）。

PWMSM は次の機能で構成されています。

- ・極性指定が可能な出力フリップフロップ
- ・クロック・プリスケアラと選択回路
- ・16 ビット・アップカウンタ
- ・現在のパルス幅と次のパルス幅を保持する 2 個のレジスタ
- ・現在のパルス周期と次のパルス周期を保持する 2 個のレジスタ
- ・パルス幅コンパレータ
- ・システム状態シーケンサ
- ・0 ~ 100% パルスを発生する回路
- ・割込み回路
- ・ステータス / 割込み / コントロール・レジスタ
- ・サブモジュール・バス・インタフェース

PWMSM は専用のタイム・ベース・カウンタをもっており、CTM タイム・ベース・バスを使用しません。ただし、PWMSM では CPSM 内で発生した分周した PCLK1 クロックを使用しています。詳細については、159 ページの「6.6 カウンタ・プリスケアラ・サブモジュール (CPSM)」を参照してください。図 26 に PWMSM のブロック図を示します。

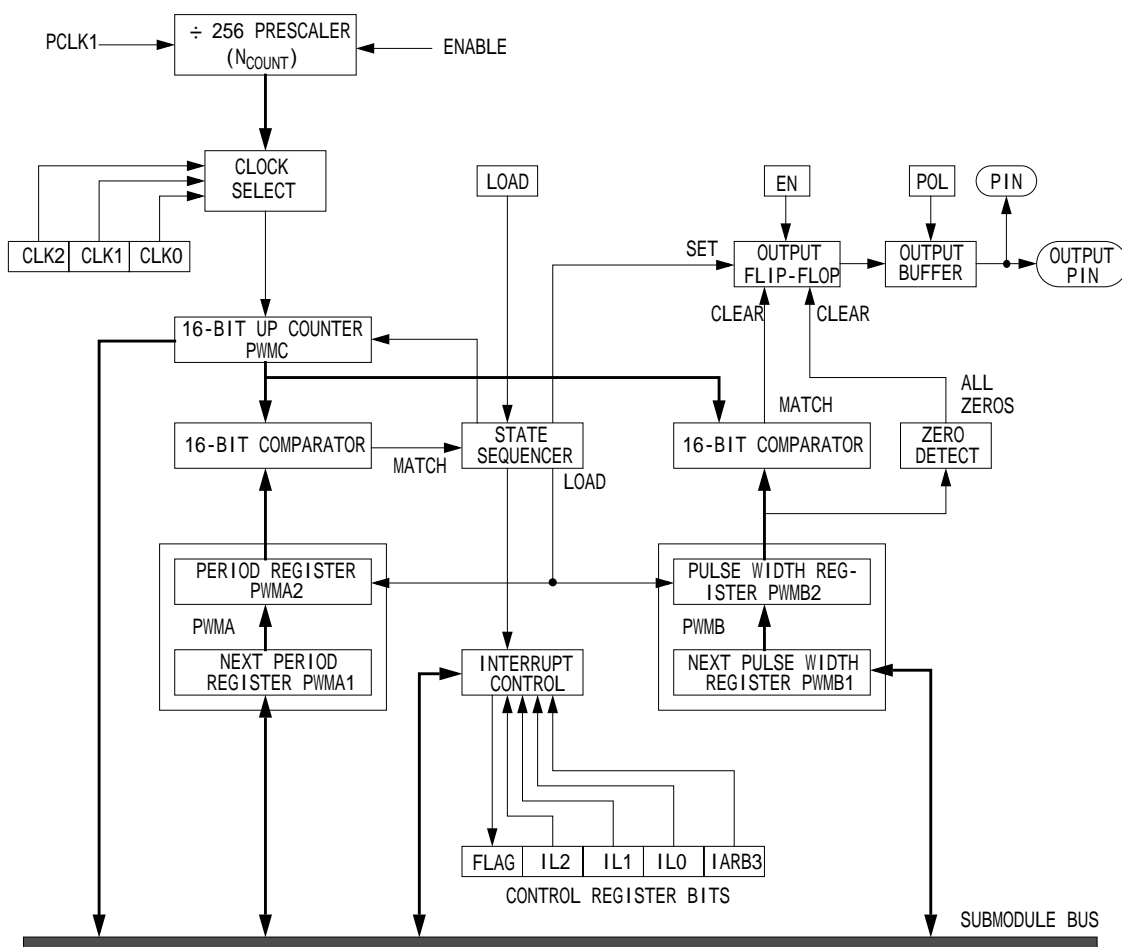


図 26 パルス幅変調サブモジュールのブロック図

### 6.9.1 PWM 周波数

PWM 出力周波数 ( $f_{\text{PWMQ}}$ ) と MCU システム・クロック周波数 ( $f_{\text{SYS}}$ ) の関係は、次式で求められます。

$$f_{\text{PWMO}} = \frac{f_{\text{SYS}}}{N_{\text{CLOCK}} \cdot N_{\text{COUNTER}}}$$

ここで、 $N_{\text{CLOCK}}$  は CPSM クロックの分周比(2 または 3)で、 $N_{\text{COUNTER}}$  は PWMSM のカウンタの分周比です。

あるシステム・クロック周波数 ( $f_{\text{SYS}}$ ) に対して、クロック選択分周比 ( $N_{\text{CLOCK}}$ ) およびビット分解能が与えられると、得られる最小 PWM 出力周波数は、次式で求められます。この式は、16 ビット未満の分解能に適用します。

$$\text{最小 } f_{\text{PWWO}} = \frac{f_{\text{SYS}}}{N_{\text{CLOCK}} \cdot (2^{\text{ビット分解能}+1} - 1)}$$

注：PWMSM は 1 から目的のプリセット値までをカウントする 16 ビット・モジュラス・アップカウンタ（図 26 参照）を内蔵しています。「ビット分解能」という用語は、同等なフリー・ランニング・バイナリ・カウンタのサイズを示します。ワースト・ケースに対応するために、ビット数は 1 つ下の数値に丸められます。たとえば、カウン

タが 128 から 255 の間の値をカウントするようにプリセットされた場合には、7 ビットの分解能をもちます。256 から 511 までの任意の値でカウントするようにプリセットされた場合は、分解能は 8 ビットです。「分解能」という用語は、最小 PWMSM の出力インクリメントを定義するのに使用されます。

16 ビット分解能では、可能な最大 PWM 出力周波数は、以下の等式で求められます。

$$\text{最小 } f_{\text{PWO}} = \frac{f_{\text{SYS}}}{N_{\text{CLOCK}} \cdot (2^{\text{ビット分解能} + 1})}$$

## 6.9.2 PWM パルス幅

最小出力パルス幅(  $t_{\text{PWOIN}}$  )および MCU システム・クロック周波数(  $f_{\text{SYS}}$  )は、以下の式で求められます。

$$t_{\text{PWOIN}} = \frac{N_{\text{CLOCK}}}{f_{\text{SYS}}}$$

得られる最大出力パルス幅(  $t_{\text{PWMAX}}$  )は、以下の式によって与えられます。この式 16 ビット未満の分解能に適用されます。

$$t_{\text{PWMAX}} = \frac{N_{\text{CLOCK}} \cdot (N_{\text{COUNT}} - 1)}{f_{\text{SYS}}}$$

16 ビット分解能では、得られる最大出力パルス幅(  $t_{\text{PWMAX}}$  )は、以下の式で与えられます。

$$t_{\text{PWMAX}} = \frac{N_{\text{CLOCK}} \cdot (2^{\text{ビット分解能}} - 1)}{f_{\text{SYS}}}$$

## 6.9.3 PWM 周期レジスタおよび PWM パルス幅レジスタの値

ある周期を得るために PWM 周期レジスタにロードする値は、次式で求められます。

$$\text{PWMA} = \frac{f_{\text{SYS}}}{N_{\text{CLOCK}} \cdot f_{\text{PWO}}}$$

あるパルス幅を得るために PWM パルス幅レジスタにロードする値は、次式で求められます。

$$\text{PWMB} = \frac{t_{\text{PWO}}}{t_{\text{PWOIN}}} = \frac{\text{デューティ・サイクル}\%}{100} \cdot \text{PWMA}$$

## 6.9.4 PWM 周期およびパルス幅レジスタ値

表 89 および表 90 に、÷ 2 と ÷ 3 オプションおよび 16.78MHz のクロック周波数を使用して達成可能

なパルス幅と周波数を示します。

表 89 ÷ 2 オプション (16.78MHz) を使用した PWM パルスおよび周波数範囲 (Hz)

最小パルス幅	分解能 (ビット数)															
	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0.119μs ( ÷ 2 )	128	256	512	1024	2048	4096	8192	16384	32768	65.5K	131K	262K	524K	1049K	2097K	4195K
0.238μs ( ÷ 4 )	64	128	256	512	1024	2048	4096	8192	16384	32768	65.5K	131K	262K	524K	1049K	2097K
0.477μs ( ÷ 8 )	32	64	128	256	512	1024	2048	4096	8192	16384	32768	65.5K	131K	262K	524K	1049K
0.954μs ( ÷ 16 )	16	32	64	128	256	512	1024	2048	4096	8192	16384	32768	65.5K	131K	262K	524K
1.91μs ( ÷ 32 )	8.0	16	32	64	128	256	512	1024	2048	4096	8192	16384	32768	65.5K	131K	262K
3.81μs ( ÷ 64 )	4.0	8.0	16	32	64	128	256	512	1024	2048	4096	8192	16384	32768	65.5K	131K
7.63μs ( ÷ 128 )	2.0	4.0	8.0	16	32	64	128	256	512	1024	2048	4096	8192	16384	32768	65.5K
30.5μs ( ÷ 512 )	0.5	1.0	2.0	4.0	8.0	16	32	64	128	256	512	1024	2048	4096	8192	16384

表 90 ÷ 3 オプション (16.78MHz) を使用した PWM パルスおよび周波数範囲 (Hz)

最小パルス幅	分解能 (ビット数)															
	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0.179μs ( ÷ 3 )	85.33	170.7	341.3	682.7	1365	2731	5461	10923	21845	43.69K	87.38K	174.8K	349.5K	699.1K	1398K	2796K
0.358μs ( ÷ 6 )	42.67	85.33	170.7	341.3	682.7	1365	2731	5461	10923	21845	43.69K	87.38K	174.8K	349.5K	699.1K	1398K
0.715μs ( ÷ 12 )	21.33	42.67	85.33	170.7	341.3	682.7	1365	2731	5461	10923	21845	43.69K	87.38K	174.8K	349.5K	699.1K
1.431μs ( ÷ 24 )	10.67	21.33	42.67	85.33	170.7	341.3	682.7	1365	2731	5461	10923	21845	43.69K	87.38K	174.8K	349.5K
2.861μs ( ÷ 48 )	5.333	10.67	21.33	42.67	85.33	170.7	341.3	682.7	1365	2731	5461	10923	21845	43.69K	87.38K	174.8K
5.722μs ( ÷ 96 )	2.667	5.333	10.67	21.33	42.67	85.33	170.7	341.3	682.7	1365	2731	5461	10923	21845	43.69K	87.38K
11.44μs ( ÷ 192 )	1.333	2.667	5.333	10.67	21.33	42.67	85.33	170.7	341.3	682.7	1365	2731	5461	10923	21845	43.69K
45.78μs ( ÷ 768 )	0.333	0.667	1.333	2.667	5.333	10.67	21.33	42.67	85.33	170.7	341.3	682.7	1365	2731	5461	10923

表 91 および表 92 に、÷ 2 と ÷ 3 オプションおよび 24.00MHz のクロック周波数を使用して達成可能なパルス幅と周波数を示します。

表 91 ÷ 2 オプション (24.00MHz) を使用した PWM パルスおよび周波数範囲 (Hz)

最小パルス幅	分解能 (ビット数)															
	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0.083μs ( ÷ 2 )	183	366	732.4	1464	2929	5859	11718	23437	46.87K	93.75K	187.5K	375K	750K	1.5M	3M	6M
0.166μs ( ÷ 4 )	91.5	183	366	732.4	1464	2929	5859	11718	23437	46.87K	93.75K	187.5K	375K	750K	1.5M	3M
0.333μs ( ÷ 8 )	45.77	91.5	183	366	732.4	1464	2929	5859	11718	23437	46.87K	93.75K	187.5K	375K	750K	1.5M
0.666μs ( ÷ 16 )	22.88	45.77	91.5	183	366	732.4	1464	2929	5859	11718	23437	46.87K	93.75K	187.5K	375K	750K
1.33μs ( ÷ 32 )	11.44	22.88	45.77	91.5	183	366	732.4	1464	2929	5859	11718	23437	46.87K	93.75K	187.5K	375K
2.66μs ( ÷ 64 )	5.722	11.44	22.88	45.77	91.5	183	366	732.4	1464	2929	5859	11718	23437	46.87K	93.75K	187.5K
5.33μs ( ÷ 128 )	2.861	5.722	11.44	22.88	45.77	91.5	183	366	732.4	1464	2929	5859	11718	23437	46.87K	93.75K
21.3μs ( ÷ 512 )	0.715	1.430	2.861	5.722	11.44	22.88	45.77	91.5	183	366	732.4	1464	2929	5859	11718	23437



表 92 ÷ 3 オプション (24.00MHz) を使用した PWM パルスおよび周波数範囲 (Hz)

最小パルス幅	分解能 (ビット数)															
	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
0.125μs ( ÷ 3)	122	244.1	488.2	976.5	1953	3906	7812	15625	31250	62.5K	125K	250K	500K	1000K	2000K	4000K
0.250μs ( ÷ 6)	61	122	244.1	488.2	976.5	1953	3906	7812	15625	31250	62.5K	125K	250K	500K	1000K	2000K
0.500μs ( ÷ 12)	30.5	61	122	244.1	488.2	976.5	1953	3906	7812	15625	31250	62.5K	125K	250K	500K	1000K
1.000μs ( ÷ 24)	15.25	30.5	61	122	244.1	488.2	976.5	1953	3906	7812	15625	31250	62.5K	125K	250K	500K
2.000μs ( ÷ 48)	7.629	15.25	30.5	61	122	244.1	488.2	976.5	1953	3906	7812	15625	31250	62.5K	125K	250K
4.000μs ( ÷ 96)	3.814	7.629	15.25	30.5	61	122	244.1	488.2	976.5	1953	3906	7812	15625	31250	62.5K	125K
8.000μs ( ÷ 192)	1.907	3.814	7.629	15.25	30.5	61	122	244.1	488.2	976.5	1953	3906	7812	15625	31250	62.5K
32.00μs ( ÷ 768)	0.476	0.953	1.907	3.814	7.629	15.25	30.5	61	122	244.1	488.2	976.5	1953	3906	7812	15625

## 6.9.5 PWMSM のレジスタ

PWMSM には、1 個のステータス / 割込み / コントロール・レジスタ、周期レジスタ、パルス幅レジスタ、カウンタ・レジスタがあります。未使用ビットおよび予約済みアドレスをソフトウェアで読み出すと、すべて“0”が返されます。未使用ビットおよび予約済みアドレスに対する書込みは無視されます。CTM3 には 5 つの PWMSM があり、各 PWMSM は専用のレジスタ・セットをもちます。

### PWMSIC—PWM ステータス / 割込み / コントロール・レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COF	IL[2:0]			IARB3	NOT USED			PIN	NOT USED	LOAD	POL	EN	CLK[2:0]		
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 93 に 5 つの PWMSIC のアドレス・ロケーションを示します。

表 93 PWMSIC のアドレス・ロケーション

PWMSIC レジスタ	Address
PWM9	\$YFF948
PWM10	\$YFF950
PWM11	\$YFF958
PWM12	\$YFF960
PWM13	\$YFF968

### FLAG—周期終了ステータス

PWM 出力周期が終了すると、この FLAG ビットがセットされます。

0 = PWM 出力周期が未終了。

1 = PWM 出力周期が終了。

この FLAG ビットは、PWM 出力周期が終了することにハードウェアによりセットされます。PWM がイネーブルされるごとに、FLAG ビットが直ちにセットされ、バッファ・レジスタ PWMA2 と PWMB2 の値が更新されたこと、および新しい値を採用した周期が開始されたことを表示します。また、このビットは、ユーザがアクセスできる周期レジスタ (PWMA1) およびパルス幅レジスタ (PWMB1) に、

次の PWM 周期に対する値をロードできることも表示します。一度セットされると、FLAG ビットはソフトウェアでクリアされるまでそれ以降の周期では影響を受けることはなく、セット状態を維持します。

FLAG ビットはソフトウェアによりクリアされます。フラグをクリアするには、ソフトウェアは、まずこのビットを "1" で読み込み、次にこのビットに "0" を書き込みます。FLAG ビットに対する "1" の書き込みは無視されます。PWM がディセーブルされているときは、FLAG ビットはクリア状態を維持します。

注：このフラグ・クリア方式は、読出し動作と書き込み動作の間にフラグをセットするイベントが発生しない場合にのみ、有効に機能します。読出し動作と書き込み動作の間に FLAG ビットをセットするイベントが発生すると、FLAG ビットはクリアされません。

割込みレベル・ビット IL[2:0] により割込みレベルが "0" 以外に設定されている場合に FLAG ビットがセットされると、割込み要求が発行されます。割込み処理ルーチンから復帰する前に、ソフトウェアで FLAG ビットをクリアして、IMB 上で PWMSM が直ちに次の割込みを発生しないようにする必要があります。

#### IL[2:0]— 割込みレベル・ビット

このビット・フィールドには、PWMSM が発生する割込み要求の優先レベルを選択する読出し / 書き込み可能な制御ビットがあります。これらのビットはいつでも読出しまたは書き込みが可能であり、リセットによってクリアされます。表 94 を参照してください。

表 94 割込みレベル・ビット・フィールド

IL2	IL1	IL0	優先レベル
0	0	0	Interrupt disabled
0	0	1	Interrupt level 1 (lowest)
0	1	0	Interrupt level 2
0	1	1	Interrupt level 3
1	0	0	Interrupt level 4
1	0	1	Interrupt level 5
1	1	0	Interrupt level 6
1	1	1	Interrupt level 7 (highest)

#### IARB3— 割込み調停ビット 3

このビットは、BIUSM モジュール・コンフィギュレーション・レジスタ内にある IARB[2:0] との組合せで機能します。IMB 上で割込み要求を発行する各モジュールは、調停フィールド内に固有の値をもっている必要があります。同一優先順位で同時に複数のモジュールが割込みを要求した場合には、割込み調停番号を使用して IMB に対する優先順位の制御を行ないます。この IARB3 ビットはリセットでクリアされます。IARB[2:0] の詳細については、157 ページの「6.5.1 BIUSM のレジスタ」を参照してください。

#### PIN— 出力ピン・ステータス

このステータス・ビットは、出力ピンの論理状態を示します。

0 = 出力ピンに論理レベル "0" を出力中。

1 = 出力ピンに論理レベル "1" を出力中。

このビットを使用すると、ソフトウェアは出力ピンの波形をモニタできます。PIN ビットは読出し専用ビットです。このビットに対する書き込みは無視されます。

#### LOAD— 周期およびパルス幅レジスタ・ロード制御

この制御ビットにより、PWM 出力信号にグリッチが生じることなく、ソフトウェアから PWMSM を再初期化して PWM 周期を開始させることができます。

0 = 無動作

1 = 周期レジスタおよびパルス幅レジスタをロードする。

このビットを読み出すと常に "0" が返されます。このビットに "1" を書き込むと、直ちに以下の

動作が開始されます。

- ・PWMA1 レジスタの値（周期）を PWMA2 レジスタに転送します。
  - ・PWMB1 レジスタの値（パルス幅）を PWMB2 レジスタに転送します。
  - ・カウンタ・レジスタ（PWMC）を \$0001 に初期化します。
  - ・制御回路および状態シーケンサをリセットします。
  - ・FLAG ビットをセットします。
  - ・PWMB2 の新しい値が \$0000 と異なる場合は、出力フリップフロップをセットします。
- 注：EN ビットが “0”（すなわち、PWMSM がディセーブル）の場合は、LOAD ビットに “1” を書き込んででも無視されます。

#### POL—出力ピン極性制御

この制御ビットを使用すると、ソフトウェアから PWM 出力信号の極性を指定することができます。このビットは EN ビットと関連して機能し、出力フリップフロップの非反転出力または反転出力を PWMSM 出力ピンに出力することを指定します。表 95 を参照してください。

表 95 PWMSM 出力ピン極性の選択

コントロール・ビット		出力ピンの状態	同期エッジ	可変エッジ	オプションの割込み ON
POL	EN				
0	0	Always low	-	-	-
1	0	Always high	-	-	-
0	1	High pulse	Rising edge	Falling edge	Rising edge
1	1	Low pulse	Falling edge	Rising edge	Falling edge

注：POL と EN が同時にセットされると（POL=1、EN=1）出力の極性がすぐに変化します。その 4 クロック後にカウントを開始し、最初のパルスを生成します。パルス・タイミングに関しては、335 ページの「表 177 PWMSM タイミング」を参照してください。

#### EN—PWMSM イネーブル制御

この制御ビットを使用すると、ソフトウェアで PWMSM をイネーブルおよびディセーブルすることができます。

0 = PWMSM をディセーブルし、PWM 出力パルスの発生を停止する。

1 = PWMSM をイネーブルし、PWM 出力パルスの発生を開始する。

PWMSM がディセーブルされると（EN = “0”）次の状態になります。

- ・出力フリップフロップがリセット状態になり、出力ピンのレベルは POL ビットの状態に従って 1 または 0 にセットされます。
- ・PWMSM の ÷ 256 プリスケアラはリセット状態になります。
- ・カウンタはインクリメントを停止し、\$0001 に設定されます。
- ・コンパレータはディセーブルされます。
- ・PWMA1 レジスタと PWMB1 レジスタは、値をバッファ・レジスタ（それぞれ PWMA2 と PWMB2）に転送し続けます。
- ・EN ビットが “0” から “1” に変更されると、次の動作が実行されます。
- ・出力フリップフロップがセットされ、最初のパルスが開始されます。
- ・PWMSM の ÷ 256 プリスケアラのリセットが解除されます。
- ・カウンタのリセットが解除され、\$0001 からインクリメントを開始します。
- ・FLAG ビットがセットされます（PWMA1 と PWMB1 をそれぞれ新しい周期とパルス幅で更新可能であることを示します）。

EN ビットがセットされると、PWMSM は PWMA2 レジスタと PWMB2 レジスタ内のデータ（このデータは PWMA1 レジスタと PWMB1 レジスタを介して、各周期の終わりに更新されます）に基づき、連続してパルス幅変調出力信号を発生します。

注：PWMSM をディセーブルするときに出力波形にグリッチが発生しないようにするために、周期が 0% のパルス（PWMB2 = \$0000）を出力するまで、EN ビットはソフトウェアでクリアしてはいけません。

## CLK[2:0]—クロック・レート選択

CLK ビットは制御ビットであり、このビットを使用して、PWMSM プリスケアラから出力される 8 種類のクロック・ソースの 1 つをソフトウェアから選択することができます。これらのビットはソフトウェアからいつでも変更できます。表 96 にカウンタ・クロック・ソースとクロック・レートの詳細を示します。

表 96 PWMSM クロック・レートの選択

PWMSM CLK ビット			CPSM ビット DIV23	PWMSM クロック	クロック・ソース
CLK2	CLK1	CLK0			
0	0	0	0	$f_{\text{SYS}}/2$	PCLK1
0	0	1	0	$f_{\text{SYS}}/4$	Prescaler (/2)
0	1	0	0	$f_{\text{SYS}}/8$	Prescaler (/4)
0	1	1	0	$f_{\text{SYS}}/16$	Prescaler (/8)
1	0	0	0	$f_{\text{SYS}}/32$	Prescaler (/16)
1	0	1	0	$f_{\text{SYS}}/64$	Prescaler (/32)
1	1	0	0	$f_{\text{SYS}}/128$	Prescaler (/64)
1	1	1	0	$f_{\text{SYS}}/512$	Prescaler (/256)
0	0	0	1	$f_{\text{SYS}}/3$	PCLK1
0	0	1	1	$f_{\text{SYS}}/6$	Prescaler (/2)
0	1	0	1	$f_{\text{SYS}}/12$	Prescaler (/4)
0	1	1	1	$f_{\text{SYS}}/24$	Prescaler (/8)
1	0	0	1	$f_{\text{SYS}}/48$	Prescaler (/16)
1	0	1	1	$f_{\text{SYS}}/96$	Prescaler (/32)
1	1	0	1	$f_{\text{SYS}}/192$	Prescaler (/64)
1	1	1	1	$f_{\text{SYS}}/768$	Prescaler (/256)

## PWMA—PWM 周期レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSB								LSB							
RESET:															
U	U	U	U	U	U	U	U	U	U	U	U	U	U	U	U

PWMA レジスタは、PWM 出力波形の次のサイクルに対する周期値を保持しています。通常の用途では、PWMSM がイネーブル状態で、ソフトウェアが PWMA1 レジスタに周期値を書き込み、現在の周期の終わりにこの値が PWMA2 レジスタに転送されます。PWMSM がディセーブル状態では、PWMA1 レジスタに書き込まれた値は (MCU システム・クロックの) 次の半サイクルで、PWMA2 レジスタにロードされます。PWMA2 は一時的なレジスタであり、PWM 周期をスムーズに更新するために使用されます。このレジスタはソフトウェアから直接に読出し / 書き込みはできません。

ソフトウェアからいつでも PWMA1 に新しい値を書き込むことができ、この新しい値は次の PWM 周期の初めに (または PWMSIC レジスタ内の LOAD ビットに “1” が書き込まれた時点で) 有効になります。PWMSM ハードウェアが PWMA1 レジスタの値を変更することはありません。

表 97 に 5 つの PWMA アドレス・ロケーションを示します。

表 97 PWMA アドレス・ロケーション

PWMA レジスタ	Address
PWM9	\$YFF94A
PWM10	\$YFF952
PWM11	\$YFF95A
PWM12	\$YFF962
PWM13	\$YFF96A

#### PWMB—PWM パルス幅レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSB								LSB							
RESET:															
U	U	U	U	U	U	U	U	U	U	U	U	U	U	U	U

PWMB レジスタは、PWM 出力波形の次のサイクルに対するパルス幅の値を保持しています。通常の用途では、PWMSM がイネーブル状態で、ソフトウェアが PWMB1 レジスタにパルス幅の値を書き込み、現在の周期の終わりにこの値が PWMB2 レジスタに転送されます。PWMSM がディセーブル状態では、PWMB1 レジスタに書き込まれたパルス幅の値は (MCU システム・クロックの) 次の半サイクルで、PWMB2 レジスタにロードされます。PWMB2 は一時的なレジスタであり、PWM パルス幅をスムーズに更新するために使用されます。このレジスタはソフトウェアから直接に読出し / 書き込みはできません。

ソフトウェアからいつでも新しい値を PWMB に書き込むことができ、この新しい値は次の PWM 周期の初めに (または PWMSIC レジスタ内の LOAD ビットに “1” が書き込まれた時点で) 有効になります。PWMSM ハードウェアが PWMB1 レジスタの値を変更することはありません。

表 98 に 5 つの PWMB アドレス・ロケーションを示します。

表 98 PWMB アドレス・ロケーション

PWMB レジスタ	Address
PWM9	\$YFF94C
PWM10	\$YFF954
PWM11	\$YFF95C
PWM12	\$YFF964
PWM13	\$YFF96C

#### PWMC—PWM カウンタ・レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSB								LSB							
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

このカウンタ (PWMC レジスタ) は、読出し専用レジスタです。ソフトウェアからいつでもこのカウンタを読み出すことができます。このカウンタに対する書き込みは無視されます。PWMC にはリセットで \$0001 がロードされます。また、PWMSM がディセーブル状態の場合 (EN = “0”) にも、PWMC は \$0001 にセット、保持されます。

表 99 に 5 つの PWMC アドレス・ロケーションを示します。

表 99 PWMC アドレス・ロケーション

PWMC レジスタ	Address
PWM9	\$YFF94E
PWM10	\$YFF956
PWM11	\$YFF95E
PWM12	\$YFF966
PWM13	\$YFF96E

## 6.10 CTM3 割り込み

CTM3 は、IMB 上で多様な割り込みを生成する機能をもっています。各サブモジュールは、7 レベルのうちいずれかの割り込みを要求することができます。サブモジュールには、3 ビット・レベル番号と、1 ビットの調停番号があり、これらはソフトウェアにより初期設定が可能です。

3 ビット・レベル番号は、IMB 上で 7 つの割り込み信号のうちどれをサブモジュールでドライブして、割り込み要求を生成するかを選択します。モジュール間での調停中に IMB 上に用意された、4 つの優先順位ビットのうち 1 つは選択したサブモジュールから供給され、BIUSM が他の 3 つを供給します。したがって、CTM3 は可能性のある 15 の調停番号のうち 2 つに応答します。

IMB 調停プロセス中に、BIUSM は CTM3 サブモジュール間で独立して調停を管理し、どのサブモジュールが応答すべきかを決定します。IMB 上で調停中のレベルで、ペンディングになった割り込み要求をもつサブモジュールの中で、最下位のアドレスをもつサブモジュールには、応答する最高優先順位が与えられます。

あるモジュールで、IARB がユニークでない場合、同時に発生した割り込みは表 100 に記載するとおり、ベクタ番号（またはサブモジュール割り込み調停シーケンス番号）に従って、ハードウェアで優先順位が決定されます。割り込み調停プロセスに続いて、CTM3 は 8 ビット・ベクタ番号を供給します。8 ビットのうち 6 ビットは、サブモジュールが供給します。サブモジュールは、2 つの別々の割り込み要因をユニークな割り込みベクタで識別することができます。8 ビット・ベクタの上位 2 ビットは、BIUSM から供給されます。下位 6 ベクタ・ビットは、調停サイクルの初めに、CTM3 でペンディングされている最も優先順位の高い割り込み要求を識別します。

表 100 CTM3 割り込み優先順位とベクタ / ピン配置

サブモジュール名	サブモジュール ベースアドレス <sup>1</sup>	サブモジュール ベクタ番号 <sup>2</sup>	サブモジュール割り込み 調停シーケンス <sup>3</sup>	ピン名
BIUSM	\$YFF900	None	None	None
CPSM	\$YFF908	None	None	None
MCSM2	\$YFF910	xx000010	2	CTM2C (Clock) CTD22 (Load)
DASM3	\$YFF918	xx000011	3	CTD4
DASM4	\$YFF920	xx000100	4	CTD4
DASM5	\$YFF928	xx000101	5	CTD5
DASM6	\$YFF930	xx000110	6	CTD6
DASM7	\$YFF938	xx000111	7	CTD7
DASM8	\$YFF940	xx001000	8	CTD8
PWSM9	\$YFF948	xx001001	9	CPWM9
PWSM10	\$YFF950	xx001010	10	CPWM10

表 100 CTM3 割込み優先順位とベクタ / ピン配置 ( 続き )

サブモジュール名	サブモジュール ベースアドレス <sup>1</sup>	サブモジュール ベクタ番号 <sup>2</sup>	サブモジュール割込み 調停シーケンス <sup>3</sup>	ピン名
PWSM11	\$YFF958	xx001011	11	CPWM11
PWSM12	\$YFF960	xx001100	12	CPWM12
PWSM13	\$YFF968	xx001101	13	CPWM13
DASM14	\$YFF970	xx001110	14	CTD14
DASM15	\$YFF978	xx001111	15	CTD15
DASM16	\$YFF980	xx010000	16	CTD16
DASM17	\$YFF988	xx010001	17	CTD17
DASM18	\$YFF990	xx010010	18	CTD18
MCSM19	\$YFF998	xx010011	19	CTM2C (Clock) CTD18 (Load)
DASM20	\$YFF9A0	xx010100	20	CTD20
MCSM21	\$YFF9A8	xx010101	21	CTM2C (Clock) CTD20 (Load)
DASM22	\$YFF9B0	xx010110	22	CTD22
MCSM23	\$YFF9B8	xx010111	23	CTM2C (Clock) CTD20 (Load)

注 : 1. Y = M111。ここで、M は SLIM のモジュール・マッピング・ビットの状態です ( HC16 デバイスの場合は Y = \$F )。

2. “ xx ” は VECT[7:6] を表わします。これは BIUSM モジュール・コンフィギュレーション・レジスタに配置されています。

3. 割込み調停 #2 が最高優先順位で、割込み調停 #26 が最低優先順位です。

## 第 7 章

# キュー付きアナログ / デジタル・コンバータ・モジュール

キュー付きアナログ / デジタル・コンバータ (QADC) は、アナログ・フロントエンドとデジタル制御サブシステムで構成されており、インタモジュール・バス (IMB)<sup>®</sup> インタフェース・ブロックが含まれています。

図 27 を参照してください。

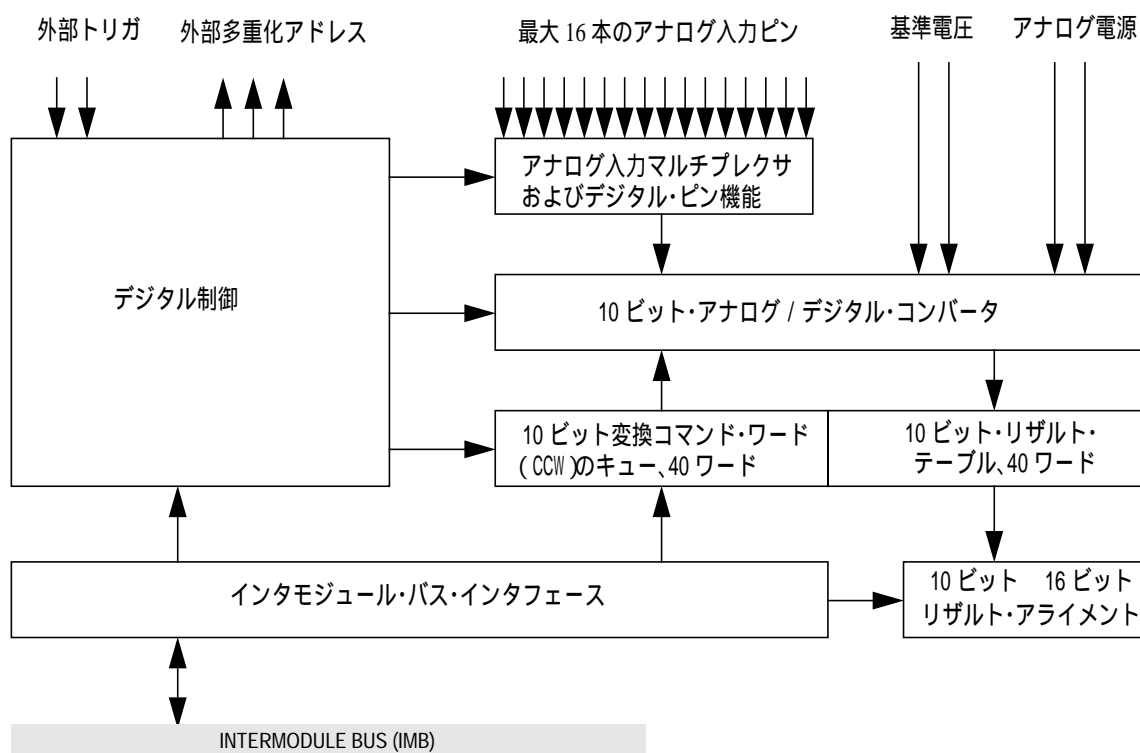


図 27 QADC ブロック図

### 7.1 概 要

キュー付きアナログ / デジタル・コンバータ (QADC) は、10 ビットのユニポーラ、逐次比較型コンバータです。内部マルチプレクサにより、最大 16 のアナログ入力チャンネルをサポートすることができます。また、拡張外部マルチプレクス・モードでは、最大 41 本の入力チャンネル (内部チャンネルを含む) をサポート可能です。実際のチャンネル数は、QADC モジュールで使用可能なピン数によって決まります。

アナログ部には、入力ピン、アナログ・マルチプレクサ、サンプル & ホールド・アナログ回路があります。アナログ変換は、D/A コンバータ (DAC)、抵抗 - コンデンサ・アレイ、および高ゲイン・コン



パレータで実行されます。

デジタル制御部は、変換処理のシーケンス制御を行なう制御ロジック、チャネル・セレクト・ロジック、および逐次比較レジスタ (SAR) で構成されています。また、周期 / インターバル・タイマ、コントロール・レジスタ、ステータス・レジスタ、変換コマンド・ワード (CCW) テーブル RAM、リザルト・ワード・テーブル RAM も含まれています。

バス・インタフェース・ユニット (BIU) により、IMB 環境を通してアプリケーション・ソフトウェアで QADC を動作させることができます。

QADC のメモリ・マップは 512 バイト (256 ワード) を占有します。

表 101 QADC モジュール・アドレス・マップ

アクセス	アドレス	オフセット	15	8	7	0
S <sup>1</sup>	\$YFF200 <sup>3</sup>	\$000	モジュール・コンフィギュレーション・レジスタ (QADCMCR)			
S	\$YFF202	\$002	テスト・レジスタ (QADCTEST)			
S	\$YFF204	\$004	割込みレジスタ (QADCINT)			
S/U <sup>2</sup>	\$YFF206	\$006	ポート A データ (PORTQA)		ポート B データ (PORTQB)	
S/U	\$YFF208	\$008	ポート・データ方向レジスタ (DDRQA)			
S/U	\$YFF20A	\$00A	コントロール・レジスタ 0 (QACR0)			
S/U	\$YFF20C	\$00C	コントロール・レジスタ 1 (QACR1)			
S/U	\$YFF20E	\$00E	コントロール・レジスタ 2 (QACR2)			
S/U	\$YFF210	\$010	ステータス・レジスタ (QASR)			
-	\$YFF212-\$YFF22E	\$012-\$02E	予約			
S/U	\$YFF230-\$YFF27E	\$030-\$07E	変換コマンド・ワード (CCW) テーブル			
	\$YFF280-\$YFF2AE	\$080-\$0AE	予約			
S/U	\$YFF2B0-\$YFF2FE	\$0B0-\$0FE	リザルト・ワード・テーブル 右詰め符号なしリザルト・レジスタ (RJURR)			
-	\$YFF300-\$YFF32E	\$100-\$12E	予約			
S/U	\$YFF330-\$YFF37E	\$130-\$17E	リザルト・ワード・テーブル 左詰め符号付きリザルト・レジスタ (LJSRR)			
-	\$YFF380-\$YFF3AE	\$180-\$1AE	予約			
S/U	\$YFF3B0-\$YFF3FE	\$1B0-\$1FE	リザルト・ワード・テーブル 左詰め符号なしリザルト・レジスタ (LJURR)			

注：1. S= スーパーバイザ専用

2. S/U=QADCMCR の SUPV ビットに従ってスーパーバイザまたはユーザ

3. Y=M111 ここで、M は SLIMCR のモジュール・マップ (MM) ビットの論理状態です。MC68HC(9)16Y5/916Y6 では、Y は \$F でなければなりません。M がクリアされている場合、リセットが実行されるまで IMB モジュールはアクセス不能です。リセット後、M は 1 回だけ書き込むことができます。

## 7.2 信号説明

図 28 に QADC のモジュール・ピンを示します。

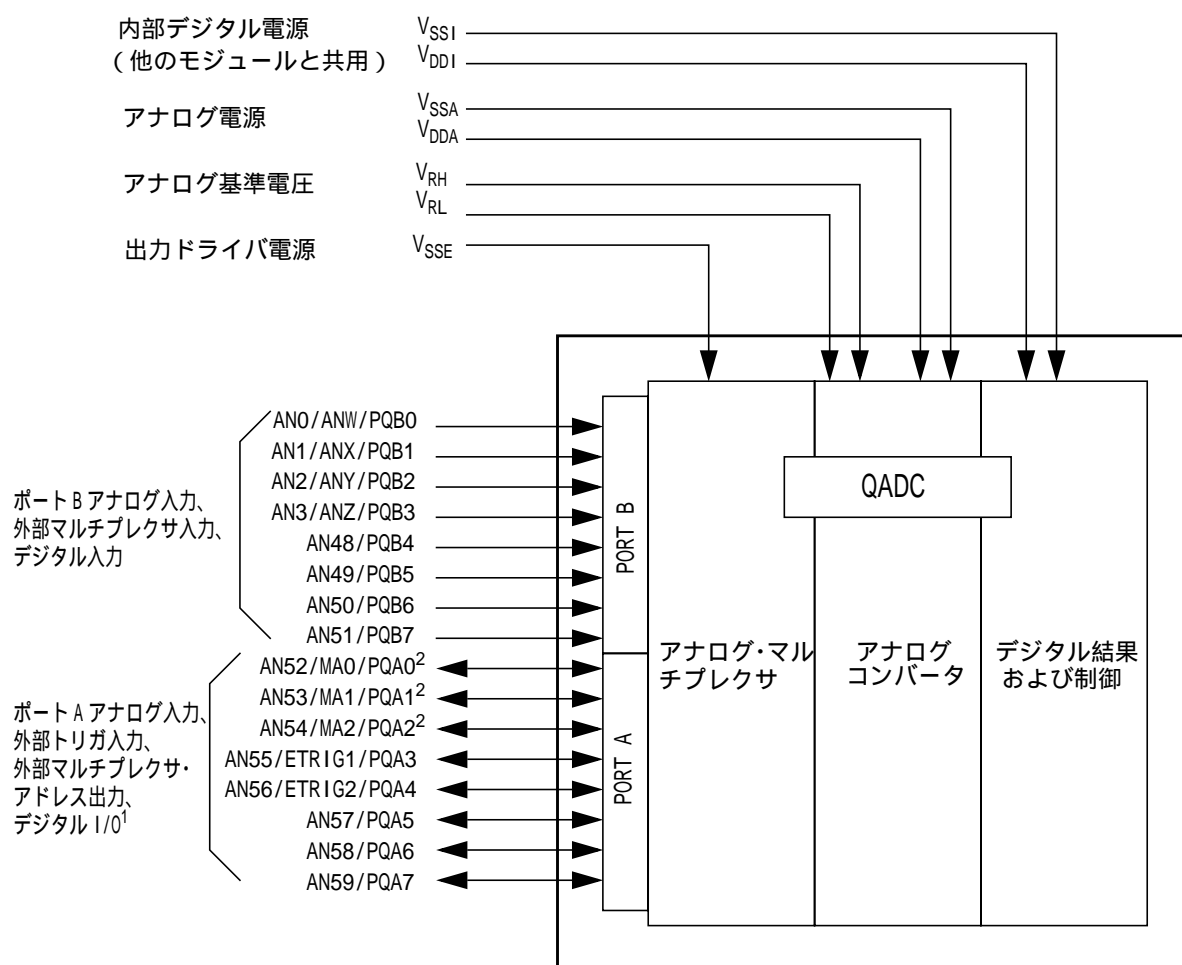


図 28 QADC の入出力信号

注：1. ポート A の出力ピン側はオープン・ドレイン・タイプのドライバです。  
2. このピンは、VDDA を越える電圧を印可しないよう、特に注意が必要です。

表 102 は QADC ピンの機能を要約したものです。

表 102 QADC ピンの機能

ピン名	ニーモニック	ピン機能
ポート QA アナログ入力ピン	AN[59:52]	8本のポート A ピンは、アナログ入力として使用するときは AN[59:52] となります。ポート QA にはデジタル出力ドライバが対応しているため、ポート QA とポート QB のアナログ特性は異なります。すべてのアナログ信号入力ピンは、別の目的にも使用することができます。
ポート QA デジタル入出力ピン	PQA[7:0]	ポート A ピンは、双方向の 8 ビット・デジタル入出力ポートとして使用するときは PQA[7:0] となります。これら 8 本のピンは、汎用デジタル入力信号、またはデジタル・オープン・ドレイン出力信号に使用できます。各 PQA ピンは、ポート・データ方向レジスタ (DDRQA) の上位半分をプログラムすることによって、入力または出力として設定されます。
ポート QB アナログ入力ピン	AN[51:48]/AN[3:0]	アナログ入力として使用します。ポート QB ピンはアナログおよびデジタル入力専用ポートとして機能するため、ポート QA とはアナログ特性が異なります。すべてのアナログ信号入力ピンは、別の目的にも使用できます。

表 102 QADC ピンの機能 ( 続き )

ピン名	ニーマニツク	ピン機能
ポート QB デジタル入力ピン	PQB[7:0]	8 ビットのデジタル入力専用ポートとして使用します。PQB ピンは、アナログ入力ピンとして機能するほか、読出し中にシンクロナイザの入力にも接続され、印加された電圧が VIH および VIL の条件を満足するときは、汎用デジタル入力として使用できます。
外部トリガ入力ピン	ETRIG[2:1]	QADC は 2 本の外部トリガ・ピン (ETRIG[2:1]) を使用します。外部トリガ入力ピンは 2 つの多機能ポート QA ピン (PQA[4:3]) に含まれていますが、これらのピンは通常アナログ・チャンネル入力ピンとして使用されます。2 本の入力外部トリガ・ピンのそれぞれがスキャン・キュー ( キュー 1 と キュー 2 ) の 1 つに対応しています。キューが外部トリガ・モードになっているときには、対応する外部トリガ・ピンがデジタル入力として構成され、データ方向レジスタ (DDRQA) でソフトウェアが外部トリガ・ピンに対してプログラムした入出力方向は無視されます。
マルチプレクス・アドレス出力ピン	MA[2:0]	QADC は外部多重化チップに 3 ビットのマルチプレクス・アドレス出力を供給し、8 つの入力から 1 つを選択できるようにします。マルチプレクサ・アドレス出力信号 (MA[2:0]) は、マルチプレクサ・アドレス出力ビット、または汎用 I/O として使用できます。
マルチプレクス・アナログ入力ピン	ANw, ANx, ANy, ANz	外部マルチプレクス・モードでは、4 本のポート B ピンが再定義され、それぞれが 8 つの入力チャンネルを表わします。 ANw: 0 から 14 までの偶数番号チャンネル ANz: 1 から 15 までの奇数番号チャンネル ANY: 16 から 30 までの偶数番号チャンネル ANz: 17 から 31 までの奇数番号チャンネル
基準電圧ピン	V <sub>RH</sub> /V <sub>RL</sub>	V <sub>RH</sub> と V <sub>RL</sub> は高基準電圧および低基準電圧専用の入力ピンです。
専用アナログ電源ピン	V <sub>DDA</sub> /V <sub>SSA</sub>	QADC モジュールのアナログ・サブシステムに電源を供給する専用ピンです。
外部デジタル電源ピン (V <sub>SSE</sub> )	V <sub>SSE</sub>	V <sub>SSE</sub> ピンはポート QA ピンのドライバにグランド・レベルを供給します。
内部デジタル電源ピン (V <sub>DDI</sub> と V <sub>SSI</sub> )	V <sub>DDI</sub> /V <sub>SSI</sub>	QADC のデジタル部と、マイクロコントローラ・チップ上の他のすべてのデジタル・モジュールに電源を供給します。

## 7.3 QADC のレジスタ

### 7.3.1 グローバル・レジスタ

QADC には、モジュール動作を設定するための 3 個のグローバル・レジスタがあります。モジュール・コンフィギュレーション・レジスタ (QADCMCR)、テスト・レジスタ (QADCTEST)、および割込みレジスタ (QADCINT) です。

QADCMCR モジュール・コンフィギュレーション・レジスタ

\$YFF200

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP	FRZ	NOT USED						SUPV	NOT USED			IARB			
RESET:															
1	0							1				0	0	0	0

STOP— ストップ・モード

- 0 = ストップ・モードをディセーブルする。
- 1 = ストップ・モードをイネーブルする。

FRZ— フリーズ・イネーブル

- 0 = IMB FREEZE 信号を無視する。
- 1 = IMB の FREEZE 信号が出力されたとき現在の変換処理を終了してからフリーズする。

69 ページの「2.8.1 フリーズ」を参照してください。

SUPV— スーパーバイザ / 無制約データ空間

0 = 無制約アクセス

1 = スーパーバイザ・アクセス

SUPV は割当て可能な ADC レジスタへのアクセスを定義します。CPU16 は、スーパーバイザ・モードでしか動作しないため、このビットは無効です。

IARB[3:0]— ソフトウェア割込み調停番号

IARB は、QADC の割込み調停の優先順位を決定します。

QADCTEST—QADC テスト・レジスタ

\$YFF202

ADCTEST は SLIM テスト・レジスタと組み合わせて、ADC の工場テストに使用します。

QADCINT—QADC 割込みレジスタ

\$YFF204

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
_1		IRL1			_1		IRL2		IVB[7:2]					IVB[1:0] <sup>2</sup>	

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 1 1

1. 予約

2. ビット 1 と 0 は QADC が供給します。

IRL1[14:12]— キュー 1 割込みレベル

IRL1 フィールドは、キュー 1 の割込み要求レベルを設定します。000 の状態は、割込み要求を阻止することによって、キュー 1 割込みをディセーブルします。キュー 1 割込みを使用する場合は、IRL1 フィールドをゼロ以外の値に初期設定しなければなりません。レベル %001 は最低優先順位のソフトウェア割込み要求で、レベル %111 は最高優先順位の要求です。

IRL2[10:8]— キュー 2 割込みレベル

IRL2 フィールドは、キュー 2 割込み要求レベルを設定します。000 の状態は、割込み要求を阻止することによって、キュー 2 割込みをディセーブルします。キュー 2 割込みを使用する場合は、IRL2 フィールドをゼロ以外の値に初期設定しなければなりません。レベル 001 は最低優先順位のソフトウェア割込み要求で、レベル 111 は最高優先順位の要求です。

IVB[7:0]— 割込みベクタ・ベース・アドレス

初期化ソフトウェアは、割込みレジスタの IVB ビットの上位 6 ビットを入力します。割込み調停中、QADC が CPU に供給したベクタは、IVB ビットの上位 6 ビットと、4 つの QADC 割込み要求の 1 つを識別するために QADC に供給される下位 2 ビットで構成されています。割込みベクタ番号は、割込みレベルおよび割込み調停番号とは無関係です。\$0F のベクタ番号は、未初期化割込みベクタに対応しています。リセット後、割込みレジスタの下位バイトは、\$0F で読み出されます。一度 IVB フィールドが書き込まれると、最下位 2 ビットは常にゼロで読み出されます。

表 103 QADC 割り込みソースによるベクター割当

IVB[7:2]	IVB[1:0]	割込ソース
× × × × × × (ユーザが設定)	1 1	キュー 1 完了割込
	1 0	キュー 1 ポーズ割込
	0 1	キュー 2 完了割込
	0 0	キュー 2 ポーズ割込

割込み優先順位 (IRL1=IRL2 の場合)、キュー 1 完了 キュー 1 ポーズ キュー 2 完了  
キュー 2 ポーズの順に QADC 内の優先順位が設定されています。

### 7.3.2 汎用 I/O ポート・レジスタ

QADC ポート QA および QB は、2 個の 8 ビット・ポート・データ・レジスタ (PORTQA と PORTQB) を通してアクセスされます。PORTQA と関連するピンを I/O に構成したときは、データ方向レジスタ (DDRQA) のビットがピン・ドライバの方向を制御します。PORTQB は入力専用であるため、データ方向レジスタは必要ありません。したがって、ポート・データ方向レジスタの下位バイトは実装されていません。予約ビットを読み出すと 0 が返されますが、それに書き込んでも影響はありません。

PORTQA と PORTQB はリセットに影響されません。

PORTQA—ポート QA データ・レジスタ \$YFF206

PORTQB—ポート QB データ・レジスタ \$YFF207

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PQA7	PQA6	PQA5	PQA4	PQA3	PQA2	PQA1	PQA0	PQB7	PQB6	PQB5	PQB4	PQB3	PQB2	PQB1	PQB0
RESET:															
U	U	U	U	U	U	U	U	U	U	U	U	U	U	U	U
アナログ・チャンネル															
AN59	AN58	AN57	AN56	AN55	AN54	AN53	AN52	AN51	AN50	AN49	AN48	AN3	AN2	AN1	N0
外部トリガ入力:															
				ETRIG2	ETRIG1										
マルチプレクス・アドレス出力:															
					AM2	AM1	AM0								
マルチプレクス・アナログ入:															
												ANz	ANv	ANx	ANw

ポート QA ピンは、汎用デジタル入力信号またはデジタル・オープン・ドレイン出力信号に使用できる双方向 8 ビット入出力ポートとして使用するときには PQA[7:0] となります。ポート QA は、アナログ入力 (AN[59:52]、外部トリガ入力 (ETRIG[2:1])、および外部マルチプレクス・アドレス出力 (MA[2:0]) としても使用できます。

ポート QB ピンは、汎用デジタル入力信号に使用できる入力専用の 8 ビット・デジタル・ポートとして使用するときには PQB[7:0] となります。ポート QB は、非マルチプレクス・アナログ入力 (AN[51:48]/AN[3:0]) およびマルチプレクス・アナログ入力 (ANz、ANy、ANx、ANw) としても使用できます。

DRQA ポート・データ方向レジスタ \$YFF208

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDQA7	DDQA6	DDQA5	DDQA4	DDQA3	DDQA2	DDQA1	DDQA0	RESERVED							

RESET:

0      0      0      0      0      0      0      0

ポート・データ方向レジスタ (DDRQA) は、ポート QA デジタル I/O ピンに対応しています。双方向ピンの場合、リーク電流と容量仕様がいくらか高くなります。このレジスタのどれかのビットを (1 に) セットすると、対応するピンが出力として構成されます。このレジスタのどれかのビットを (0 に) クリアすると、対応するピンが入力として構成されます。アナログ入力に使用するピンで DDR ビットが 1 にセットされていないことを確認するのは、ソフトウェアにより実施します。DDR ビットが 1 にセットされ、ピンがアナログ変換に選択されると、負荷による影響のため、出力デジタル・ドライバの電圧がサンプリングされる電圧となります。

注：デジタル入力とアナログ入力を混在させている場合は注意が必要です。できるだけこれらの入力を分離します。また、立上り時間と立下り時間をできるだけ大きくしてください。

### 7.3.3 コントロール・レジスタとステータス・レジスタ

QADC には、3 個のコントロール・レジスタ (QACR0、QACR1、QACR2) と 1 個のステータス・レジスタ (QASR) があります。

## QACR0— コントロール・レジスタ 0

\$YFF20A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MUX	RESERVED						PSH						PSA	PSL	
RESET:															
0							0	0	0	1	1	0	0	1	1

## MUX— 外部マルチプレクス・モード

MUX ビットによって、ソフトウェアは外部多重化モードを選択することができます。外部マルチプレクス・モードではチャンネル番号の解釈が変わり、MA0、MA1、MA2 が出力ピンに強制されます。

0 = 内部でマルチプレクスされた最大 16 チャンネル

1 = 外部でマルチプレクスされた最大 44 チャンネル

## PSH[8:4]— プリスケアラ・クロック “H” 時間

PSH フィールドは、プリスケアラで QADC クロック (QCLK) “H” 時間を選択します。

表 104 に、QCLK “H” 時間の範囲を指定する PSH フィールドのビット値を示します。

表 104 プリスケアラ・クロック “H” 時間

PSH[8:4]	QCLK “H” 時間
00000	1 システム・クロック・サイクル
00001	2 システム・クロック・サイクル
00010	3 システム・クロック・サイクル
00011	4 システム・クロック・サイクル
00100	5 システム・クロック・サイクル
00101	6 システム・クロック・サイクル
00110	7 システム・クロック・サイクル
00111	8 システム・クロック・サイクル
01000	9 システム・クロック・サイクル
01001	10 システム・クロック・サイクル
01010	11 システム・クロック・サイクル
01011	12 システム・クロック・サイクル
01100	13 システム・クロック・サイクル
01101	14 システム・クロック・サイクル
01110	15 システム・クロック・サイクル
01111	16 システム・クロック・サイクル
10000	17 システム・クロック・サイクル
10001	18 システム・クロック・サイクル
10010	19 システム・クロック・サイクル
10011	20 システム・クロック・サイクル
10100	21 システム・クロック・サイクル
10101	22 システム・クロック・サイクル
10110	23 システム・クロック・サイクル
10111	24 システム・クロック・サイクル
11000	25 システム・クロック・サイクル
11001	26 システム・クロック・サイクル
11010	27 システム・クロック・サイクル
11011	28 システム・クロック・サイクル
11100	29 システム・クロック・サイクル
11101	30 システム・クロック・サイクル
11110	31 システム・クロック・サイクル
11111	32 システム・クロック・サイクル

PSA— プリスケーラによる半サイクルのクロックの追加

0 = QCLK“H” および <#007F>“L” 時間は変更されない。

1 = QCLK“H” 時間に 1 システム・クロックの半サイクルを追加し、“L” 時間から 1 システム・クロックの半サイクルを引く。

PSL[2:0]— プリスケーラ・クロック “L” 時間

PSL フィールドは、プリスケアラで QADC クロック (QCLK) “L” 時間を選択します。表 105 に、PSH フィールドのビットによってイネーブルされる QCLK の “L” 時間を示します。

表 105 プリスケーラ・クロック “L” 時間

PSL[2:0]	QCLK“L” 時間
000	1 システム・クロック・サイクル
001	2 システム・クロック・サイクル
010	3 システム・クロック・サイクル
011	4 システム・クロック・サイクル
100	5 システム・クロック・サイクル
101	6 システム・クロック・サイクル
110	7 システム・クロック・サイクル
111	8 システム・クロック・サイクル

### 7.3.3.1 QADC クロック生成

QADC の変換クロック (QCLK) は、MCU のシステム・クロックをソース源としています。QCLK の周波数は、PSH[8:4], PSL[2:0], PSA のコントロール・ビットを設定することで決定されます。

QCLK の最大周波数は 2.1MHz です。コントロール・ビットの設定によっては、それ以上のクロックを設定することも可能ですが、AD 変換値の精度が保証されません。そのため、コントロール・ビットの設定はこの最大周波数以下の値にする必要があります。また、デューティ・サイクルとしては、75% (ハイ側 75%、ロー側 25%) に近付けなければいけません。

AD 変換動作中の QCLK の変更は、変換値に影響を及ぼす場合がありますので、AD 変換が停止時に行なってください。

以下に QCLK の設定例を表 106 および図 29 を示します。

表 106 QADC クロックの設定例

Control Register 0 の情報				F <sub>SYS</sub> =24MHz, Input Sample Time(IST)=%00	
例	PSH[8:4]	PSA	PSL[2:0]	QCLK [MHz]	変換時間 [μs]
1	8(= %01000)	0	2(= %010)	2.0	9.0
2	8(= %01000)	1	2(= %010)	2.0	9.0

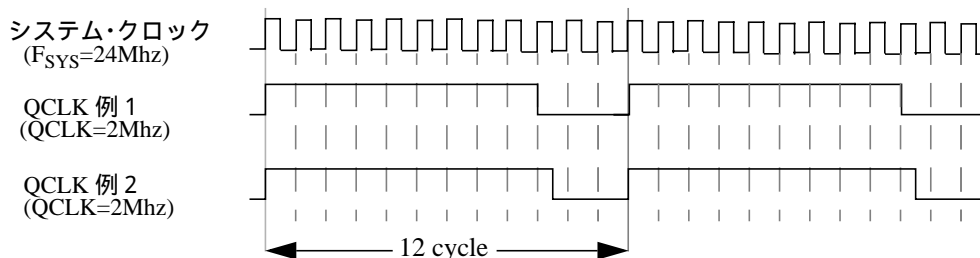


図 29 QADC クロックの例

## QACR1— コントロール・レジスタ 1

\$YFF20C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CIE1	PIE1	SSE1	NOT USED			MQ1			NOT USED						

RESET:

0 0 0 0 0 0 0

## CIE1— キュー 1 完了割り込みイネーブル

0 = キュー 1 に関連するキュー完了割り込みをディセーブルする。

1 = キュー 1 にある最後の CCW で要求されたサンプルの変換後に、割り込みをイネーブルする。

## PIE1— キュー 1 ポーズ割り込みイネーブル

0 = キュー 1 に関連する休止割り込みをディセーブルする。

1 = ポーズ・ビットがセットされたキュー 1 の CCW で要求されたサンプルの変換後に、割り込みをイネーブルする。

## SSE1— キュー 1 シングル・スキャン・イネーブル・ビット

SSE1 は、キュー 1 のシングル・スキャンをイネーブルして、トリガ・イベントの発生後にスキャンを開始します。MQ1 ビットをセットしてシングル・スキャン・キュー動作モードの 1 つを選択すると同じライト・サイクル中に、SSE1 ビットを、1 にセットすることができます。

シングル・スキャン・イネーブル・ビットに 1 または 0 を書き込むことができますが、テスト・モードを選択していないかぎり、読み出すと常に 0 になります。SSE1 ビットはトリガ・イベントをイネーブルして、キュー 1 上でシングル・スキャンを処理するためにキューの実行を開始します。シングル・スキャンが完了すると、QADC は SSE1 ビットをクリアします。

0 = シングル・スキャン・モードでトリガ・イベントを受け付けない。

1 = シングル・スキャン・モードでトリガ・イベントを受け付け、キュー 1 の実行を開始する。

## MQ1[10:8]— キュー 1 動作モード

MQ1 フィールドは、キュー 1 に対するキュー動作モードを選択します。表 103 に、キュー 1 の各種動作モードをイネーブルする MQ1 フィールドのビット値を示します。

表 107 キュー 1 動作モード

MQ1[10:8]	動作モード
000	ディセーブル・モード。変換は行なわれません。
001	ソフトウェア・トリガ・シングル・スキャン・モード (SSE1 で開始)
010	外部トリガ立上りエッジ・シングル・スキャン・モード (ETRIG1 ピン上)
011	外部トリガ立下りエッジ・シングル・スキャン・モード (ETRIG1 ピン上)
100	予約。変換は行なわれません。
101	連続スキャン・ソフトウェア・トリガ・モード
110	外部トリガ立上りエッジ連続スキャン・モード (ETRIG1 ピン上)
111	外部トリガ立下りエッジ連続スキャン・モード (ETRIG1 ピン上)

## QACR2— コントロール・レジスタ 2

\$YFF20E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CIE2	PIE2	SSE2	MQ2			RES		NOT USED	BQ2						

RESET:

0 0 0 0 0 0 0 0 0 1 0 0 1 1 1

## CIE2— キュー 2 完了ソフトウェア割り込みイネーブル

0 = キュー 2 に関連するキュー完了割り込みをディセーブルする。

1 = キュー 2 にある最後の CCW で要求されたサンプルの変換後に、割り込みをイネーブルする。

## PIE2— キュー 2 ポーズ・ソフトウェア割り込みイネーブル

0 = キュー 2 に関連するポーズ割り込みをディセーブルする。

1 = キュー 2 のポーズ・ビットがセットされた CCW によって要求されたサンプル変換後に、割



込みをイネーブルする。

#### SSE2— キュー 2 シングル・スキャン・イネーブル・ビット

SSE2 は、キュー 2 のシングル・スキャンをイネーブルして、トリガ・イベントの発生後にスキャンを開始します。MQ2 ビットをセットしてシングル・スキャン・キュー動作モードの 1 つを選択すると同じライト・サイクル中に、SSE2 ビットを 1 にセットすることができます。シングル・スキャン・イネーブル・ビットに 1 または 0 を書き込むことができますが、テスト・モードを選択していないかぎり、読み出すと常に 0 になります。SSE2 ビットはトリガ・イベントをイネーブルして、キュー 2 上でシングル・スキャンを処理するためにキューの実行を開始します。シングル・スキャンが完了すると、QADC は SSE2 ビットをクリアします。

0 = シングル・スキャン・モードでトリガ・イベントを受け付けない。

1 = シングル・スキャン・モードでトリガ・イベントを受け付けて、キュー 2 の実行を開始する。

#### MQ2[12:8]— キュー 2 動作モード

MQ2 フィールドは、キュー 2 のキュー動作モードを選択します。表 108 に、キュー 2 の各種動作モードをイネーブルする MQ2 フィールドのビット値を示します。

表 108 キュー 2 の動作モード

MQ2[12:8]	動作モード
00000	ディセーブル・モード、変換は行われません。
00001	ソフトウェア・トリガ・シングル・スキャン・モード (SSE2 で開始)
00010	外部トリガ立上りエッジ・シングル・スキャン・モード (ETRIG2 ピン上)
00011	外部トリガ立下りエッジ・シングル・スキャン・モード (ETRIG2 ピン上)
00100	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>7</sup>
00101	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>8</sup>
00110	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>9</sup>
00111	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>10</sup>
01000	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>11</sup>
01001	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>12</sup>
01010	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>13</sup>
01011	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>14</sup>
01100	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>15</sup>
01101	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>16</sup>
01110	インターバル・タイマ・シングル・スキャン・モード：時間 = QCLK 周期 × 2 <sup>17</sup>
01111	予約
10000	予約
10001	連続スキャン・ソフトウェア・トリガ・モード
10010	外部トリガ立上りエッジ連続スキャン・モード (ETRIG2 ピン上)
10011	外部トリガ立下りエッジ連続スキャン・モード (ETRIG2 ピン上)
10100	周期タイマ連続スキャン・モード：時間 = QCLK 周期 × 2 <sup>7</sup>
10101	周期タイマ連続スキャン・モード：時間 = QCLK 周期 × 2 <sup>8</sup>
10110	周期タイマ連続スキャン・モード：時間 = QCLK 周期 × 2 <sup>9</sup>
10111	周期タイマ連続スキャン・モード：時間 = QCLK 周期 × 2 <sup>10</sup>
11000	周期タイマ連続スキャン・モード：時間 = QCLK 周期 × 2 <sup>11</sup>
11001	周期タイマ連続スキャン・モード：時間 = QCLK 周期 × 2 <sup>12</sup>
11010	周期タイマ連続スキャン・モード：時間 = QCLK 周期 × 2 <sup>13</sup>
11011	周期タイマ連続スキャン・モード：時間 = QCLK 周期 × 2 <sup>14</sup>

表 108 キュー 2 の動作モード ( 続き )

MQ2[12:8]	動作モード
11100	周期タイマ連続スキャン・モード：時間 = QCLK 周期 $\times 2^{15}$
11101	周期タイマ連続スキャン・モード：時間 = QCLK 周期 $\times 2^{16}$
11110	周期タイマ連続スキャン・モード：時間 = QCLK 周期 $\times 2^{17}$
11111	予約

## RES— キュー 2 再開

- 0 = サスペンド後に、キュー 2 または現在のサブキューにある最初の CCW から実行を開始する。  
 1 = サスペンド後に、キュー 2 にあるアボートされた CCW から実行を開始する。

## BQ2[5:0]— キュー 2 の開始

BQ2 フィールドは、キュー 2 が始まる CCW ロケーションを示します。キュー 1 とキュー 2 の長さを可変にするために、プログラム可能なポインタで、キュー 2 が始まる CCW テーブルのロケーションを識別します。BQ2 フィールドは、キュー 1 に対するキュー終了条件としても機能します。

## QASR— ステータス・レジスタ

\$YFF210

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CF1	PF1	CF2	PF2	TOR1	TOR2	QS					CWP				

RESET:

0      0      0      0      0      0      0      0      0      0      0      0      0      0      0

ステータス・ビットをクリアするには、所定のビットが“1”の状態を読み出して“0”を書き込みます。

## CF1— キュー 1 完了フラグ

- 0 = キュー 1 のスキャンは完了していない。  
 1 = キュー 1 のスキャンは完了している。

## PF1— キュー 1 ポーズ・フラグ

- 0 = キュー 1 はポーズに達していない。  
 1 = キュー 1 はポーズに達した。

## CF2— キュー 2 完了フラグ

- 0 = キュー 2 スキャンは完了していない。  
 1 = キュー 2 のスキャンは完了している。

## PF2— キュー 2 ポーズ・フラグ

- 0 = キュー 2 はポーズに達していない。  
 1 = キュー 2 はポーズに達した。

## TOR1— キュー 1 トリガ・オーバラン

- 0 = 予想外のキュー 1 トリガ・イベントは発生していない。  
 1 = 少なくとも 1 つ予想外のキュー 1 トリガ・イベントが発生した。

## TOR2— キュー 2 トリガ・オーバラン

- 0 = 予想外のキュー 2 トリガ・イベントは発生していない。  
 1 = 少なくとも 1 つ予想外のキュー 2 トリガ・イベントが発生した。

## QS[9:6]— キュー・ステータス

表 109 は、QS フィールドのビットとそれらがキュー 1 とキュー 2 のステータスに与える影響を示します。

表 109 キュー・ステータス

QS[9:6]	キュー 1/ キュー 2 の状態
0000	キュー 1 アイドル、キュー 2 アイドル
0001	キュー 1 アイドル、キュー 2 ポーズ
0010	キュー 1 アイドル、キュー 2 アクティブ
0011	キュー 1 アイドル、キュー 2 トリガ・ペンディング
0100	キュー 1 ポーズ、キュー 2 アイドル
0101	キュー 1 ポーズ、キュー 2 ポーズ
0110	キュー 1 ポーズ、キュー 2 アクティブ
0111	キュー 1 ポーズ、キュー 2 トリガ・ペンディング
1000	キュー 1 アクティブ、キュー 2 アイドル
1001	キュー 1 アクティブ、キュー 2 ポーズ
1010	キュー 1 アクティブ、キュー 2 サスペンド
1011	キュー 1 アクティブ、キュー 2 トリガ・ペンディング
1100	予約
1101	予約
1110	予約
1111	予約

#### CWP— コマンド・ワード・ポインタ

CWP によって、ソフトウェアは現在どの CCW が実行中であるか、あるいは最後に完了した CCW はどれかを知ることができます。コマンド・ワード・ポインタは、ソフトウェア読出し専用フィールドであり、書込みを行っても影響はありません。

### 7.3.4 変換コマンド・ワード・テーブル

CCW テーブルは 40 ワード × 10 ビット幅の RAM であり、ソフトウェアでプログラムして、1 本または複数のアナログ入力チャネルの変換を要求することができます。CCW テーブル内のエントリは、10 ビットの変換コマンド・ワードです。CCW テーブルは、ソフトウェアで書き込まれ、QADC では変更されません。各 CCW は、アナログ・チャネルをデジタルの結果に変換することを要求します。CCW は、アナログ・チャネル番号、入力サンプル時間、およびキューが現在の CCW の後で休止するかどうかを指定します。CCW ワードに実装されている 10 ビットは読み書き可能なデータですが、ソフトウェアが QADC を初期化するとき一度だけ書き込み、それ以降は変更しません。実装されていないビットは 0 で読み出され、書き込んで影響はありません。CCW テーブルの各ロケーションは、リザルト・ワード・テーブル内のロケーションに対応しています。CCW エントリの変換が完了すると、対応するリザルト・ワード・エントリに 10 ビットの結果が書き込まれます。QADC は、40 の CCW テーブル・エントリを提供します。これより多くの結果が必要な場合、ソフトウェアは複数チャネルに対して 1 つまたは複数のリザルト・テーブル・ロケーションを使用します。

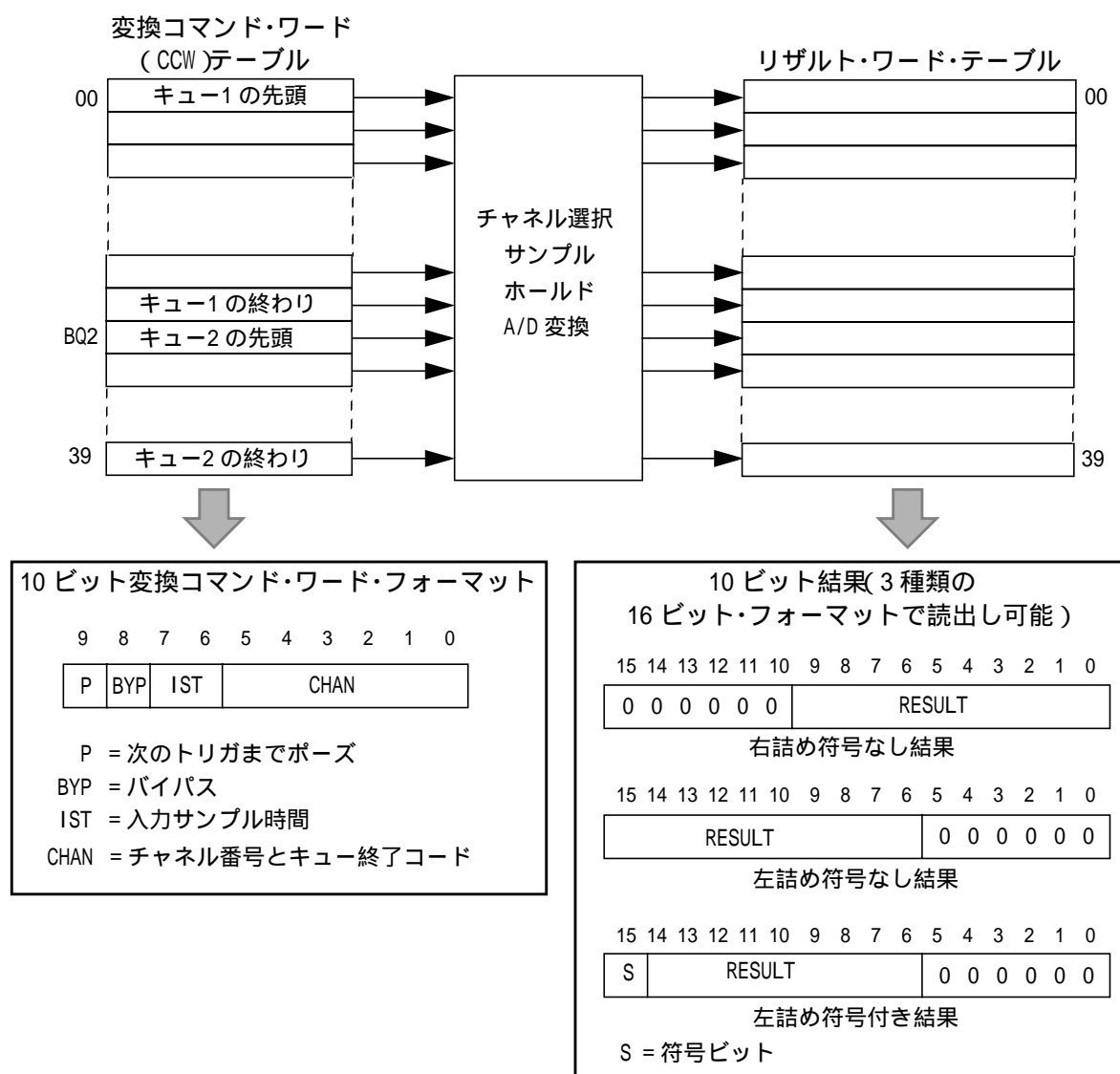


図 30 QADC 変換キューの動作

CCW— 変換コマンド・ワード・テーブル											\$YFF230—\$YFF27E				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED						P	BYP	IST		CHAN					
RESET:															
						U	U	U	U	U	U	U	U	U	U

## P— ポーズ

- 0 = 現在の CCW の実行後、ポーズ状態に入らない。  
1 = 現在の CCW の実行後、ポーズ状態に入る。

## BYP— サンプル・アンプのバイパス

- 0 = アンプ・バイパス・モードはディセーブルされる。  
1 = アンプ・バイパス・モードはイネーブルされる。

## IST[7:6]— 入力サンプル時間

IST フィールドによって、ソフトウェアはサンプル・ウィンドウの長さを指定することができます。表 110 に異なる入力サンプル条件を設定する IST フィールドのビットを示します。

表 110 入力サンプル時間

IST[7:6]	入力サンプル時間
00	入力サンプル時間 = QCLK 周期 × 2
01	入力サンプル時間 = QCLK 周期 × 4
10	入力サンプル時間 = QCLK 周期 × 8
11	入力サンプル時間 = QCLK 周期 × 16

## CHAN[5:0]— チャネル番号

CHAN フィールドは入力チャネル番号を選択します。表 111 に非マルチプレクス・モードでのチャネル番号の割当てを示します。表 112 にマルチプレクス・モードでのチャネル番号の割当てを示します。

表 111 非マルチプレクス・チャネルの割当てとピン名

非マルチプレクス入力ピン				CCW CHAN フィールドのチャネル番号	
ポート・ピン名	アナログ・ピン名	他の機能	ピン・タイプ	2 進数	10 進数
PQB0	AN0	-	入力	000000	0
PQB1	AN1	-	入力	000001	1
PQB2	AN2	-	入力	000010	2
PQB3	AN3	-	入力	000011	3
-	-	無効	-	0XXXXX	4 から 31
-	-	予約	-	10XXXX	32 から 47
PQB4	AN48	-	入力	110000	48
PQB5	AN49	-	入力	110001	49
PQB6	AN50	-	入力	110010	50
PQB7	AN51	-	入力	110011	51
PQA0	AN52	-	入出力	110100	52
PQA1	AN53	-	入出力	110101	53
PQA2	AN54	-	入出力	110110	54
PQA3	AN55	ETRIG1	入出力	110111	55
PQA4	AN56	ETRIG2	入出力	111000	56
PQA5	AN57	-	入出力	111001	57
PQA6	AN58	-	入出力	111010	58
PQA7	AN59	-	入出力	111011	59
V <sub>RL</sub>	低 Ref	-	入力	111100	60
V <sub>RH</sub>	高 Ref	-	入力	111101	61
-	-	V <sub>DDA</sub> /2	-	111110	62
-	-	キュー終了コード	-	111111	63

表 112 マルチプレクス・チャネル割当てとピン名

マルチプレクス入力ピン				CCW CHAN フィールドのチャネル番号	
ポート・ピン名	アナログ・ピン名	他の機能	ピン・タイプ	2 進数	10 進数
PQB0	ANw	-	入力	00XXX0	0 から 14( 偶数 )
PQB1	ANx	-	入力	00XXX1	1 から 15( 奇数 )
PQB2	ANy	-	入力	01XXX0	16 から 30( 偶数 )
PQB3	ANz	-	入力	01XXX1	17 から 31( 奇数 )

表 112 マルチプレクス・チャンネル割当てとピン名 ( 続き )

マルチプレクス入力ピン				CCW CHAN フィールドの チャンネル番号	
ポート・ピン名	アナログ・ピン名	他の機能	ピン・タイプ	2 進数	10 進数
-	-	予約	-	10XXXX	32 から 47
PQB4	AN48	-	入力	110000	48
PQB5	AN49	-	入力	110001	49
PQB6	AN50	-	入力	110010	50
PQB7	AN51	-	入力	110011	51
PQA0	-	MA0	入出力	110100	52
PQA1	-	MA1	入出力	110101	53
PQA2	-	MA2	入出力	110110	54
PQA3	AN55	ETRIG1	入出力	110111	55
PQA4	AN56	ETRIG2	入出力	111000	56
PQA5	AN57	-	入出力	111001	57
PQA6	AN58	-	入出力	111010	58
PQA7	AN59	-	入出力	111011	59
V <sub>RL</sub>	低 Ref	-	入力	111100	60
V <sub>RH</sub>	高 Ref	-	入力	111101	61
-	-	V <sub>DDA</sub> /2	-	111110	62
-	-	キュー終了コード	-	111111	63

### 7.3.5 リザルト・ワード・テーブル

リザルト・ワード・テーブルは、40 ワード × 10 ビット幅の RAM です。対応する CCW テーブル・エントリによって指定されたアナログ変換の完了後に、QADC によってエントリが書き込まれます。ソフトウェアはリザルト・ワード・テーブルを読み書きできますが、通常動作時には、ソフトウェアがリザルト・ワード・テーブルを読み出して、QADC からアナログ変換値を取得します。未実装ビットは 0 で読み出され、書き込んでも影響はありません。

RJURR— 右詰め符号なしリザルト・ワード・テーブル

\$YFF2B0—\$YFF2FE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								RESULT							

変換結果は、符号なし右詰めデータです。ビット [9:0] は 10 ビット分解能に使用され、ビット [15:10] を読み出すとゼロが返されます。

LJSRR— 左詰め符号付きリザルト・ワード・テーブル

\$YFF330—\$YFF37E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S	RESULT										NOT USED				

S= 符号ビット

変換結果は、符号付き左詰めデータ。ビット [15:6] が 10 ビット分解能に使用され、最上位ビットを反転して符号ビットを形成しています。ビット [5:0] を読み出すと、ゼロが返されます。

LJURR— 左詰め符号なしリザルト・ワード・テーブル

\$YFF3B0—\$YFF3FE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESULT										NOT USED					

変換結果は、符号なし左詰めデータです。ビット [15:6] が 10 ビット分解能に使用され、ビット [5:0] を読み出すとゼロが返されます。

## 7.4 キュー・プライオリティの例

2つのキュー・コマンドはAD変換の順を並列に指示することができますが、AD変換機能はひとつであるためにキューのプライオリティが規定されており逐次に変換を行ないます。各々のキューは、変換を開始するためのさまざまなトリガーを有しており、それは非同期に行なうことが可能です。

QADCのキューのプライオリティについて以下に例を示します。その図には、キュー1(Q1)とキュー2(Q2)の変換をキュー・コマンド(CCW)により指示されます。なお、図に使用される用語は以下の通りです。

—トリガーについて

T1: キュー1のトリガー (外部のトリガー, Single-Scanによるソフトウェア・トリガー, 連続トリガー)

T2: キュー2のトリガー (外部のトリガー, Single-Scanによるソフトウェア・トリガー, 定期的間隔によるトリガー、連続トリガー)

—フラグについて

CF フラグ: 最後のキュー・コマンドが終了した時にセットされる。

PF フラグ: ポーズ (Pause) 設定されているキュー・コマンドを終了した時にセットされる。

TOR エラー・フラグ: Tigger Overrun Error (TOR) は、キューによる変換実行中に次のトリガーが発生した時にセットされる。

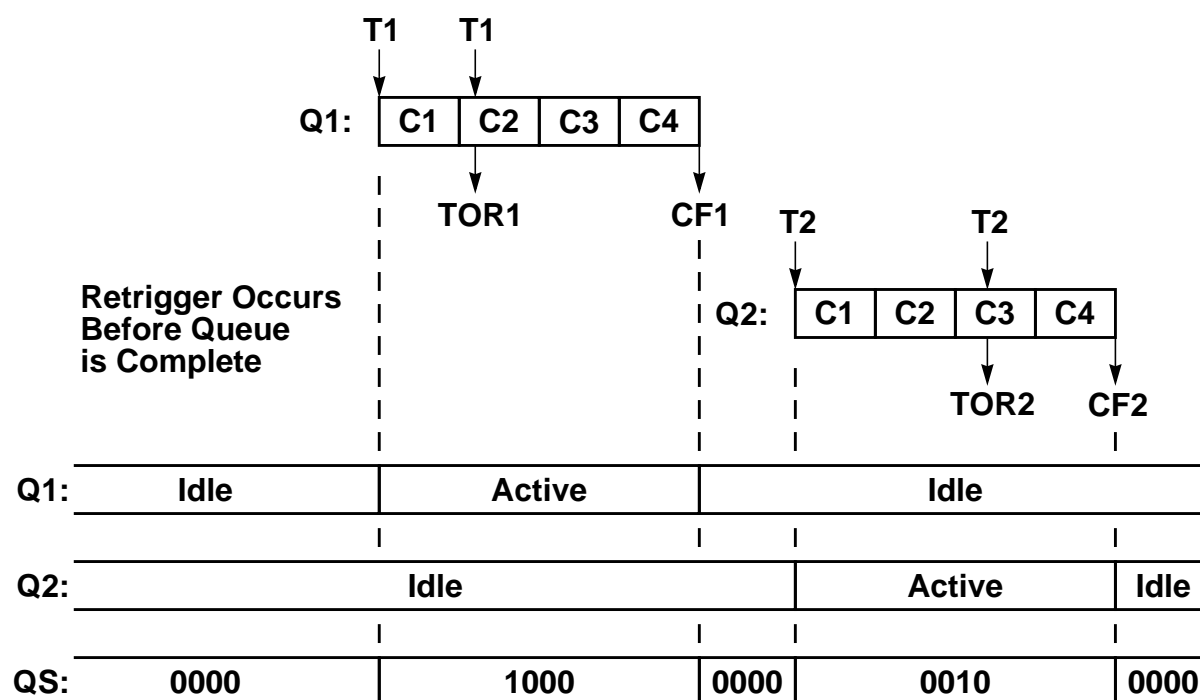


図 31(a) CCW Priority Situation

図 31(a) のケースは、キューは、トリガーを検出するとAD変換の実行を開始します。実行中に新たなトリガーが起きた場合、TORのステータス・ビットがセットされ、そのトリガーは無視されます。また、このトリガーによって、実行中のAD変換を妨げることはありません。

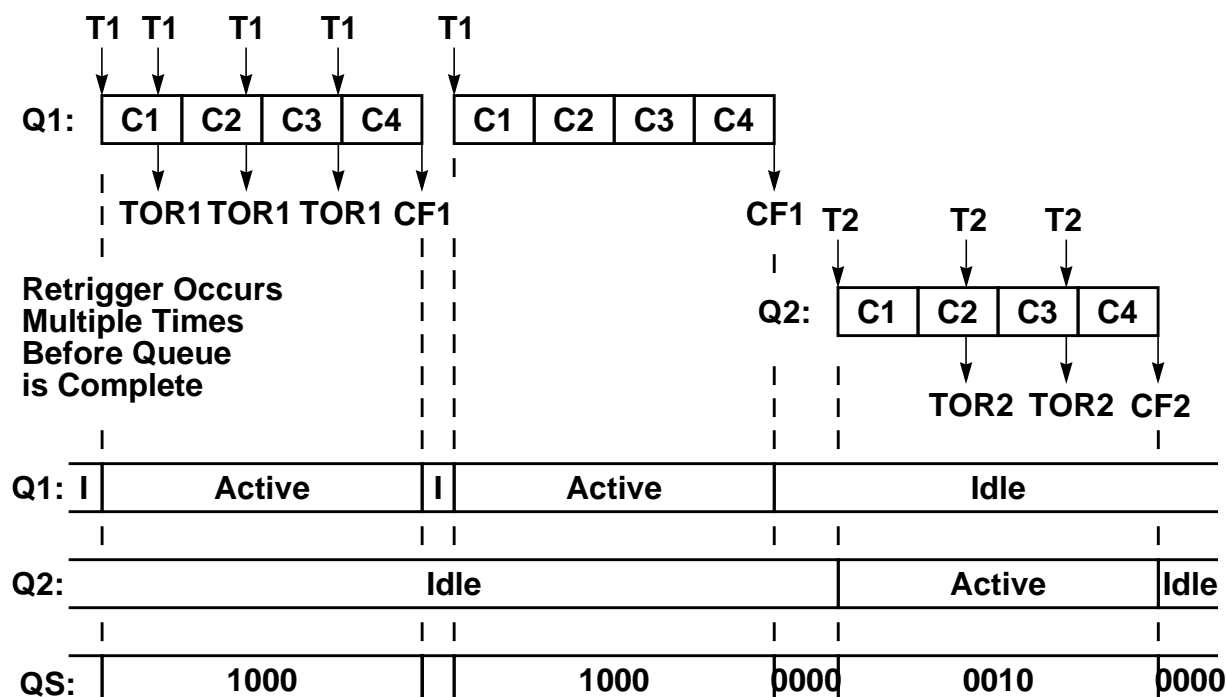


図 31(b) CCW Priority Situation

図 31(b) のケースは、キューが実行中に複数の新たなトリガーが起きた場合、実行中に発生したトリガーのイベントにより TOR ステータス・ビットがセットされ、そのトリガーは無視されます。また、このトリガーによって、実行中の AD 変換を妨げることはありません。実行終了後にトリガーが検知されれば、ふたたび AD 変換を実行します。

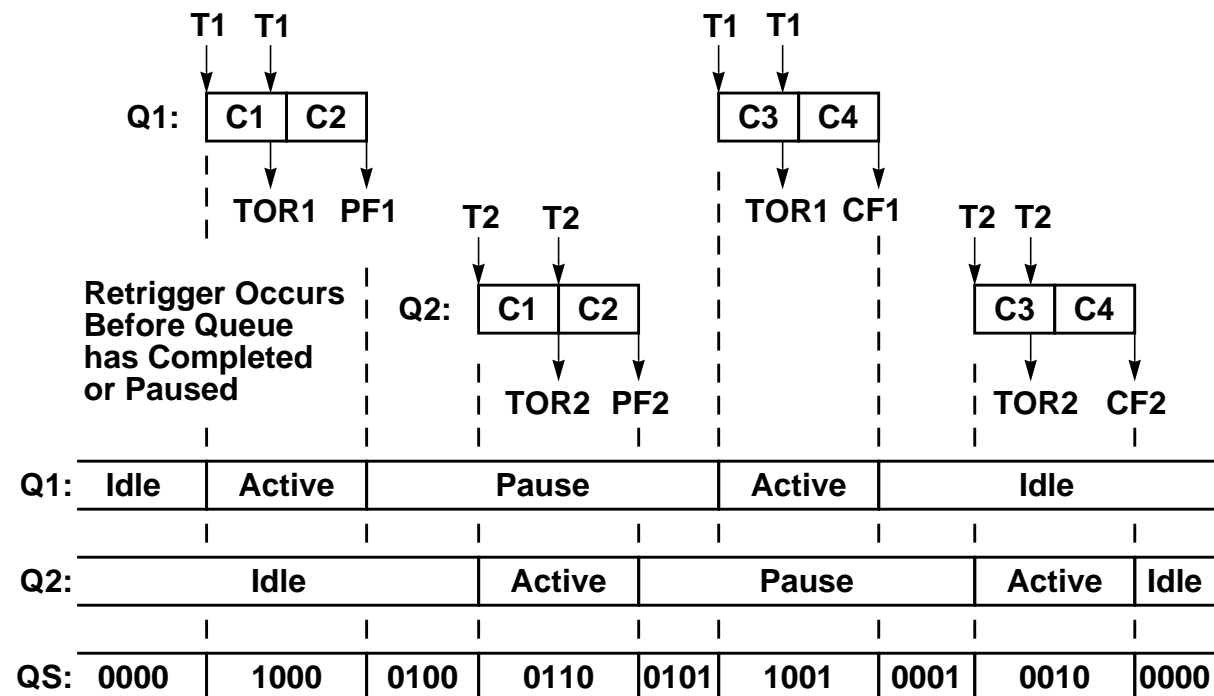


図 31(c) CCW Priority Situation

図 31(c) のケースは、ポーズ機能を使用した場合です。ポーズ状態になる前の実行中のトリガーは、いままでと同様に無視されます。



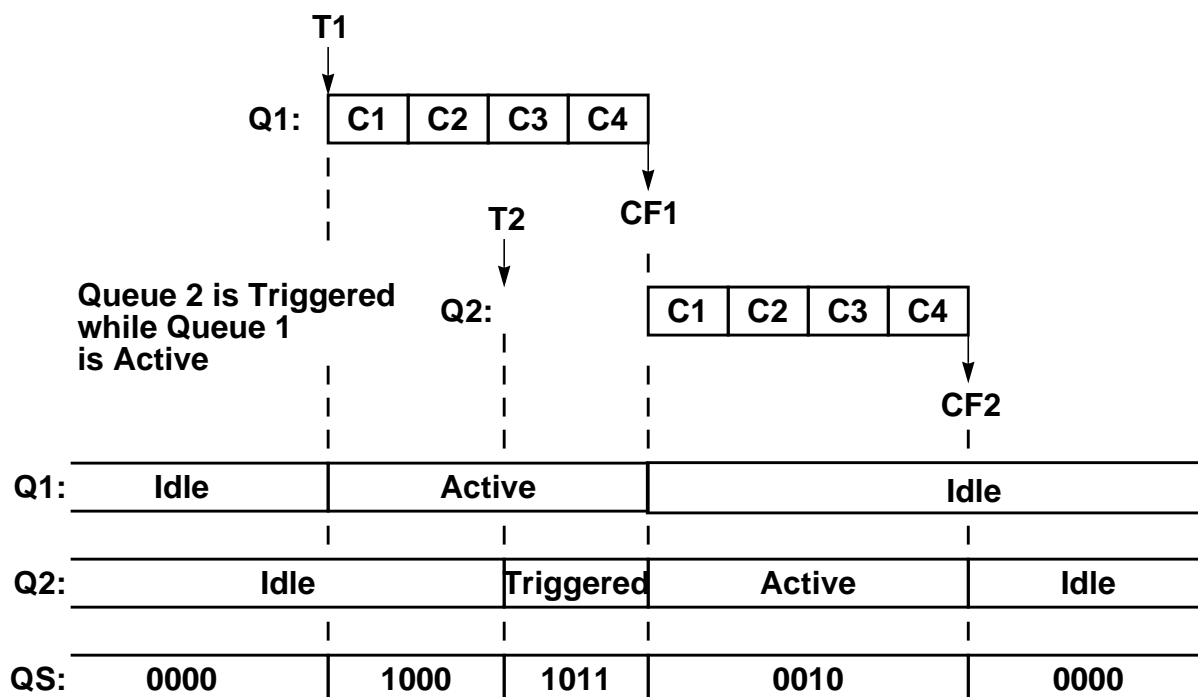


図 31(d) CCW Priority Situation

図 31(d) のケースは、キュー 1 が実行中にキュー 2 のトリガーが発生した場合は、キュー 1 が終了後にキュー 2 の処理が開始されます。

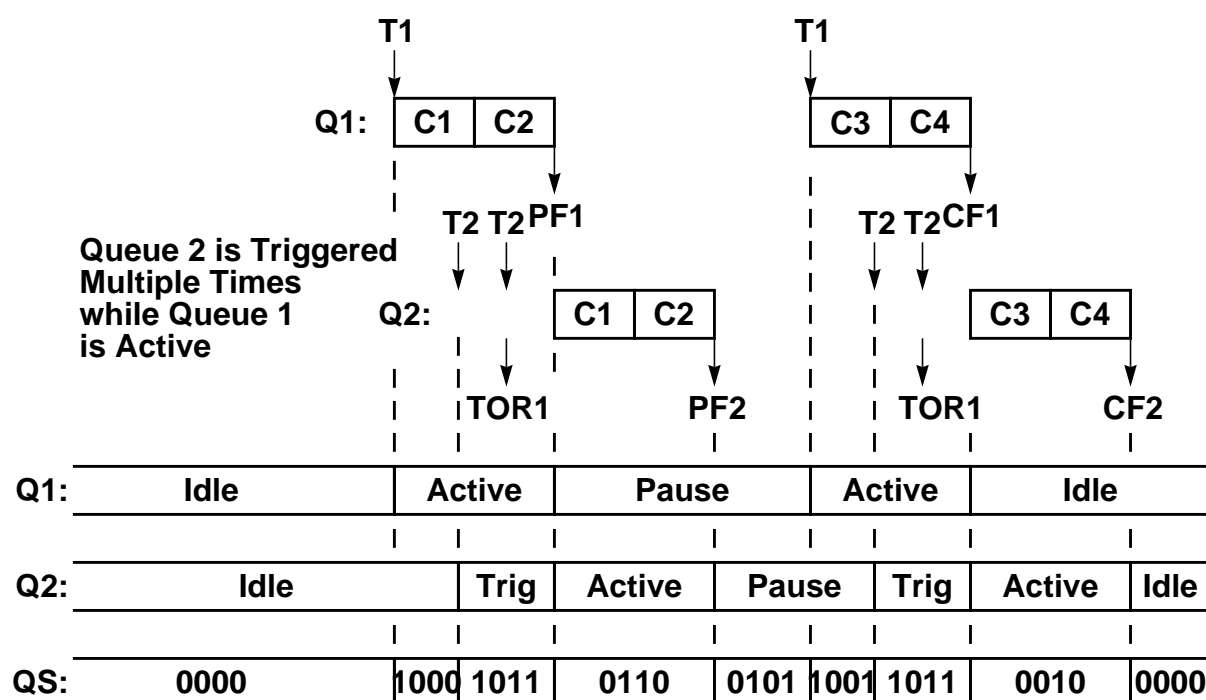


図 31(e) CCW Priority Situation

図 31(e) のケースは、キュー 1 が実行中に複数のキュー 2 のトリガーが発生した場合、TOR がセットされます。この時キュー 1 の実行への影響はありません。キューがポーズ状態の時にトリガーが検知された場合は、そのトリガーに対応するキューが実行を開始します。

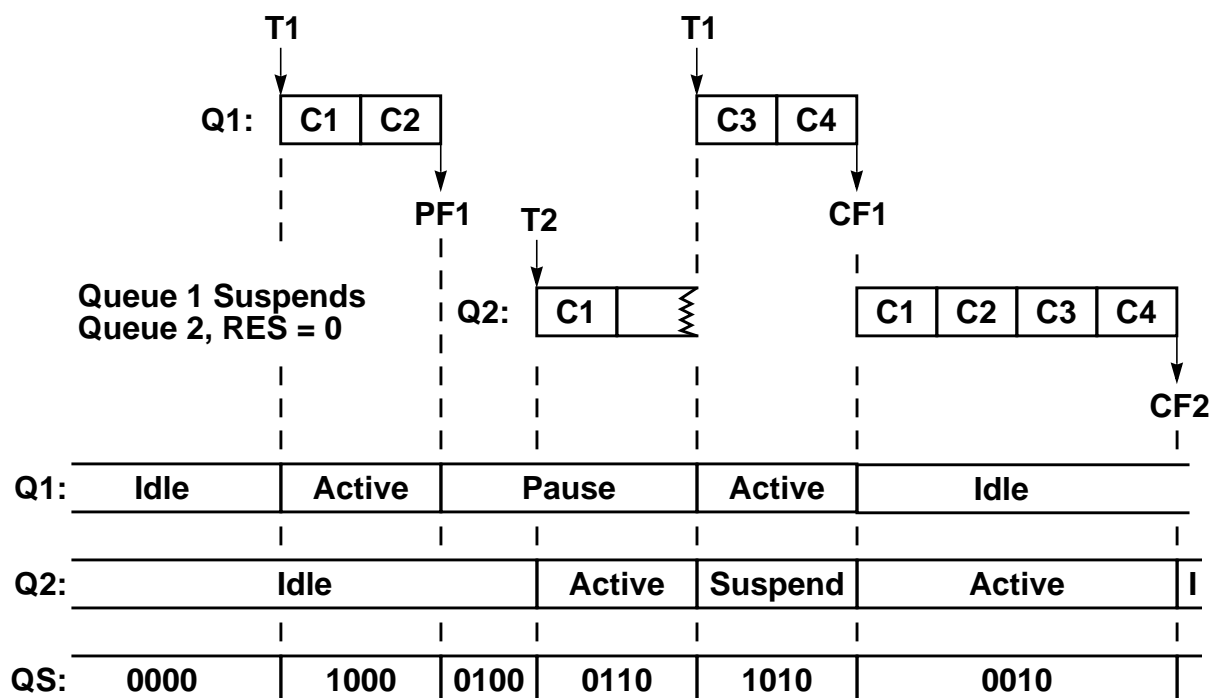


図 31(f) CCW Priority Situation

図 31(f) のケースは、キュー 2 の実行中にキュー 1 のトリガーが発生するとキュー 2 の実行は中止され、キュー 1 の実行が開始されます。そしてキュー 1 が終了後にキュー 2 が自動的に再開されます。RES ビット = 0 の時、再開点は中止されたトリガー点から再開します。

Queue 1 Suspends Queue 2 with Both Queues using Pause, RES = 0

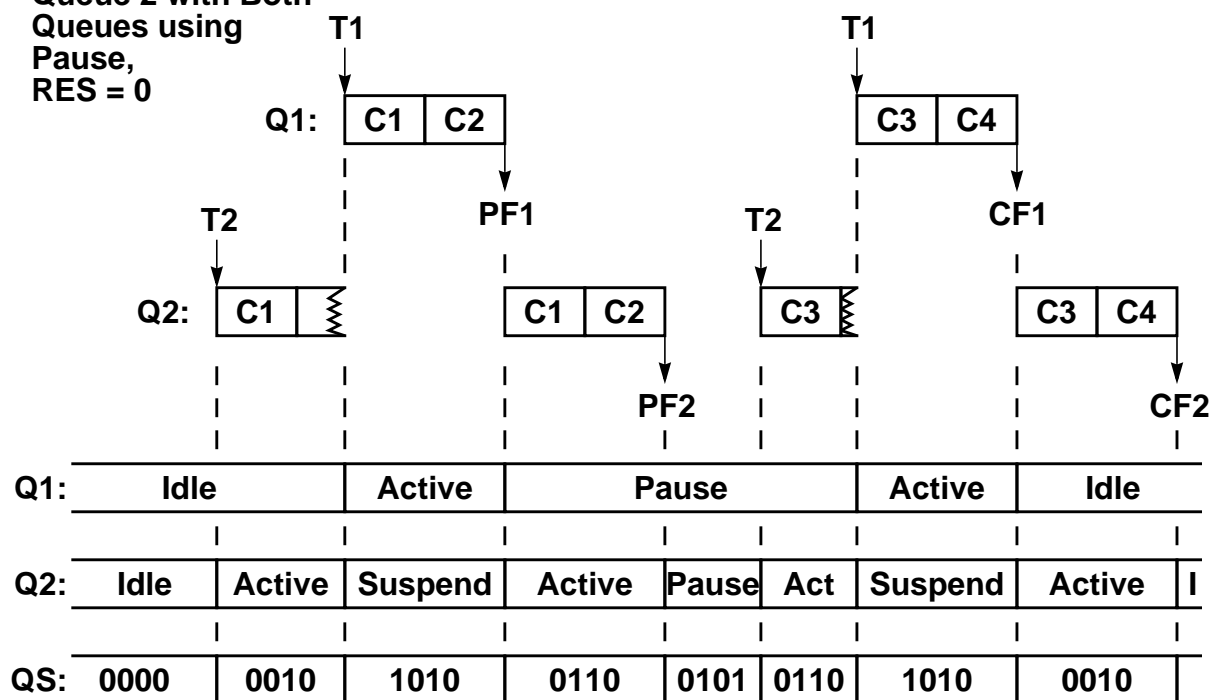


図 31(g) CCW Priority Situation

図 31(g) のケースは、キュー 2 がポーズ状態から第二のトリガーにより、キュー 2 が実行を開始した時にキュー 1 のトリガーが発生するとキュー 2 の実行は中止され、キュー 1 の実行が開始されます。そしてキュー 1 が終了後にキュー 2 が第二のトリガー点より自動的に実行を再開されます。RES ビット = 0 の時、再開点は中止されたトリガー点から再開します。

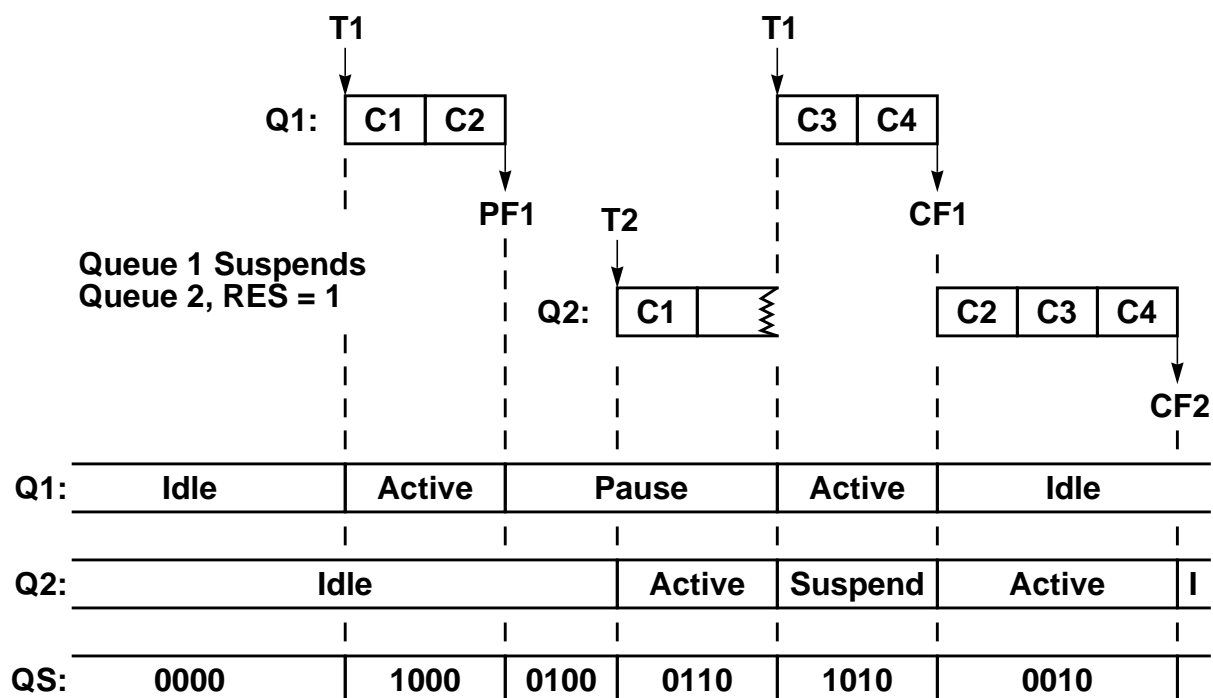


図 31(h) CCW Priority Situation

図 31(h) のケースは、キュー 2 の実行中にキュー 1 のトリガーが発生するとキュー 2 の実行は中止され、キュー 1 の実行が開始されます。そしてキュー 1 が終了後にキュー 2 が自動的に実行が再開されます。RES ビット = 1 の時は、中止されたキュー・コマンドから再開します。

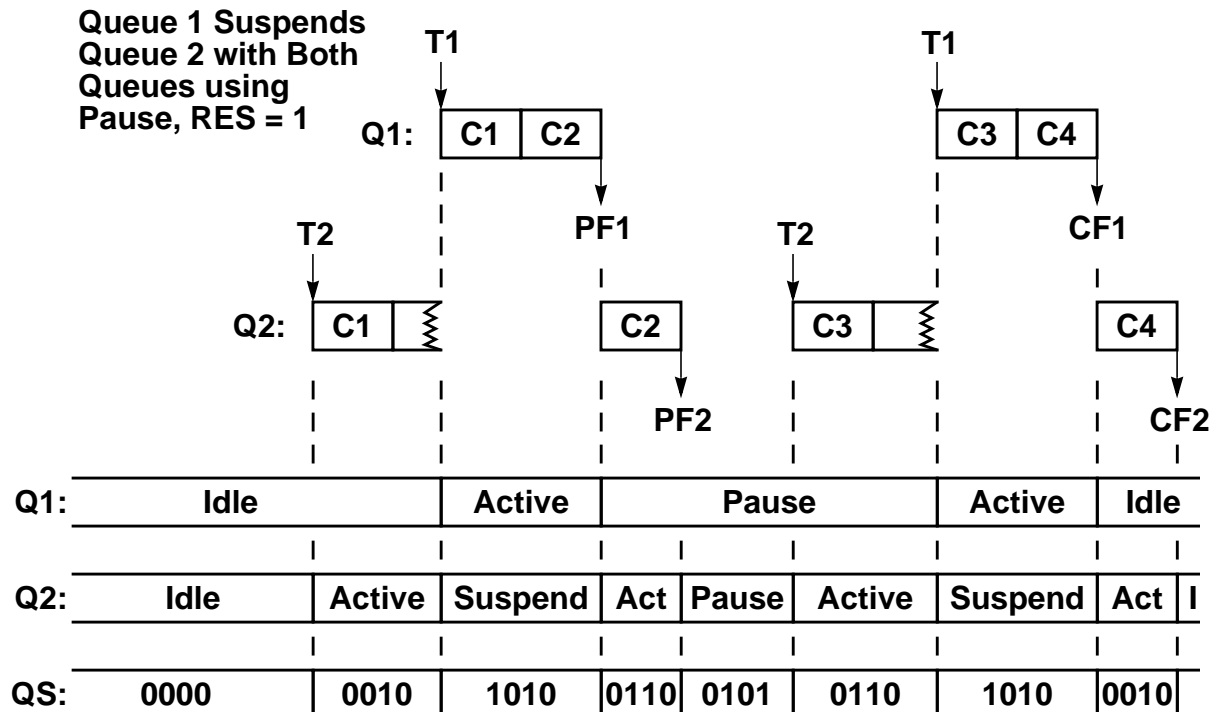


図 31(i) CCW Priority Situation

図 31(i) のケースは、キュー 2 がポーズ状態から第二のトリガーにより、キュー 2 が実行を開始した時にキュー 1 のトリガーが発生するとキュー 2 の実行は中止され、キュー 1 の実行が開始されます。そしてキュー 1 が終了後にキュー 2 の中止されたキュー・コマンドより自動的に実行が再開されます。RES ビット = 1 の時は、中止されたキュー・コマンドから再開します。

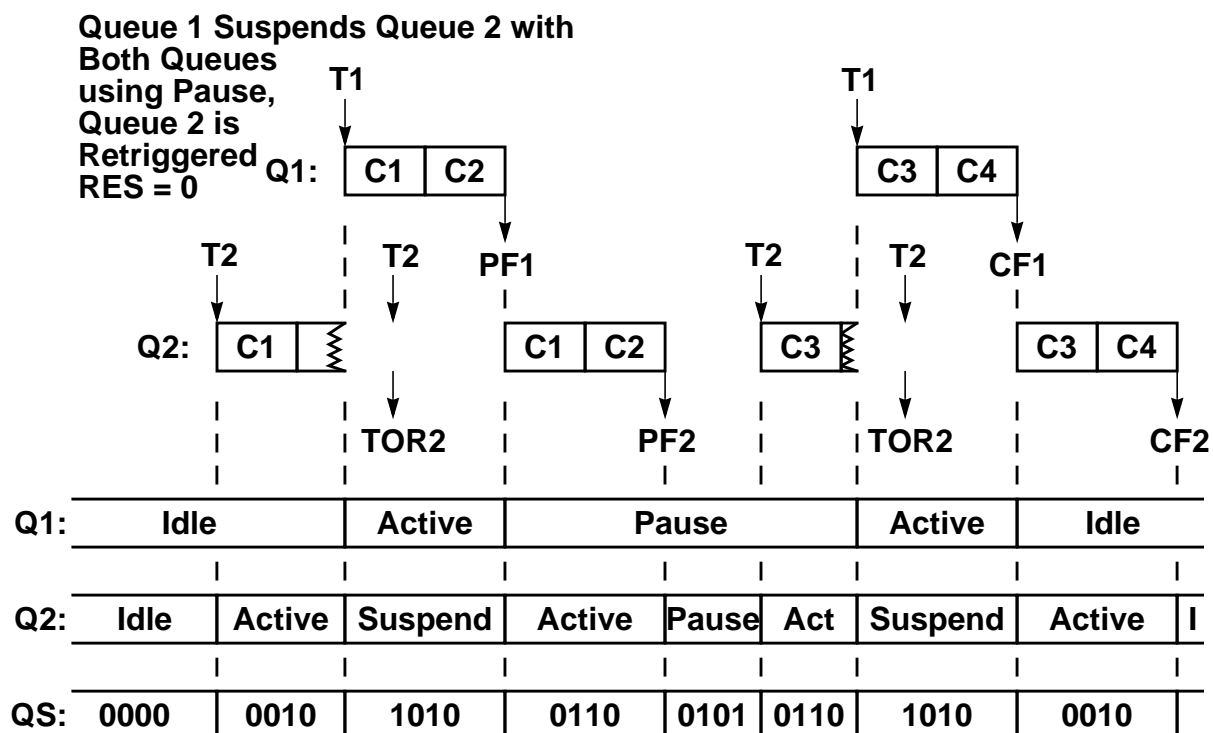


図 31(j) CCW Priority Situation

図 31(j) のケースは、キュー 2 が中止時 (Suspend) にキュー 2 のトリガーを検出した場合、TOR がセットされ、そのトリガーは無視されます。キュー 1 が終了後、キュー 2 は動作を開始していたトリガー点から再開します。RES ビット = 0 の時、再開点は中止されたトリガー点から再開します。

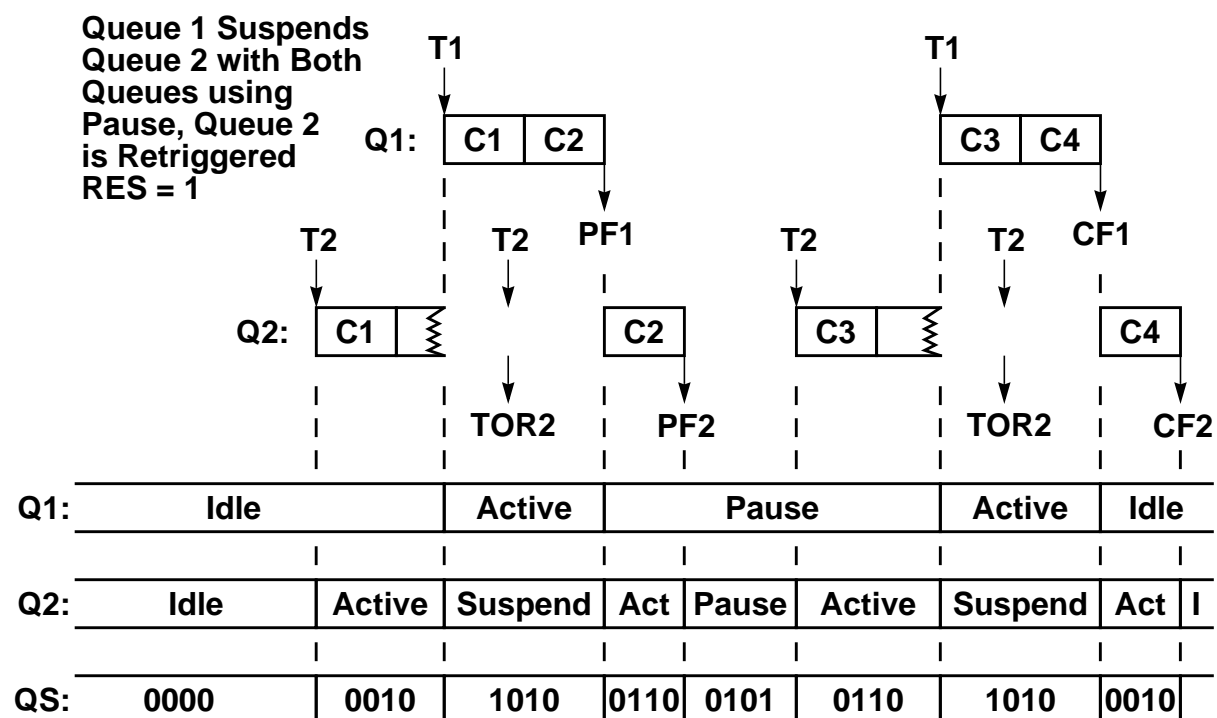


図 31(k) CCW Priority Situation

図 31(k) のケースは、キュー 2 が中止時 (Suspend) にキュー 2 のトリガーを検出した場合、TOR がセットされ、そのトリガーは無視されます。キュー 1 が終了後、キュー 2 は中止されたキュー・コマンドから再開します。RES ビット = 1 の時は、中止されたキュー・コマンドから再開します。

## 第 8 章

# RAM バッファ付きシリアル ペリフェラル・インタフェース

RAM バッファ付きシリアル・ペリフェラル・インタフェース (RSPI) は、全二重同期式シリアル・バスを介して、外部ペリフェラルおよび他の MCU と通信を行います。

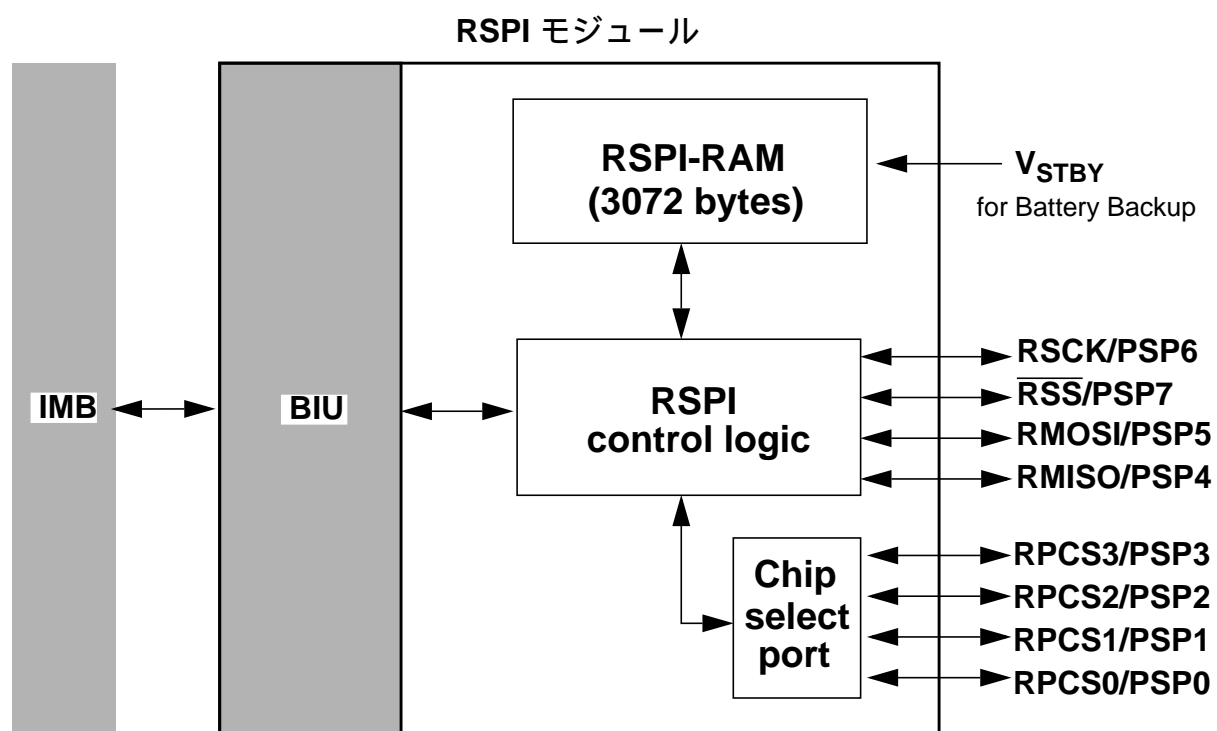


図 32 RSPI のブロック図

## 8.1 概 要

RSPI には、CPU がいつでもアクセスできる 3072 バイト・データ RAM 内蔵のシリアル通信チャンネルが 1 本あります。RSPI は、送信および受信専用の 2 セットの RAM ポインタを使用した、単一送信 / 受信モードおよびラップアラウンド送信 / 受信モードを提供します。

### 特 長

- ・3072 バイトの RAM バッファ
- ・転送モード：
  - 全二重 (3 線式または 4 線式) / 半二重 (2 線式または 3 線式)

- 単一転送 / ラップアラウンド転送
- CPU への割込みを生成可能
- パターン生成 / パターン・キャプチャ機能を使用可能
- ・スレーブ / マスタ / マルチマスタ・サポート :
  - スレーブ・アドレッシング
  - スレーブ側 RAM ポインタの変更 / 監視
  - 複数のマスタ間の調停
- ・制御可能な転送パラメータ :
  - ボー・レート (24.4kbps ~ 6.25Mbps)
  - ワード長 (8/16 ビット)
  - 送信後の遅延時間 (24.4kbps では 81.9ms ~ 21.0ms、6.25Mbps では 320ns ~ 81.9ms)
  - 2 組の RAM ポインタ (Start/End/Current)
- ・高度データ転送機能 :
  - ワード・フレーミング・チェック
  - ブロック検査コード (BCC) の生成とチェック
- ・巡回冗長検査 (CRC) コード
- ・水平パリティ・コード
  - シリアル・クロックおよびデータ受信用 3 ポイント・サンプリング
  - マスタ・クロックはユーザ指定値によりスキュー可能
  - アクノリッジおよびリトライ機能
  - 部分的 RAM 書込み保護
- ・PCS( プログラマブル・ペリフェラル・チップ・セレクト ) :
  - 4 本のピンにより最大 16 個のペリフェラル・チップを選択

表 113 RSPI アドレス・マップ

Address	15	8	7	0
\$YFF600	RSPI MODULE CONFIGURATION REGISTER (RSMCR)			
\$YFF602	RSPI GLOBAL TEST (RSTEST)			
\$YFF604	RSPI INTERRUPT LEVEL (RSILR)		RSPI INTERRUPT VECTOR (RSIVR)	
\$YFF606	RSPI RAM BASE ADDRESS (RSRBAR)			
\$YFF608-\$YFF60E	Reserved			
\$YFF610	RSPI PIN ASSIGNMENT (RSPAR)/ RSPI DATA DIRECTION (RSDDR)		PORT SP DATA (RSPDR)	
\$YFF612	RSPI CONTROL REGISTER 0 (RSCR0)			
\$YFF614	RSPI CONTROL REGISTER 1 (RSCR1)			
\$YFF616	RSPI CONTROL REGISTER 2 (RSCR2)			
\$YFF618	RSPI CONTROL REGISTER 3 (RSCR3)			
\$YFF61A	RSPI COMMAND REGISTER (RSCMD)			
\$YFF61C	RSPI INDEX REGISTER 0 (RSIX0)			
\$YFF61E	RSPI INDEX REGISTER 1 (RSIX1)			
\$YFF620	RSPI INDEX REGISTER 2 (RSIX2)			
\$YFF622	RSPI INDEX REGISTER 3 (RSIX3)			
\$YFF624	RSPI INDEX REGISTER 4 (RSIX4)			
\$YFF626	RSPI INDEX REGISTER 5 (RSIX5)			
\$YFF628	RSPI STATUS REGISTER (RSSR)			
\$YFF62A	RSPI BCC REGISTER 0 (RSBC0)			
\$YFF62C	RSPI BCC REGISTER 1 (RSBC1)			

表 113 RSPI アドレス・マップ

Address	15	8	7	0
\$YFF62E	RSPI DATA SHIFT REGISTER (RSSFT)			
\$YFF630	RSPI LOCAL TEST REGISTER (RSLTST)			
\$YFF632-\$YFF636	Reserved			
\$YFF638	RPCS PIN ASSIGNMENT (RSCSPAR) / RPCS DATA DIRECTION (RSCSDDR)		RPCS PORT DATA (RSCSPDR)	
\$YFF63A-\$YFF63E	Reserved			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態。この MCU では、Y は \$F に等しくなければなりません。M がクリアされている場合、リセットが発生するまで IMB モジュールにはアクセスできません。M はリセットの後に 1 回だけ書き込むことができます。

以下の表は、汎用入出力用に構成されていないときの RSPI ピンの機能を要約したものです。RSPI データ方向レジスタ (RSDDR) と RPCS データ方向レジスタ (RSCSDDR) は、各ピンに機能を割り当てます。

表 114 RSPI ピンの機能

	Pin	Mode	I/O	Pin Function
RSPI Pins	RMISO	Master	I	Serial Data Input to RSPI
		Slave	O	Serial Data Output from RSPI
	RMOSI	Master	O	Serial Data Output from RSPI
		Slave	I	Serial Data Input to RSPI
	RSCK	Master	O	Clock Output from RSPI
		Slave	I	Clock Input to RSPI
	$\overline{\text{RSS}}$	Master	O	Frame Indication Output
		Slave	I	Slave Select
	RPCS[3:0]	Master	O	Chip Select Output
		Slave	I/O	General I/O

## 8.1.1 一般的な機能

ユーザは、RSPI のもつ、データ・サイズ、ボー・レート、ビット順序などのデータ転送の多くの特性を制御できます。また、RSPI を使用して、マスタ・デバイス、スレーブ・デバイス、または複数のマスタ・デバイスと通信することができます。RSPI のすべての機能は従来の SPI タイミングと完全に互換性があるため、SPI/QSPI チャンネルでの通信にも使用できます。

### 8.1.1.1 マスタまたはスレーブ動作

RSPI は、マスタ・モードまたはスレーブ・モードのいずれかで動作します。マスタ・モードでは、RSPI はシリアル・クロックと通信動作の両方を制御します。さらに、アドレス・スレーブ・セレクト・モードでは、マスタはコマンド・トランザクションを開始して、スレーブ・デバイスの RAM ポインタ値や半二重 / 全二重設定などのパラメータを観察および制御できます。

### 8.1.1.2 半二重および全二重動作

半二重および全二重転送の両方を使用できます。送信および受信の両方に共通のシリアル・クロック

ク (SCK) が使用されます。

### 8.1.1.3 バイト / ワード送信ワード長

RSPI は、RSPI RAM とシリアルライザの間で、8 ビット ( バイト ) または 16 ビット ( ワード ) 単位でデータをロード / ストアすることができます。

### 8.1.1.4 設定可能な CPU のエンディアン・タイプとデータ・シフト方向

RSPI は、ビッグ・エンディアンおよびリトル・エンディアンのバイト割付けフォーマットをサポートしています。データのシフト方向は、選択されたエンディアンのタイプ・フォーマットによって異なります。ビッグ・エンディアン・フォーマットの場合は最上位ビット (MSB)、リトル・エンディアン・フォーマットの場合は最下位ビット (LSB) が先頭になります。

### 8.1.1.5 プログラム可能なワード送信後の遅延時間

各ワード転送の間には、2 ~ 512SCK クロック周期の休止期間があり、その期間を適切に設定すれば RSPI は従来の SPI と通信可能です。

## 8.1.2 RSPI RAM とデータ・ポインタ

### 8.1.2.1 RSPI データ RAM

RSPI は 3072 バイトのデータ RAM を備えています。このデータ RAM は、従来の RAM モジュールと同様に使用できます。したがって、ユーザは RAM にどのシステム・データ ( スタック・スペースなど ) でもストアでき、またプログラムをストアすることも可能です。図 33 に MC68HC(9)16Y5/916Y6 の RSPI RAM アドレス・マップを示します。マウントされていない RAM 領域に CPU が読出しアクセスを行なっても、結果は常に不定です。また、マウントされていない RAM 領域へ CPU が書込みアクセスを行なっても RSPI には影響を与えません。

一般に、CPU は 2 システム・クロックで RSPI RAM にアクセスできます。しかし、CPU と RSPI の内部回路が同時に RSPI RAM にアクセスしようとした場合は、RSPI がアクセスを終えるまで、CPU のアクセスは延期されます。その結果、CPU のアクセス・バス・バンド幅は、通信中の RSPI のポー・レートに応じて縮小されます。

RSPI RAM の内容は、システム・リセットのたびに初期設定されず、パワーダウン中にも、Vstby ピンにバックアップ電源を供給することによって維持されます。

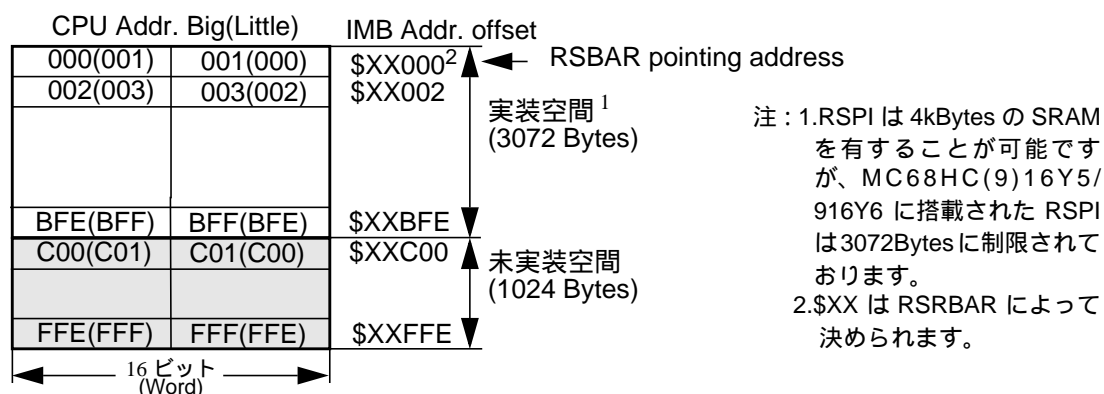


図 33 RSPI RAM アドレス・マップ



## 8.1.2.2 データ・インデックス・ポインタ

RSPI には、RSPI RAM 空間の送信 / 受信データ・ブロックの開始アドレスと終了アドレスを指す 2 組のデータ・ポインタがあります。また、RSPI RAM 空間の送信 / 受信データ・ブロック内の現在位置を示すカレント・ポインタも 2 つあります。

各レジスタは 12 ビット長で、これを使用して RSPI は RSPI RAM 領域の 3072 バイトすべてにアクセスできます。インデックス・レジスタには、任意のアドレス値の組合せを入れることができます。つまり、送信領域と受信領域のオーバーラップが完全サポートされています。図 34 にオーバーラップ例を示します。カレント・ポインタ (CURT/CURR) は、現在送信中のデータに CPU が誤って上書きしないようにするために参照できます。これによって、トランザクション中のデータのコヒーレンスを保証できます。

これらのポインタを使用した構成例を、図 34 に示します。

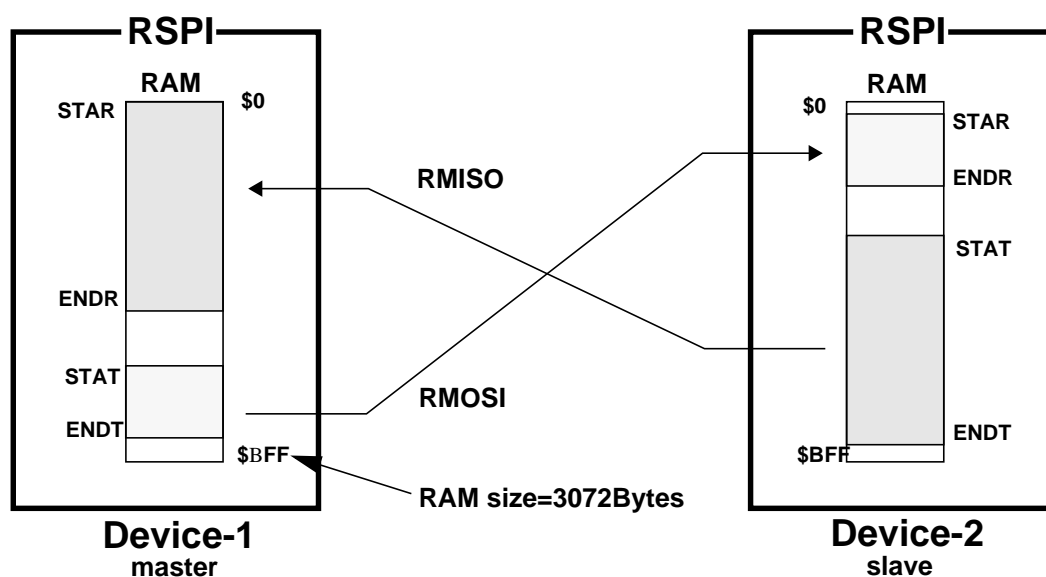


図 34(a) RSPI で転送にポインタを使用 (オーバーラップしない場合)

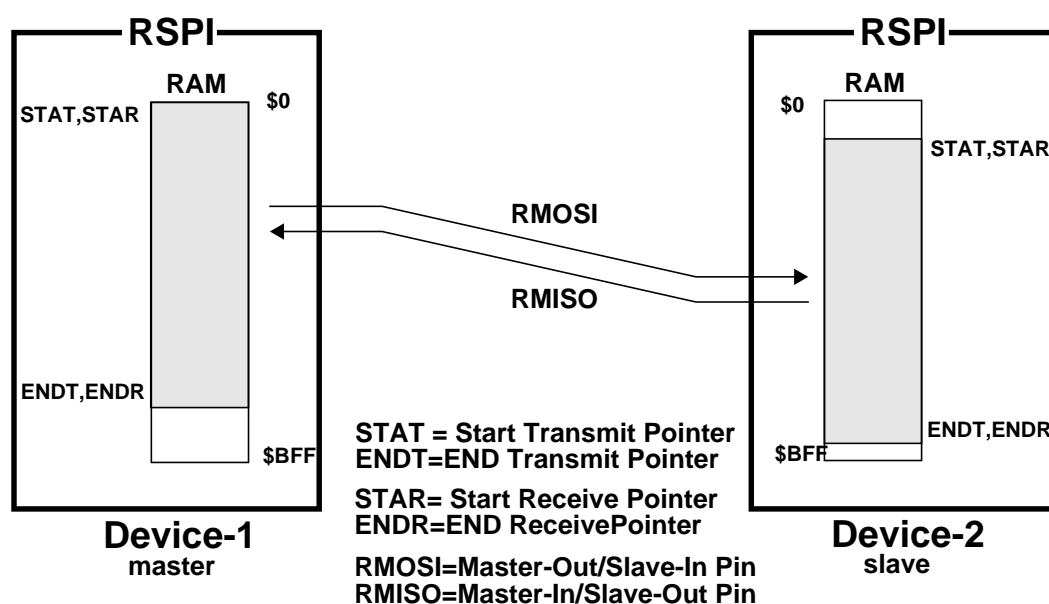


図 34(b) RSPI で転送にポインタを使用 (オーバーラップする場合)

### 8.1.2.3 RSPI RAM の部分的な書込み保護

RSPI は、RSPI RAM の全部 / 一部に対する書込み保護を提供します。保護領域は、CPU がいつでもアクセスし変更することができます。ただし、RSPI 通信回路は保護領域に書き込むことはできず、保護領域の読出ししか許されていません。スタック・ポインタなどのシステム・パラメータを保護領域内に配置することもできます。これによって、他の外部デバイスはシリアル通信を通してデータを観察することができます。これはシステム・デバッグなどに便利です。

### 8.1.2.4 ラップアラウンド転送

ラップアラウンドによって、ユーザは RSPI RAM 内のデータ・ブロックを CPU の介在なしで連続して送信できます。これは、特にシングル・データ・フレーム・モードを BCC 検査 & リトライ・オプションで使用するときに便利です。

ラップアラウンドをイネーブルすれば、RSPI ポインタ・アーキテクチャによって、送受信それぞれ独立したリング・バッファ・システムとの通信が可能になります。これによってユーザは、RSPI を使用して最高 4 本のシリアル通信ラインで接続された複数の MCU 間に、仮想共有 RAM を実現することができます。図 35 にこれを実現する方法を示します。

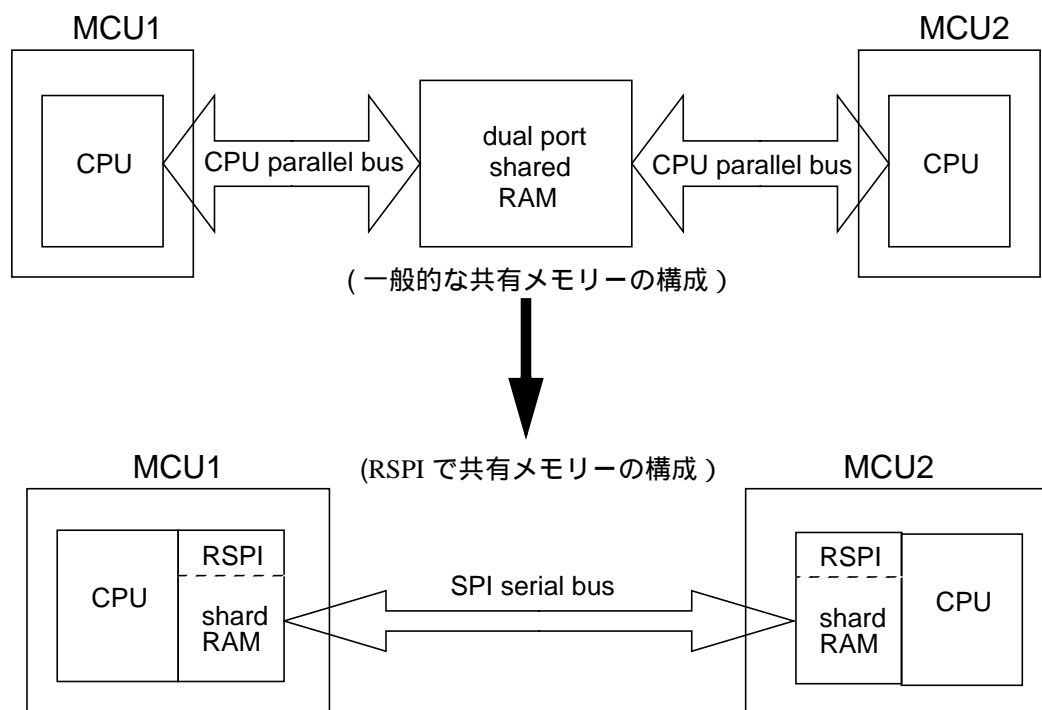


図 35 RSPI を使用した仮想共有 RAM

### 8.1.3 スレーブ・デバイスの選択

マスタ RSPI は、通信する 1 つまたは複数のスレーブを選択しなければなりません。RSPI は、ピン・スレーブ・セレクトとアドレス・スレーブ・セレクトの 2 種類のスレーブ選択方法を用意しています。以下、それぞれの選択方法について説明します。

#### 8.1.3.1 ピン・スレーブ・セレクト・モード

このスレーブ選択方式は、従来の SPI/QSPI と完全に互換性があります。スレーブの  $\overline{\text{RSS}}$  ポートがアサートされると、スレーブが選択されます。複数のスレーブのうち 1 つまたは複数のスレーブを選択するには、各スレーブにスレーブ・セレクト制御ラインが必要です。

### 8.1.3.2 アドレス・スレーブ・セレクト・モード

このスレーブ選択プロセスは、通常 RSPi 専用に使われますが、従来の SPI もこれを使用することができます。マスタは、スレーブ・アドレスを送信して、どのスレーブを通信相手にするかをブロードキャストします。スレーブ・デバイスの固有のチップ・アドレスが、マスタが送信したスレーブ・アドレスに一致すると、そのスレーブが選択されます。アドレス・スレーブ・セレクト・モードでは、マスタが 1 つまたは複数のスレーブを動的に選択できます。また、このスレーブ・セレクト・モードでは、この章で後述するマスタ調停手順を利用して、マスタ・デバイスの割当てを動的に変更することができます。

### 8.1.4 マルチ・マスタ・サポート (シリアル・バス・マスタ調停)

従来のモード・フォールト検出に加えて、RSPi は新しいマスタ権自動調停メカニズムとプロトコルを提供します。マスタ権調停は、コマンド転送の特殊な場合です。マスタ権調停プロトコルを使用することによって、ユーザはマスタを動的に変更するとともに、ソフトウェアの介入を最小限に抑えることができます。

### 8.1.5 データ・フレーム・モード

RSPi では、マルチプルとシングル の 2 つのデータ・フレーム・モードから 1 つを選択することができます。この 2 つのモードの主な相違点は、アクノリッジとリトライ機能が実行される各フレーム内のデータ数です。以下、簡単に説明します。

#### 8.1.5.1 マルチプル・データ・フレーム・モード

マルチプル・データ・フレーム・モードでは、RSS がアサートされている間に複数バイト / ワードのデータが連続して転送されます。これによって、非常に効率的な転送を行なうことができます。

アクノリッジと BCC 検査機能がイネーブルされている場合でも、BCC 検査が実行される前に、受信データは RSPi RAM にストアされることに注意してください。つまり受信データにエラーが含まれていても、データ・フレームの終わりまでわかりません。

BCC とアクノリッジ機能の両方をディセーブルした転送では、シリアライザに残っているデータは、RSS がネゲートされたときのデータ・ビット・サイズに関係なく、RSPi RAM にストアされます。このため、スレーブ RSPi は、8 ビットの倍数でない大きさのデータを受信することができます。

#### 8.1.5.2 シングル・データ・フレーム・モード

シングル・データ・フレーム・モードでは、各バイト / ワードはエラーをチェックしてから RSPi RAM にストアされます。エラーが検出された場合、そのデータは廃棄されます。したがって、RSPi RAM に含まれるデータにはエラーがないことが保証されます。シングル・データ・フレーム・モードで、ラップアラウンド、アクノリッジ、およびリトライ機能を利用すれば、CPU の介入なしで複数の RSPi に共有 RAM を提供できます。

### 8.1.6 パターン生成 / パターン・キャプチャ機能

マスタ RSPi は、データ・バイト / ワード転送間に待ち時間なしで一連のデータ列を転送 / 受信することができます。パターン生成やパターン・キャプチャが可能になります。ラップアラウンドがイネーブルされている場合、RSPi はパターン生成 / キャプチャを無限に実行できます。

### 8.1.7 チップ・セレクト・ポート

RSPi には、QSM の QSPI サブモジュールと同等のスレーブ・チップ選択機能のために 4 ビット・ポート (RPCS0 ~ RPCS3) があります。これらのポートは、一部の従来型ペリフェラルとの通信用として使用できます。アドレス・スレーブ選択やコマンド転送など一部の RSPi の先進機能は、PCS チップ・セレクト動作では使用できません。

PCS を使用したチップ・セレクト機能がイネーブルされると、マスタ RSPI は、CURT で指定された RSPI RAM アドレスに位置するデータの上位バイト (D15-D8) を、シリアルライザにロードします。下位バイトの最下位 4 ビット (D3-D0) は、PCS 動作に特別に用意された 4 ビット・ラッチにロードされます。受信したバイト・データは、常に RSPI RAM の上位バイトにストアされます。

従来の PCS 動作に加えて、RSPI は、下位バイトの最下位 3 ビット (D7-D5) を PCS 動作のための拡張属性ビットとして使用します。これらのビットは、CSFIN、SSA、CONT です。

### CSFIN

- 0 = PCS 動作が続く。
- 1 = PCS 動作のない通常のデータ転送が続く。

CSFIN = 1 の場合、マスタ RSPI は、現在ロードされているシリアル・データの転送完了後に、PCS を使用したチップ・セレクト動作を終了します。その時点で、現在実行中の通信がまだ終了していない場合、マスタ RSPI は PCS 動作を実行しないでシグナル・データ・フレーム・モードにより通常のデータ転送を継続します。CSFIN = 0 のとき、PCS を使用したチップ・セレクト動作が継続されます。

### SSA

- 0 =  $\overline{\text{RSS}}$  はネゲートされる (1 をドライブ)。
- 1 = RSS はアサートされる (0 をドライブ)。

SSA = 1 の場合、 $\overline{\text{RSS}}$  は PCS バイト転送中に “L” レベルを出力します。SSA = 0 の場合、 $\overline{\text{RSS}}$  は “H” レベルを出力します。

### CONT

- 0 = 転送完了後に、PCS 値を RSCSPDR で定義された状態に戻す。
- 1 = 転送完了後もチップ・セレクト・コードをアサートしたままにしておく。

CONT=1 の場合、RSPI は連続したシリアル・データ転送のポーズ期間も連続して PCS ポートを同じ値にドライブします。CONT = 0 の場合、RSPI は PCS ポートを、当該期間中に RSCSPDR で定義された値にドライブします。

図 36 に属性ビットの使用法の例を示します。



## 8.1.8 データ保持機能の強化

RSPI は長いデータ列を高速で送受信できるため、データの信頼性が重要になります。RSPI は、BCC 検査コード、マルチポイント・サンプリング、プログラム可能な SCK クロックなど、信頼性を高めるためのいくつかの耐ノイズ機能を備えています。

### 8.1.8.1 フレーミング・エラー検査

スレーブ RSPI は、通信中に RSCK ラインや RSS ラインにノイズが発生する予測不能な動作状態に陥ることがあります。この種の通信エラーは、「フレーム・サイズ・エラー」として分類できます。スレーブでフレーム・サイズ・エラーが発生すると、マスタとスレーブ間の動作状態の同期が壊れます。フレーム・サイズ・エラーに対処するために、スレーブ RSPI にはフレーム・サイズ検査機能が備わっています。フレーム・サイズ検査は、レベル・センシティブ RSS モード以外の、スレーブ RSPI で行なわれます。通常のエッジ・センシティブ RSS モードの通信では、スレーブ RSPI は各データ・フレーム中の RSCK パルス数をカウントします。カウントしたデータ・フレーム中の RSCK パルス数が期待値と等しくない場合、スレーブはフレーミング・エラーを検出して、直ちに動作を中断します。

### 8.1.8.2 ブロック検査符号 (BCC): LPC/CRC-CCITT/ITU-T

RSPI には、水平パリティ・チェック (LPC) と巡回冗長検査 (CRC) の 2 種類のブロック検査符号があります。いずれの検査も、送信側の RSPI は主データの転送後に、16 ビットの BCC コードを付加します。したがって受信側の RSPI は、送信されてきた BCC コードと内部で生成した BCC コードを比較して、データの整合性をチェックします。BCC コードはデータ・サイズに関係なく、常に 16 ビット長です。LPC データ・チェックのパリティ・タイプは、4 ビット単位で設定できます。

### 8.1.8.3 受信データのマルチポイント・サンプリング

RSPI は、受信ポートに 3 ポイント・マルチサンプリング・ノイズ・フィルタを提供します。フィルタされるポートは、スレーブの RSCK、RSS、および RMISO ラインとマスタの RMOSI ラインです。フィルタは、各ラインを 3 回サンプリングして、多数決をとります。このフィルタは、ノイズ幅が  $1/4$ SCK 周期未満の場合に対してのみ有効ですので注意してください。

### 8.1.8.4 マスタ・プログラマブル SCK クロック・スキュー

RSPI は、スレーブ応答遅延と伝搬遅延を補償するためのプログラマブル SCK スキュー機能を提供します。RSCK ラインのマルチサンプリングをイネーブルして、高速データ・トランザクションを実行すると、スレーブの応答が遅くなります。その結果、十分なデータ・セットアップ時間を維持できないことがあります。マスタ RSPI は、遅延データを受信すると内部で SCK を遅らせてそれに対応します。SCK の遅延幅は  $0 \sim 3/8$  SCK 周期まで可能であり、ユーザが設定できます。

### 8.1.8.5 アクノリッジおよびリトライ機能

RSPI には、アクノリッジ・サイクルを付加することができ、送信データが正しく受信されたかどうか、つまり受信されたデータが BCC 検査に合格したかどうかを他のデバイスに通知します。アクノリッジは 16 ビットで構成されており、受信データ有効アクノリッジ (RCVAL) とスレーブ有効アクノリッジ (SLVAL) の 2 つの部分に分けられます。前者は受信データの有効性を検査し、後者はコマンド転送に対するスレーブの応答をチェックします。ノイズ耐性をもたせるために、受信されたそれぞれの有効アクノリッジ・コードは 8 ポイントの多数決方式でその値が確定されます。

RSPI はリトライ・メカニズムを備えているため受信データ有効アクノリッジでアクノリッジが検出されなかった場合に、マスタは通信を中断する前に、送信に失敗したデータ・フレームを一定回数再送信することができます。

## 8.1.9 コマンド転送

アドレス・スレーブ・セレクト・モードでは、マスタ RSPi はコマンド転送を開始して、RSPi で使用可能な多数の強力な機能を利用できます。一般的なコマンド転送は、オペコード（該当ビットの設定）、関連オペランド・ワード、そして該当する場合はデータ・ワード（転送されるデータ）によって構成されます。図 37 に示すように、適切なコマンド転送を発行することによって、マスタ RSPi は、それ以降の通信のために 1 つまたは複数のスレーブを指定し、選択したスレーブ RSPi の RAM ポインタを変更することができます。したがって、コマンド転送により、マスタ RSPi はマスタが必要とするスレーブ RSPi RAM の任意の領域でデータ列を読み書きすることができます。スレーブ側で CPU が介入する必要はありません。

### 8.1.9.1 スレーブ・アドレッシング

アドレス・スレーブ・セレクト・モードでは、マスタは通信したいスレーブを選択することができます。コマンド転送のオペコードには、スレーブ・チップ・アドレス・フィールドの 4 ビットとアドレッシング・モード・フィールドの 2 ビットが常に含まれます。スレーブ・チップ・アドレス・フィールドでは、マスタは最高 16 個のスレーブを選択できます。アドレッシング・モード・フィールドは、スレーブ・チップ・アドレス・フィールドに従って、スレーブの組合せを選択するのに使用します。

通信待機中の各スレーブは、自分のチップ・アドレスがマスタに選択されているかどうかをチェックします。自分のチップ・アドレスが選択されている場合、スレーブはそれ以降の転送でマスタと通信することができます。

### 8.1.9.2 マスタ RSPi からのスレーブ・データ・インデックス・ポインタの操作

マスタは、どのスレーブのデータ・インデックス・ポインタの内容でも変更することができます。これによって、マスタはスレーブとの間で送受信するデータのロケーションを指定および変更することができます。スレーブ RSPi は、マスタ RSPi がインデックス・ポインタを変更しないよう保護するためのオプションも備えています。保護オプションを使用している場合、アクノリッジ・サイクルを通して、これをマスタに通知することができます。

### 8.1.9.3 マスタ RSPi によるスレーブの状態の監視と変更

マスタは任意のスレーブの重要なコントロール・レジスタを監視することができます。このコントロール・レジスタには、マスタ権の要求、マスタ権の許可、インデックス・ポインタの書込み保護、スレーブ固有チップ・アドレス、全二重 / 半二重、ラップアラウンド・イネーブル / ディセーブル、および RAM データ保護に関するスレーブの現在の状態が入っています。

注：マスタが変更できるのは、全二重 / 半二重とラップアラウンド・イネーブル / ディセーブルだけです。変更はコマンド転送を発行することによって実行されます。

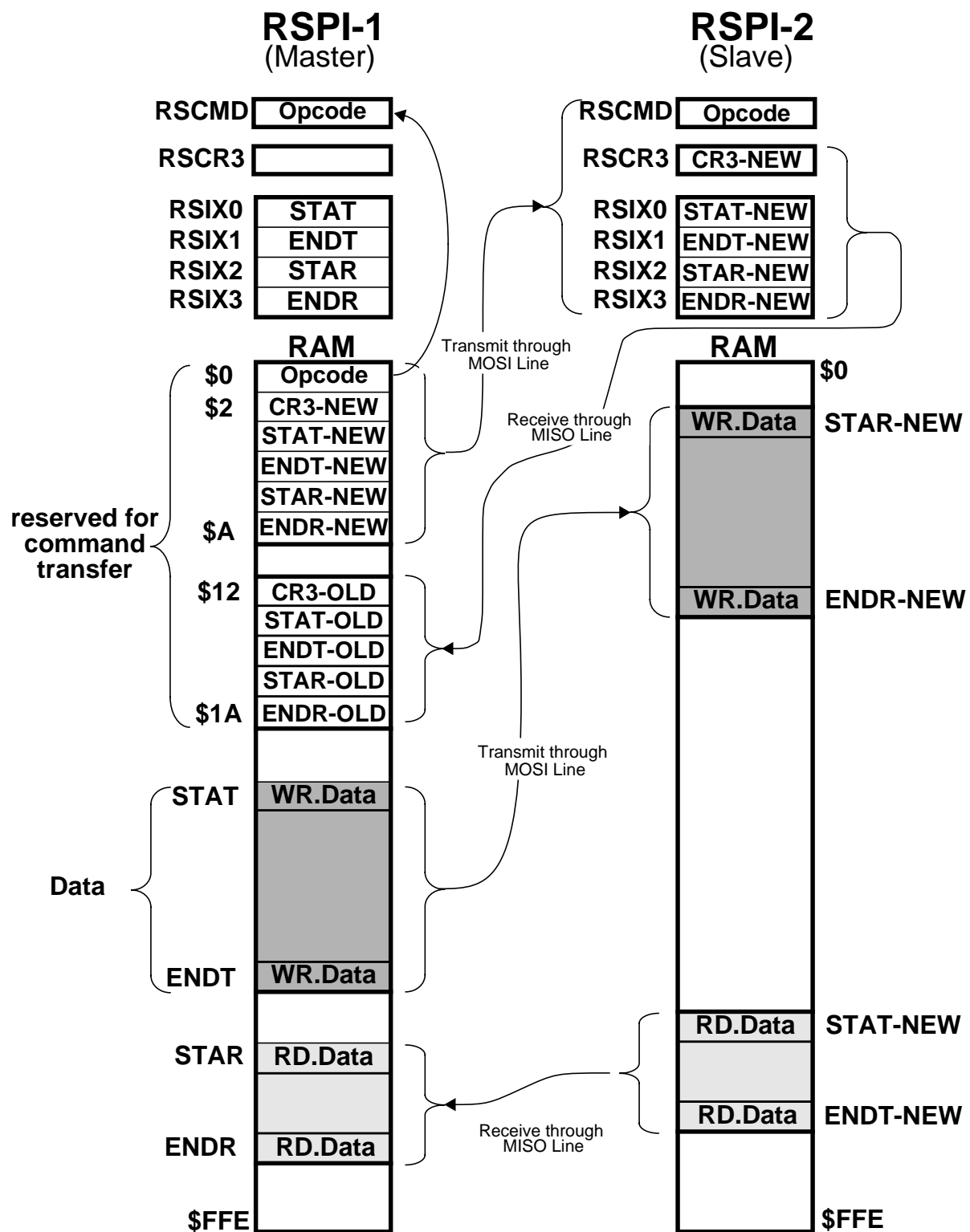


図 37 コマンド転送データ・フロー



## 8.2 RSPI レジスタ

RSPI レジスタは、RSPI グローバル・レジスタと RSPI ローカル・レジスタで構成されています。

### 8.2.1 グローバル・レジスタ

RSPI グローバル・レジスタは、RSPI モジュール・コンフィギュレーション・レジスタ (RSMCR)、RSPI グローバル・テスト・レジスタ (RSTEST)、RSPI 割込みレジスタ (RSILR、RSIVR)、および RSPI RAM ベース・アドレス・レジスタ (RSRBAR) で構成されています。

RSMCR—RSPI モジュール・コンフィギュレーション・レジスタ														\$YFF600	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP	FRZ1	FRZ0	NOT USED				RST	SUPV	NOT USED			IARB			
RESET:															
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

STOP— ストップ・モード・セレクト ( クロックを停止して、回路をパワーダウンする )

- 0 = 通常の RSPI クロック動作。
- 1 = RSPI クロック動作を停止する。

FRZ1— フリーズ・イネーブル 1

- 0 = IMB の FREEZE 信号を無視する。
- 1 = IMB の FREEZE 信号が出力されたとき RSPI を停止する ( 転送境界で )。

FRZ0— フリーズ・イネーブル 0

将来の機能拡張のために予約されています。

RST— リセット・チャンネル

このビットを使って、ユーザは RSPI グローバル・レジスタの状態や IMB 上の他のモジュールの状態に影響を与えることなく、RSPI チャンネルをリセットできます。このビットに “1” を書き込むと、BIU 以外の RSPI チャンネルの内部状態をリセットし、RSPI チャンネルをマスタ・リセット後の状態にします。RSPI のローカル・レジスタは、RST をアサートするとすべて初期設定されます。このビットを読み出すと常に “0” が返ります。

SUPV— スーパーバイザ空間

- 0 = 無制約空間アクセス
  - 1 = スーパーバイザ空間アクセス
- CPU16 はスーパーバイザ・モードでのみ動作するため、このビットには意味はありません。

IARB— 割込み調停レベル

この 4 ビットのエンコードされたフィールドには、この RSPI の割込み調停番号が収められています。このフィールドは、システム・リセット時に非調停状態 (\$0) に初期設定されます。

RSIL—RSPI 割込みレベル・レジスタ														\$YFF604	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED						ILRSPI				RSIVR					
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

ILRSPI—RSPI 割込みレベル

ILRSPI は、RSPI 割込みの割込みレベルを決定します。

## RSIVR—RSPI 割込みベクタ・レジスタ

\$YFF605

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ILRSPI								INTV7:2						INTV1	INTV0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

システム・リセット時に、RSIVR は CPU 例外テーブルの未初期化割込みベクタに相当する \$0F に初期設定されます。このベクタは、ユーザが RSIVR を書き込むまで選択されています。RSIVR は、RSPI の初期化中にユーザ定義ベクタ ( 詳細については、CPU の仕様書を参照してください ) の 1 つにプログラムする必要があります。

表 115 RSPI の割込みベクタ

ビット名	INTV[7:2]	INTV1	INTV0
RSPI Vector	Programmable	0	0
	Reserved for future expansion	0	1
		1	0
		1	1

## INTV7:2— 割込みベクタ [7:2]

このフィールドは、割込みベクタの上位 6 ビットを指定します。

## INTV1:0— 割込みベクタ [1:0]

これら 2 ビットへの書き込み操作は無効です。現在、これらのビットは割込みが生成されるとき、常に “00” になります。

## RSRBAR—RSPI RAM ベース・アドレス・レジスタ

\$YFF606

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	NOT USED		RAMDS	
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

## A23 ~ A12—RSPI RAM ベース・アドレス

これらのビットは、RSPI RAM アレイのベース・アドレスのアドレス・ライン A23 ~ A12 を指定します。これらのビットを使って、RSPI RAM アレイをメモリ・マップ内の 4K バイト境界上のどこにでも配置することができます。テスト・モードでは何回でも書き込めますが、通常の動作モードでは、このレジスタは、システム・マスタ・リセット後に CPU が 1 回しか書き込めません。

## RAMDS—RAM アレイへの CPU アクセスのディセーブル

0 = RSPI RAM アレイへの CPU アクセスがイネーブルされる。

1 = RSPI RAM アレイへの CPU アクセスがディセーブルされる。

RAMDS は、CPU から RSPI RAM へのアクセスが可能かどうかを示す唯一のビットです。このビットを 1 にセットすると、システム・マスタ・リセット後に、RSPI RAM アレイへの CPU アクセスは内部回路によってディセーブルされます。RSPI RAM ベース・アドレス・フィールドの内容が CPU ライト・アクセスによって更新されると、RAMDS が自動的にクリアされるため、RSPI RAM アレイへの CPU アクセスがイネーブルされます。一度 RAMDS がクリアされると、システム・マスタ・リセットまで再設定することはできません。

## RSTEST—RSPI グローバル・テスト・レジスタ

\$YFF602

RSTEST は、工場での RSPI のテストに使用されます。このレジスタにアクセスできるのは、MCU が工場テスト・モードになっている間だけです。

## 8.2.2 ローカル・レジスタ

ローカル・レジスタは、RSPi ピン・コントロール・レジスタ (RSPAR、RSDDR)、RSPi ポート・データ・レジスタ (RSPDR)、RSPi コントロール・レジスタ (RSCRO ~ 3)、RSPi コマンド・レジスタ (RSCMD)、RSPi インデックス・レジスタ (RSIX0 ~ 5)、RSPi ステータス・レジスタ (RSSR)、RSPi ブロック検査コード・レジスタ (RSBC0 ~ 1)、RSPi データ・シフト・レジスタ (RSSFT)、RSPi ローカル・テスト・レジスタ (RSLTST)、および RSPi チップ・セレクト・ピン・コントロール・レジスタ (RSCSPAR、RSCSDDR) によって構成されます。

### 8.2.2.1 RSPi ピン・コントロール・レジスタ

RSPi のピン・コントロール・レジスタは、MCU でパラレル・ポートを形成するピンの用途を決定します。これらのピンは、一般にシリアル通信サブシステムが使用しますが、ピンごとに汎用入出力 (I/O) ポートとして割り当てることができます。

RSPAR—RSPi ピン割当てレジスタ \$YFF610

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSS	RSCK	RMOSI	RMISO	RSDDR				RSPDR							

RESET:

0 0 0 0 0 0 0 0 U U U U U U U U

RSS—RSPi スレーブ・セレクト

RSCK—RSPi シリアル・クロック

RMOSI—RSPi マスタ・アウト・スレーブ・イン

RMISO—RSPi マスタ・イン・スレーブ・アウト

0 = 汎用入出力ポート

1 = RSPi 機能ポート

RSPAR は、RSPi のポートを RSPi 機能ポートとして使用するか汎用入出力ポートとして使用するかを決定します。RSPAR のビットがセットされている場合、対応するポートは RSPi 機能ピンとして割り当てられます。一方、RSPAR のビットがクリアされている場合は、対応するポートは汎用入出力ポートとして割り当てられます。RSPi が予測できない動作をしないように、RSBSY = 1 の間、RSPAR のすべてのビットは CPU 書き込みアクセスから保護されています。RSPAR の内容は、RSBSY = 0 のときに変更できます。

パターン生成 / キャプチャ動作以外の通信の場合は、RSPAR 内の RSCK ビットがセットされていなければなりません。パターン生成 / キャプチャ動作では、SCK クロックが必要な場合は、RSCK のピン割当て制御ビットをクリアして、SCK 出力をディセーブルすることができます。

RSPAR の設定によって全二重 / 半二重通信モードが指定されることはありません。つまり、RSPAR の RMOSI ビットおよび RMISO ビットは、RSPi 内部の送信 / 受信機能をイネーブル / ディセーブルするのではなく、RMOSI/RMISO の外部ポートの内部通信回路への接続 / 切断を行いません。RSPAR ビットの代わりに、RSCR3 の TXE ビットと RXE ビットがそれぞれの送信および受信回路の通信モードを定義します。したがって、RSPAR の RMOSI/RMISO ビットの設定が、TXE/RXE による内部の通信モードの設定に対応していなければなりません。

アクノリッジ機能がイネーブル (ACKEN = 1) されているときには、対応する RSPAR 内のビットをセットして、TXE/RXE の値に関係なく、RMOSI ラインと RMISO ライン両方の RSPi 機能をイネーブルしなければなりません。

レベル・センシティブティ SS モードにおいて、マスタ RSPi の RSPAR 内の RSS ビットがクリアされている場合、RSS ポートをモード・フォールト入力ポートとして使用することができます。

RSDDR—RSPi データ方向レジスタ \$YFF610

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSPAR				PSP7	PSP6	PSP5	PSP4	RSPDR							

RESET:

0 0 0 0 0 0 0 0 U U U U U U U U

PSP7—汎用入出力ポート 7

PSP6—汎用入出力ポート 6

PSP5—汎用入出力ポート 5

PSP4—汎用入出力ポート 4

0 = 入力

1 = 出力

RSDDR ビットは、汎用 I/O ピンとして割り当てられた RSPI 外部ポートのデータ方向を決定します。RSDDR ビットは、RSPI 通信機能が割り当てられたポートの方向には影響を与えません。

RSPDRSPI ポート・データ・レジスタ

\$YFF611

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSPAR				RSDDR				EPSP7	EPSP6	EPSP5	EPSP4	PSP7	PSP6	PSP5	PSP4

RESET:

0    0    0    0    0    0    0    0    U    U    U    U    U    U    U    U

EPSP[7:4]—外部ポート・ステータス・ビット

これらの 4 ビットを読み出すと、常に外部ピンの実際の状態を返します。これらのビットへの書き込みアクセスは無効です。

PSP[7:4]—ポート出力データ・ビット

これらのビットには、汎用出力として割り当てられているポートに出力するデータが収められています。これらのビットを読み出すと、ポートが出力または入力のいずれに割り当てられているかに関係なく、常にストアされているレベルが返ります。これらのビットの内容は、RSPI 通信時に対応するポートに出力されることがあります。つまり、データ送信ポートが半二重通信で使用されていない場合は、対応するポート出力データ・ビットの状態がその未使用ポートに出力されます。

表 116 RSPI ピン制御

RSPAR/RSDDR/RSPDR ビット	ポート SP 信号	RSPI ピン
RSS/PSP7/EPSP7	PSP7	RSS
RSCK/PSP6/EPSP6	PSP6	RSCK
RMOSI/PSP5/EPSP5	PSP5	RMOSI
RMISO/PSP4/EPSP4	PSP4	RMISO

## 8.2.2.2 RSPI コントロール・レジスタ

RSPI モジュールは、4 個の RSPI コントロール・レジスタで構成されています。予想できない動作を防止するため、RSBSY = 1 のときにはほとんどのコントロール・レジスタ・ビットの変更が許可されず、一般に RSBSY = 0 のときに許可されます。まれなケースとして、一部のコントロール・レジスタ・ビットを RSBSY に関係なく変更できる場合があります。

RSCRO—RSPI コントロール・レジスタ 0

\$YFF612

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSE	MST	RSFIE	HMIE	MFDE	0	WOM	HALT	BAUD							

RESET:

0    0    0    0    0    0    0    0    0    0    0    0    0    0    0

RSE をセットするための CPU 書き込みバス・サイクルで、同時に RSCR の他のフラグを変更することもできます。一方、RSE がすでにセットされている状態で、RSE と RSCRO の他のビットを同時に変更しようとした場合、そのバス・サイクルで RSE のクリアと HALT の変更はできませんが、他のフラグの変更はできません。

RSE—RSPI の実行

0 = 通信を停止する。

1 = 通信を開始する。

RSE ビットは、マスタ動作とスレーブ動作の両方で RSPI の内部回路をイネーブルまたはディセーブルします。RSE = 0 ( および RSBSY = 0 ) のとき、RSPI 内部の通信回路が非アクティブ状態に入り、ユーザは RSPI のすべてのローカル・レジスタの内容を変更することができます。RSE がセットされると、マスタ・モードの RSPI がデータ転送を開始し、スレーブ・モードの RSPI は通信待機状態になって、マスタが開始したデータ通信に応答します。

マスタ RSPI は、送信および受信両方のデータ転送を終了すると、RSE をクリアして自動的にオフになります。コマンド転送が実行されている場合、すべてのコマンド、オペランド、およびデータ転送が完了すると、マスタの RSE が自動的にクリアされます。ラップアラウンド・モードでデータ転送を実行しているときには、RSE はラップアラウンド・ポイントではクリアされません。この場合、RSE は CPU がクリアしなければなりません。

マスタ RSPI へのモード・フォールトによって、RSE をクリアすることもできます。

スレーブ RSPI は、一連のデータ転送を終了しても RSE を自動的にクリアしません。ただし、エッジ・センシティビティ SS モードでフレーム・サイズ・エラーを検出した場合、RSE をクリアして、スレーブ RSPI は自動的にオフになります。

#### MST— マスタ / スレーブ・セレクト

0 = RSPI はスレーブ・デバイスで、他のデバイスが開始したシリアル転送に応答のみする。

1 = RSPI はマスタで、他の RSPI デバイスとのデータ転送を開始できる。

MST がアサートされると、RSE ビットの状態に関係なく、RSPI は直ちに RSCK、RMOSI、および RSS ポートを適切なレベルでアクティブにドライブし始めます。

MST = 1 でモード・フォールト検出がイネーブル (MFDE = 1) されている場合、RSPI は、RSE がセットされているかどうかに関係なく、RMISO ラインまたは RSS ライン上のモード・フォールト検出を行いません。マスタ・デバイスでモード・フォールトが発生すると、MST ビットが強制的にゼロになり、MODF がセットされて、複数マスタ・システムで別のデバイスがマスタ権を要求している可能性があることを示します。

#### RSFIE—RSPI 終了割り込みイネーブル

0 = RSPI 割り込みをディセーブルする。

1 = RSPI 割り込みをイネーブルする。

RSFIE は、RSPI による RSFIN アサート時の CPU 割り込みをイネーブルまたはディセーブルします。この RSPI 割り込みイベントは、RSFIN をクリアして解除できます。

#### HMIE—ホルトまたはモード・フォールト割り込みイネーブル

0 = ホルトまたはモード・フォールト割り込みをディセーブルする。

1 = ホルトまたはモード・フォールト割り込みをイネーブルする。

HMIE は、ステータス・レジスタの HALTA フラグまたは MODF フラグがアサートされたときに発生する CPU への RSPI 割り込みをイネーブルまたはディセーブルします。

#### MFDE—モード・フォールト検出イネーブル

0 = モード・フォールト機能をディセーブルする。

1 = モード・フォールト機能をイネーブルする。

MFDE はマスタ RSPI でのみ有効です。MFDE は、マスタ RSPI のモード・フォールト検出をイネーブル / ディセーブルします。MFDE がクリアされた場合、マスタ RSPI はすべてのマスタ権要求を無視します。

#### WOM—RSPI ピンのワイヤード OR モード

0 = 出力ポートは通常のバッファ ( トーテム・ポール ) によってドライブされる。

1 = すべての RSPI 出力ポートがオープン・ドレイン・バッファによってドライブされる。

WOM によって、汎用出力かシリアル通信出力かに関係なく、すべての RSPI 出力ポートをワイヤード OR モードにすることができます。

#### HALT—RSPI 動作の一時停止

0 = RSPI 機能を一時停止しない。

1 = RSPI 機能を一時停止する。

HALT がアサートされると、RSPI は強制的に一時停止状態になります。一時停止状態になった RSPI は、後で再スタートできます。一時停止している間、RSPI は外部ピンの状態を含むすべての RSPI 機能の状態を保持します。HALT は、マスタとスレーブの RSPI 両方で有効です。HALT は、マスタ

RSPI のパターン生成 / キャプチャ転送中は使用できません。HALT は、RSBSY の状態に関係なくセット / クリアできます。このビットを使ってユーザは、適切なバイト / ワード境界で RSPI 動作を停止させることができます。

#### BAUD— ボー・レート

マスタ RSPI は、シリアル通信のためのボー・レート・クロック (SCK) を内部で生成します。周波数はユーザがプログラムできます。マスタ RSPI のほかに、スレーブ RSPI もノイズ除去機能のサンプリング・クロックとして内部で生成される SCK を使用します。クロック信号は、BAUD で初期設定した 8 ビット・モジュラス・カウンタを使用して MCU システム・クロックから得られます。次式で SCK のボー・レートを決めます。

$$\text{SCK ボー・レート} = \text{システム・クロック} / (2^{2+P} \times (\text{BAUD}+1))$$

あるいは、

$$\text{BAUD} = (\text{システム・クロック} / (2^{2+P} \times \text{所要 SCK ボー・レート})) - 1$$

この式で、BAUD は 0、1、2、3、4、...、255 であり、また SCK スキュー、ノイズ・フィルタリング、パターン生成 / キャプチャ機能がすべてディセーブルされているとき P は 0 で、これらの機能のうち最低 1 つがイネーブルされているとき P は 1 になります。表 117 と表 118 に、25MHz のシステム・クロックを基準にした場合のボー・レート値と、対応する SCK 周波数を示します。プログラマブル SCK スキュー、ノイズ・フィルタリング、またはパターン生成 / キャプチャのうち最低 1971 つがイネーブルされている場合 (SKEW > 0、NF = 1、または PG = 1)、RSPI は内部で SCK × 8 の周波数を生成することに注意してください。スレーブ RSPI で使用されるベース・クロックによって、ノイズ・フィルタリングの内部データ・サンプリング周期が決まります。

RSBSY = 0 のとき、ユーザは BAUD を変更できます。RSBSY = 1 のときには、BAUD は変更できません。

表 117 SCK 周波数の例 1  
(NF=0、SKEW=0 およびパターン・ジェネレータ・モード以外)

System Clock Frequency	Required Division Ratio	Value of BAUD	Actual SCK Frequency
25 MHz	4	0	6.25 MHz
	8	1	3.13 MHz
	12	2	2.08 MHz
	16	3	1.56 MHz
	32	7	781 kHz
	64	15	391 kHz
	1024	255	24.4 kHz

表 118 SCK 周波数の例 2  
(NF=1 または SKEW>0 またはパターン・ジェネレータ・モード)

System Clock Frequency	Required Division Ratio	Value of BAUD	Base Clock Frequency	Actual SCK Frequency
25 MHz	8	0	25.0 MHz	3.13 MHz
	16	1	12.5 MHz	1.56 MHz
	24	2	8.33 MHz	1.04 MHz
	32	3	6.25 MHz	781 kHz
	64	7	3.13 MHz	391 kHz
	128	15	1.56 MHz	195 kHz
	2048	255	97.7 kHz	12.2 kHz

## RSCR1—RSPi コントロール・レジスタ 1

\$YFF614

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSM	SGL	SIZE	LITL	NOT USED	LVL/CS	PG	ICMD	NOT USED	BCCM	ACKE	RTRY				

RESET:

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

RSCR1 には、シリアル転送開始前の RSPi 設定パラメータが入っています。RSBSY がセットされている間、CPU は RSCR1 の内容を変更できません。

## SSM—スレーブ・セレクト・モード

0 = ピン・スレーブ・セレクト・モードを選択する。

1 = アドレス・スレーブ・セレクト・モードを選択する。コマンド転送が使用可能。

SSM は、スレーブ・セレクト・モードを決定します。SSM = 0 のとき、ピン・スレーブ・セレクト・モードが選択されます。このモードでは、RSPi は従来のスレーブ・チップ・セレクト方式を使用できます。SSM = 1 のとき、アドレス・スレーブ・セレクト・モードが選択されます。このモードでは、コマンド転送など大部分の RSPi の高度機能が使用できます。アドレス・スレーブ・セレクト・モードでは、エッジ・センシティブリティ SS モードしか使用できません。

## SGL—シングル・データ・フレーム・モード・イネーブル

0 = マルチプル・データ・フレーム・モードが選択される。

1 = シングル・データ・フレーム・モードが選択される。

SGL は、データ・フレーム・モードを決定します。SGL = 0 のとき、マルチプル・データ・フレーム・モードが選択されます。このデータ・フレーム・モードでは、データ転送の開始点でマスタ RSPi が RSS をアサートし、一連のバイト / ワード・データ列転送の間 RSS レベルを “L” に保持し、転送終了時に RSS をネゲートします。受信データは受信直後、BCC 検査の実行前に RSPi RAM にストアされます。したがって、RSPi RAM にストアされたデータには何らかのエラーが含まれている可能性があります。リトライ機能がイネーブルされているときには、転送データ全体にリトライ・サイクルが実行されます。SGL = 1 のとき、シングル・データ・フレーム・モードが選択されます。このモードでは、マスタ RSPi は各バイト / ワード・データ転送の開始時に RSS をアサートし、データ転送終了時に RSS をネゲートします。BCC 検査がイネーブルされている場合、受信データは BCC 検査に合格した後で RSPi RAM にストアされるため、RSPi RAM にはエラーのないデータだけがストアされます。リトライ機能がイネーブルされているときには、リトライ・サイクルは、当該バイト / ワード・データでエラーが検出されたときだけ実行されます。

## SIZE—転送データ・サイズ

0 = 8 ビット・データ転送

1 = 16 ビット・データ転送

SIZE は転送データ・サイズを決定します。16 ビット・サイズ・モードによって、RSPi は 16 ビットのデータ・コヒーレンスを保証することができます。SIZE = 1 のとき、RSPi ハードウェアはすべてのデータ・インデックス・ポインタ (STAx、ENDx、および CUTx) の最下位ビット (LSB) をクリアします。

## LITL—リトル・エンディアン・モード・イネーブル

0 = ビッグ・エンディアン・メモリ・バイト割付けと MSB ファースト・シフト操作

1 = リトル・エンディアン・メモリ・バイト割付けと LSB ファースト・シフト操作

LITL は、メモリ・バイト割付けのタイプを設定し、データ・シリアルライザのデータ・シフト方向を決定します。ビッグ・エンディアン・モード (LITL = 0) では、CURT/CURR が偶数アドレスを指しているときは、RSPi RAM の上位バイトが転送され、CURT/CURR が奇数アドレスを指しているときには下位バイトが転送されます。RSPi は、MSB から LSB ヘデータをシフト・アウト / インします。リトル・エンディアン・モード (LITL = 1) では、CURT/CURR が偶数アドレスを指しているときは RSPi RAM の下位バイトが転送され、CURT/CURR が奇数アドレスを指しているときには上位バイトが転送されます。RSPi は、LSB から MSB ヘデータをシフト・アウト / インします。

LVL/CS—レベル・センシティブリティ  $\overline{SS}$  / チップ・セレクト・モード・イネーブル

0 = スレーブ RSS の入力エッジ・センシティブ / チップ・セレクト・ポートがディセーブルされる。

1 = スレーブ RSS の入力はレベル・センシティブ / チップ・セレクト・ポートがイネーブルされる。

LVL/CS には、RSS 入力のセンシティブ・タイプの選択スイッチとしての機能と、チップ・セレクト・ポート (RPCS0 ~ 3) 動作のイネーブル / ディセーブル・スイッチとしての機能があります。

最初の機能に関しては、LVL/CS はピン・スレーブ・セレクト・モードおよびマルチプル・データ・フレーム・モード (SSM = 0 および SGL = 0) で、BCC もアクノリッジ機能も設定されていないとき (BCCM = %00 および ACKE = 0) に使用でき、ユーザは RSS 入力センシティブティ・タイプを選択することができます。この設定で LVL/CS = 1 の場合はレベル・センシティブティが選択され、そうでない場合はエッジ・センシティブティが選択されます。他のモード設定では、LVL/CS の状態に関係なく、エッジ・センシティブティが選択されます。第 2 の機能に関しては、マスタ RSPi の LVL/CS をピン・スレーブ・セレクトとシングル・データ・フレーム・モード (SSM = 0 と SGL = 1) で BCC もアクノリッジ機能も設定しない (BCCM = %00 と ACKE = 0) 場合、チップ・セレクト・ポート (RPCS0 ~ 3) をイネーブルまたはディセーブルできます。この設定で LVL/CS = 1 の場合にはマスタ RSPi の PCS 機能がイネーブルされ、それ以外の場合にはディセーブルされます。他のモード設定では、LVL/CS の状態に関係なく、PCS 機能は常にディセーブルされます。

#### PG— パターン生成イネーブル

0 = パターン生成 / キャプチャをディセーブルする。

1 = パターン生成 / キャプチャをイネーブルする。

PG は、BCC またはアクノリッジ機能のないピン・スレーブ・セレクトおよびマルチプル・データ・フレーム・モード (SSM = 0 と SGL = 0) のマスタ RSPi (MST = 1) のみで使用できます。PG は、スレーブ RSPi では無効です。マスタ RSPi で PG 機能がイネーブルされているとき、生成されるボー・レートは通常のボー・レートの半分之一になり、各バイト / ワード・データ転送間に待ち時間は挿入されません。したがって、マスタは連続して SCK クロックを生成します。ボー・レートは、PG 機能により次のとおり定義されます。

$$\text{SCK ボー・レート} = \text{システム・クロック} / (8 \times (\text{BAUD} + 1))$$

PG 機能がイネーブルされているとき、ユーザは、RSPAR の該当するビットをクリアして、未使用の RSCK、RMOSI、RMISO、および RSS ラインを汎用ポートとして設定できます。パターン生成機能とパターン・キャプチャ機能は、RSCR3 の RSPAR と TXE/RXE を設定すればどちらか一方が選択できます。RSPAR の RMOSI ビットと RSCR3 の TXE ビットがセットされると、前者の機能が実行されます。RSPAR の RMISO ビットと RSCR3 の RXE ビットの両方がセットされると、後者の機能が実行されます。TXE と RXE の両方がセットされている場合は、パターン生成機能が実行されます。

#### ICMD— コマンド転送開始

0 = データ転送が開始される。

1 = コマンド転送が開始される。

ICMD は、アドレス・スレーブ・セレクト・モードのマスタ RSPi (MST = 1、SSM = 1) でのみ使用できます。ICMD は、他の設定の RSPi には影響しません。

マスタの RSE がセットされているときに ICMD がクリアされると、マスタ RSPi は通常のデータ転送を開始します。他方、RSE がセットされているときに ICMD がセットされると、マスタ RSPi はコマンド転送手順を開始します。コマンド転送に回答するすべてのスレーブ RSPi は、事前に RSE と SSM の両方をセットして通信待機状態にされていなければなりません、ICMD をセットする必要はありません。

#### BCCM— ブロック検査コード・モード

BCCM は、ブロック検査コード (BCC) 機能をイネーブル / ディセーブルし、BCC のタイプを決定します。マスタ RSPi とスレーブ RSPi の BCCM 設定は、互いに一致しなければなりません。

表 119 BCCM オプション

BCCM	説 明
00	Block check code (BCC) mechanism is disabled.
01	LPC is enabled for BCC.
10	CRC (inverted) is enabled for BCC.
11	CRC (non-inverted) is enabled for BCC.



BCCM = %01 のとき、水平パリティ検査コード (LPC) が選択されます。他方、BCCM = %11 のときには、非反転巡回冗長性検査コード (CRC) が選択され、BCCM = %10 のときには反転 CRC が選択されます。BCC シンドロームのサイズは、SIZE の設定に関係なく常に 16 ビットです。LPC が選択されているとき (BCCM = %01)、算出されるパリティ・タイプ (偶数または奇数) は RSCR2 の BCCP の内容によって決まります。BCC 機能がイネーブルされると、送信される情報のデータ列に続いて 16 ビットの BCC コードが転送されます。BCCM がすべてクリアされると、RSPI ハードウェアは BCC コードの計算を停止し、BCCF をクリアします。

#### ACEKE—アクノリッジ・イネーブル

0 = アクノリッジ機能をディセーブルする。

1 = アクノリッジ機能をイネーブルする。

ACEKE は、ハンドシェイク通信のためのアクノリッジ機能をイネーブル / ディセーブルします。信頼性の高い通信を行なうために、特にアドレス・スレーブ・セレクト・モードでは、この機能をイネーブルすることを推奨します。アクノリッジ機能をイネーブルするには、BCCM の少なくとも 1 ビットをセットして、BCC 検査機能をイネーブルしなければなりません。アクノリッジがイネーブルされると、各データ・フレームの終わりで BCC コードの後に 16 ビットのアクノリッジ・コードが続きます。アクノリッジ手順を用いてスレーブ RSPI での BCC エラーがマスタに通知されると、マスタはリトライ・サイクルを開始できます。同様な方法により、マスタはマスタ側の BCC エラーをアクノリッジ手順を通してスレーブに通知するため、スレーブはマスタがリトライ・サイクルを開始するための準備を開始できます。また、ネットワーク上に選択された有効なスレーブが存在しない場合、マスタ RSPI はアクノリッジ手順を通してその状況を検出し、すぐに通信をアボートします。

#### RTRY—リトライ回数

RTRY フィールドは、リトライ機能をイネーブル / ディセーブルしリトライ制限回数を設定します。BCCM = %X1 または %1X、かつ ACEKE = 1 の場合、RTRY はマスタおよびスレーブ両方の RSPI のリトライ制限回数を決定します。アクノリッジ機能がディセーブルされている場合、RTRY は RSPI の動作には影響を与えません。RSPI には、リトライ・サイクルが実行中かどうかをユーザ通知するメカニズムはありません。たとえば、RTRY = %011 のとき、各データ・フレームごとに最高 3 回までリトライを生成できます。マスタ RSPI でリトライ・サイクルを引き起こす条件が発生したとき、RTRY にゼロがセットされているか、RTRY にセットされている制限回数を超えるならば、マスタ RSPI はリトライ・フォールトを検出し、すぐに動作を中断します。他方、スレーブ RSPI ではリトライ・フォールトが検出された場合、スレーブ RSPI が CPU 割込みを生成することはありませんが動作は中断しません。

#### RSCR2—RSPI コントロール・レジスタ 2

\$YFF616

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCCP				NF	NOT USED	SKEW		DTL							

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1

RSCR2 には、遅延時間、ノイズ・フィルタ、および BCC プリセット値を設定するパラメータがあります。これらのパラメータは、シリアル転送を開始する前に設定しなければなりません。RSBSY = 1 のときに、CPU がこれらのレジスタの内容を変更することはできません。

#### BCCP—BCC プリセット値

BCCP は、LPC モードと CRC モードの両方で BCC シンドロームのプリセット値を設定します。BCCP は、LPC または CRC がイネーブルされているとき (BCCM = %01 または BCCM = %1X のとき) に有効です。マスタ RSPI と各スレーブ RSPI の BCCP 値が一致していなければなりません。

##### ・CRC モード

CRC モード (BCCM = %1X) では、BCCP は BCC コード生成レジスタの初期値を設定します。BCCP の最上位ビットは、常にコード生成レジスタの最上位 4 ビットを初期設定します (BCCT、BCCR)。同様に、BCCP の下位ビットは BCC コード生成レジスタの下位 4 ビットを初期設定します。各データ転送の開始前に、RSPI は BCC コード生成レジスタを BCCP が定義する値に初期設定します。

## ・ LPC モード

LPC モード (BCCM = %01) では、BCCP は 16 ビット水平パリティ・チェック (LPC) コードのパリティ・タイプ (偶数 / 奇数) を 4 ビット単位で設定します。BCCP のビットがゼロのとき、LPC コードの対応する 4 ビットは偶数パリティとして設定され、BCCP のビットが 1 のとき、この 4 ビットは奇数パリティになります。以下の表に示すように、BCCP の設定は、データのシフト方向、データ・サイズ、データ・フレーム・モード、データ列の開始アドレスによって決まります。データ転送開始前には、RSPI は BCCP を BCCP が定義している状態に初期設定し、BCCR をオール・ゼロにクリアします。

表 120 BCCP ビットによるパリティ構成データ・ビット (BCCM=%01)

BCCP Bit (RSCR2 Bit Position)				BCCP3 (15)	BCCP2 (14)	BCCP1 (13)	BCCP0 (12)
MSB First (LITL=0)	BCC Generator Bit Position			X <sub>15-12</sub>	X <sub>11-8</sub>	X <sub>7-4</sub>	X <sub>3-0</sub>
	Data Bit Position	16 Bit Mode (SIZE=1)		D <sub>15-12</sub>	D <sub>11-8</sub>	D <sub>7-4</sub>	D <sub>3-0</sub>
		8 Bit Mode (SIZE=0,SG L=0)	Even*	D <sub>15-12</sub>	D <sub>11-8</sub>	D <sub>7-4</sub>	D <sub>3-0</sub>
			Odd*	D <sub>7-4</sub>	D <sub>3-0</sub>	D <sub>15-12</sub>	D <sub>11-8</sub>
		8 Bit Mode (SIZE=0, SGL=1)		D <sub>15-12</sub> D <sub>7-4</sub>	D <sub>11-8</sub> D <sub>3-0</sub>	-	-
LSB First (LITL=1)	BCC Generator Bit Position			X <sub>3-0</sub>	X <sub>7-4</sub>	X <sub>11-8</sub>	X <sub>15-12</sub>
	Data Bit Position	16 Bit Mode (SIZE=1)		D <sub>15-12</sub>	D <sub>11-8</sub>	D <sub>7-4</sub>	D <sub>3-0</sub>
		8 Bit Mode (SIZE=0,SG L=0)	Even*	D <sub>15-12</sub>	D <sub>11-8</sub>	D <sub>7-4</sub>	D <sub>3-0</sub>
			Odd*	D <sub>7-4</sub>	D <sub>3-0</sub>	D <sub>15-12</sub>	D <sub>11-8</sub>
		8 Bit Mode (SIZE=0, SGL=1)		-	-	D <sub>15-12</sub> D <sub>7-4</sub>	D <sub>11-8</sub> D <sub>3-0</sub>

$D_{15-12} D_{11-8}$ : 上位バイト・データ・ビット

(ビッグ・エンディアンでは偶数アドレス、リトル・エンディアンでは奇数アドレス)

$D_{7-4} D_{3-0}$  : 下位バイト・データ・ビット

(ビッグ・エンディアンでは奇数アドレス、リトル・エンディアンでは偶数アドレス)

Even\*: データ列は論理的な偶数アドレスから始まる。

Odd\*: データ列は論理的な奇数アドレスから始まる。

## NF— ノイズ・フィルタ・イネーブル

0 = ノイズ・フィルタがディセーブルされる。

1 = ノイズ・フィルタがイネーブルされる。

NF は、すべての入力ラインのノイズ・フィルタリング機能をイネーブルまたはディセーブルします。NF がセットされると、RSPI は、RSCK、RMOSI、および RSS (スレーブ・モード時) ポートまたは RMISO (マスタ・モード時) ポート上で、マルチポイント・データ・サンプリングに基づくノイズ・フィルタ機能をアクティブにします。ノイズ・フィルタ機能は、それぞれの (マスタまたはスレーブ) RSPI の内部のポー・レート・ジェネレータによって生成されたベース・クロックを利用します。したがって、ノイズ・フィルタ機能がイネーブルされているときには、マスタ RSPI だけでなくスレーブ RSPI の BAUD 値も適切に設定しなければなりません。マルチポイント・サンプリングに使用される内部ベース・クロックの周波数は、BAUD によって定義された SCK の 8 倍です。したがって、NF = 1 のとき、データ通信用ポー・レートは通常のポー・レートの半分になります。マルチポイント・ノイズ・フィルタの性格上、スレーブ側のポー・レートはマスタが実際に生成するポー・レートに等しいかそれ以上でなければなりません。

## SKEW—SCK スキュー

SKEW は、マスタ RSPI でのみ有効であり、スレーブ RSPI には影響はありません。マスタ RSPI が SKEW をゼロ以外の値に設定してイネーブルされた場合、この RSPI はポー・レートが同じで位相が異なる 2 種類の SCK クロックを生成します。すなわち、外部 SCK と内部 SCK です。シリアル通信に使用される外部 SCK は、マスタのデータ受信タイミングに使用される内部 SCK より前に RSCK ポートに現われます。SKEW は、これら 2 つの SCK 間のスキュー周期を 1/8 SCK 単位で定義します。SKEW を使用すれば、マスタ RSPI はノイズ・フィルタリングやデータの電氣的伝搬のために、スレーブからのデータ応答時間が相対的に遅れる高速通信において、RMISO ポートのデータ・フェッチ・セッ

トアップ時間に十分な余裕を確保することができます。

#### DTL— データ転送後の遅延時間

DTL は、各バイト / ワードのシリアル転送後の RSPI の遅延時間を決定します。ラップアラウンド・ポイントの待ち時間は、DTL が定義するデータ遅延時間と同じです。BCC 機能またはアクノリッジ機能がイネーブルされているときには、最後のデータ、BCC コード、およびアクノリッジ・コードの間にも、同じ遅延時間が挿入されます。遅延は次式を用いて計算します。

$$\text{バイト / ワード転送後の遅延時間} = 2 * \text{DTL} * t_{\text{SCK}}$$

この式で、DTL は (1、2、3、...、255)、 $t_{\text{SCK}}$  は  $1/(\text{SCK ボー・レート})$  です。

DTL が 0 の場合、遅延時間は  $(2 * 256 * t_{\text{SCK}})$  となり、25 MHz のシステム・クロックでは最大ボー・レートの 82 $\mu$ s に等しくなります。

#### RSCR3—RSPI コントロール・レジスタ 3

\$YFF618

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MRQ	MGACK	PRIXT	PRIXR	CPADR				TXE	RXE	WREN	WPRTA	WPRTB			

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

RSBSY がセットされている間は、CPU が MRQ と WREN 以外の RSCR3 ビットを変更することはできません。MRQ、MGACK、PRIXT、PRIXR、および CPADR は、アドレス・スレーブ・セレクト・モード (SSM = 1) でのみ機能します。アドレス・スレーブ・セレクト・モードでは、CR3 ビットをセットしたコマンド転送を用いて、マスタ RSPI が RSCR3 の内容を参照することができます。コマンド転送の OPWR ビットがセットされている場合、マスタ RSPI はコマンド転送を用いて、選択されたスレーブ RSPI の RSCR3 にある TXE、RXE、および WREN ビットしか変更できません。ただし、スレーブの RSCR3 の他のビットは、どのコマンド転送でもマスタ RSPI が変更することはできません。

#### MRQ— マスタ権の要求

- 0 = マスタ権の要求は行なわない。
- 1 = マスタ権の要求を行なう。

MRQ はマスタ権を要求するためにスレーブ RSPI でのみ使用できます。MRQ は RSBSY の状態に関係なく、CPU がセットまたはクリアできます。MRQ がセットされている場合、スレーブ RSPI はマスタ RSPI へのマスタ権の要求を行ないません。MRQ がクリアされている場合、スレーブの動作には影響はありません。RSBSY がクリアされているときは、RSPI ハードウェアが常にスレーブの MRQ をクリアします。

#### MGACK— マスタ権許可アクノリッジ

- 0 = マスタ権が許可されていない。
- 1 = マスタ権が許可されている。

MGACK は、マスタ権の調停に使用するステータス・ビットです。MGACK は読み出し専用ビットです (テスト・モードでは書き込み可能です)。スレーブ RSPI ハードウェアは、RSBSY をネグートすると MGACK をクリアします。MGACK は自動マスタ権の調停に使用されます。MGACK は、スレーブ・デバイスにネットワーク内で唯一、次のマスタの候補デバイスとして選択されたことを知らせます。コマンド転送の結果、スレーブ RSPI の MGACK がセットされている場合は、スレーブ RSPI ハードウェアが MPMT をアサートし、RSE、MRQ、および MGACK をクリアして、CPU 割り込みを生成します。CPU 割り込みルーチンでは、ユーザが MST をアサートするとスレーブ RSPI が新しいマスタ権を獲得できます。

#### PRIXT— 送信用インデックス・レジスタの保護

- 0 = マスタによる送信用スレーブ・インデックス・レジスタへの書き込みアクセスが許可される。
- 1 = マスタによる送信用スレーブ・インデックス・レジスタへの書き込みアクセスが保護される。

#### PRIXR— 受信用インデックス・レジスタの保護

- 0 = マスタによる受信用スレーブ・インデックス・レジスタへの書き込みアクセスが許可される。
- 1 = マスタによる受信用スレーブ・インデックス・レジスタへの書き込みアクセスが保護される。

PRIXT および PRIXR はスレーブ RSPI で有効です。スレーブの PRIXT により、マスタ RSPI がコマ

ンド転送を用いてスレーブの STAT/ENDT または STAR/ENDR の内容を変更するのを許可または禁止します。マスタは、CR3 オペランドを使用したコマンド転送を用いて、スレーブの PRIXT および PRIXR 値を参照できますが変更することはできません。スレーブの PRIXT および PRIXR は、RSBSY = 0 のときに CPU が変更できます。IXT または IXR オペランド転送の前にスレーブの PRIXT または PRIXR がセットされた場合、新しい IXT または IXR オペランドは、指定されたスレーブの STAT/ENDT または STAR/ENDR にストアされません。これがアクノリッジを伴うコマンド転送で発生した場合、マスタ RSPi は現在の転送を中断して、RSSR の NSLVF をセットします。

#### CPADR— チップ・アドレス

CPADR は、スレーブ RSPi がアドレス・スレーブ・セレクト・モードで自分のチップ・アドレス番号を指定する場合のみ使用します。CPADR には、シリアル通信ネットワーク内の固有のチップ・アドレスがなければなりません。ゼロは無効な値です。スレーブ RSPi は、CPADR、SLVADR、および ADDRm を使用して、スレーブ RSPi として選択されているかどうかを判断します。選択されている場合、スレーブ RSPi は SSEL フラグをセットして、マスタ・デバイスとの通信を可能にします。

#### TXE— 送信機能イネーブル

- 0 = データ送信をディセーブルする。
- 1 = データ送信をイネーブルする。

#### RXE— 受信機能イネーブル

- 0 = データ受信をディセーブルする。
- 1 = データ受信をイネーブルする。

TXE と RXE は、データの送信機能と受信機能をそれぞれイネーブルまたはディセーブルします。ユーザは、TXE と RXE を利用してデータ通信の二重性を制御できます。TXE も RXE も、コマンド転送の二重性には影響を与えません。TXE と RXE は、内部送信と受信回路の動作を制御しますが、出力 / 入力ポートの動作は制御しません。アクノリッジ機能付き通信では、TXE と RXE でそれぞれアクノリッジ受信または送信機能をイネーブル / ディセーブルします。スレーブ RSPi の TXE および RXE は、コマンド転送を用いてマスタ・デバイスが変更できます。

#### WREN— ラップアラウンド・イネーブル

- 0 = ラップアラウンド・モードをディセーブルする。
- 1 = ラップアラウンド・モードをイネーブルする。

WREN はラップアラウンド動作をイネーブルまたはディセーブルします。RSPi の送信回路または受信回路が ENDT/ENDR アドレスでデータ転送を終了すると、RSPi は STAR/CURR の値をそれぞれ STAT/CURT にストアします。この時点で、WREN = 1 の場合、RSPi はデータ列の最初から次のデータ転送を再開します。RSPi は、このようなラッピング・シーケンスを無限に継続します。一方 WREN = 0 の場合、送信回路と受信回路の両方がデータ転送を終了すると、RSPi は通信を完了して RSE をクリアします (マスタ RSPi のみ)。WREN = 1 でマスタ RSPi がデータ転送を開始すると、WREN がネゲートされるか RSE がネゲートされるまで、ループによるデータ列転送を継続して実行します。データ転送中に CPU がマスタの WREN をネゲートすると (RSBSY = 1)、RSPi は送信と受信の両方で現在実行中の全データ列が転送されるまでデータ転送を実行し、データ転送が終了すると転送機能を停止します。

#### WPRTA— 書込み保護領域

- 0 = RSPi に、WPRTB が指す境界アドレスより下位の RSPi RAM 空間への書込みアクセスが許可される。
- 1 = RSPi に、WPRTB が指す境界アドレスより下位の RSPi RAM 空間への書込みアクセスは許可されない。

WPRTA は、RSPi 書込みアクセス保護領域のタイプを設定します。WPRTA がセットされている場合、RSPi は WPRTB が指す境界より下位のアドレスへの受信データの書込みアクセスを保護します。WPRTA がクリアされている場合、RSPi は境界を越えるあるいは境界を含むアドレスへの受信データの書込みアクセスを保護します。境界は WPRTB で指定されます。RSPi が保護領域に書込みアクセスを試みると、通常のデータ書込みシーケンスが実行され、受信データは RSPi RAM にストアされません。RSPi には、書込みアクセスが廃棄されたことを示す表示フラグはありません。

#### WPRTB— 書込み保護境界

WPRTB は、RSPi 書込みアクセス保護領域の境界アドレスを設定します。境界は、RSPi RAM 上の

任意アドレスの 256 バイト境界に置くことができます。RSPI RAM へのデータ・ストア・アクセスの実行前に、WPRTB が現在の受信ポイントの上位 4 ビットと比較されます。以下の表に、RSPI 書込み保護領域と WPRTA/WPRTB の状態の関係を示します。システム・リセット後の WPRTA/WPRTB の初期状態はオール・ゼロであるため、RSPI RAM 空間全体が RSPI 書込みアクセス保護領域に入っていることに注意してください。

表 121 RSPI 書込み保護領域

WPRTB (Hex)	Boundary Address	WPRTA=0		WPRTA=1	
		RSPI write protected	RSPI write unprotected	RSPI write protected	RSPI write unprotected
0	0	0-FFF	-	-	0-FFF
1	100	100-FFF	0-FF	0-FF	100-FFF
2	200	200-FFF	0-1FF	0-1FF	200-FFF
3	300	300-FFF	0-2FF	0-2FF	300-FFF
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
D	D00	D00-FFF	0-CFF	0-CFF	D00-FFF
E	E00	E00-FFF	0-DFF	0-DFF	E00-FFF
F	F00	F00-FFF	0-EFF	0-EFF	F00-FFF

## 8.2.2.3 RSPI コマンド・レジスタ

RSCMD—RSPI コマンド・レジスタ

\$YFF61A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED	MRL	ADDRM	SLVADR				MRADR	MGR	OPWR	OPRD	CR3	IXT	IXR	DT	

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

RSCMD には、コマンド転送のためのオペコードがあります。ただし、一般的な動作では、マスタ RSPI でもスレーブ RSPI でもユーザが RSCMD の内容を設定する必要はありません。これは、コマンド転送が開始されるたびに、マスタ RSPI ハードウェアが RSPI RAM の先頭アドレスにあるオペコードを RSCMD にロードしてそのコードをスレーブに送信し、スレーブ RSPI はマスタが送信した RSCMD コードを受信して、それを自分の RSCMD にストアするためです。RSBSY = 1 のとき、RSCMD への書込みは無効です。RSCMD の制御ビットの状態は、アドレス・スレーブ・セレクト・モード (SSM = 1) の動作には影響しますが、ピン・スレーブ・セレクト・モードには影響を与えません。MRL、MRADR、または MGR のうち 1 つ以上がオペコードにセットされている場合、RSPI はマスタ権の調停を行ないませんが、CR3、IXT、IXR、および DT のオペランドは実行しません。

MRL—マスタ権の放棄

0 = マスタはマスタ権を保持する。

1 = 現在のマスタはマスタ権を放棄する。

現在実行中の転送が完了した後、MRL はマスタ RSPI に自分の MST ビットと MPMT ビットをクリアするよう指示し、これによってマスタ RSPI はマスタ権を放棄することができます。また MRL は、直前のオペランド転送によって MGACK がセットされているスレーブ RSPI にも、MPMT をセットするよう指示するため、これによってスレーブ RSPI は新しいマスタ・デバイスとして設定できるようになります。

ADDRM—アドレッシング・モード

ADDRM は、アドレス・スレーブ選択のためのアドレッシング・モードを設定します。ADDRM と SLVADR を使用して適切に選択されたスレーブ RSPI は、転送を実行中のマスタに応答することがで

きます。選択されていないスレーブ RSPi は、送信動作も受信動作も実行しませんが、オペコードは受信します。ADDRM は、スレーブ RMISO ラインのドライブ方法も定義します。ADDRM が %00 (単独選択モード) の場合、選択されたスレーブ RSPi はトータム・ポール・バッファで RMISO ラインをドライブします。その他のモード (All、GT、または LE 選択モード) では、オープン・ドレイン・バッファが自動的にイネーブルされ、選択されたスレーブ RSPi は同時に自分の RMISO ラインをドライブします。またマスタ RSPi は、ADDRM の設定に従って、MISO ラインから受信したデータに対するエラー・チェックをイネーブルまたはディセーブルします。スレーブ RSPi では、CPU が RSE をクリアするかマスタがコマンド転送を開始するたびに、ADDRM と SLVADR が自動的にクリアされます。これによって、ユーザが再びスレーブ RSPi をイネーブルしたときに、RMISO ライン上で予期せぬデータ衝突が発生するのを防止します。

表 122 ADDRm のオプション

ADDRm	説 明
00	Only a slave who has a chip address number equal to the address designated by the SLVADR field is selected. (Sole select mode)
01	Slave who have a chip address number less or equal to the address designated by the SLVADR field are selected. (LE select mode)
10	Slave who have a chip address number greater than the address designated by the SLVADR field are selected. (GT select mode)
11	All slaves are selected. (All select mode)

## SLVADR— デスティネーション・スレーブ・アドレス

SLVADR はスレーブ RSPi で ADDRm とともに使用され、選択されたスレーブ・チップ・アドレスを指定します。SLVADR は、マスタ・デバイスからコマンド転送を用いて動的に設定するか、CPU から直接スレーブに書き込んで設定します。RSPi システムでは、オール・ゼロのチップ・アドレスは無効です。新しいコマンド転送が実行されるまで、選択されたスレーブ RSPi はマスタに応答することができます。ADDRm と SLVADR を利用して、マスタ権調停への参加デバイスを制限することもできます。

## MRADR— マスタ権を要求しているスレーブのチップ・アドレスの収集

- 0 = マスタはアドレスを問い合わせない。オペランドは不要。
- 1 = マスタは、次のマスタ権を要求しているスレーブ・チップ・アドレス番号を問い合わせる。16 ビットのアドレス情報がオペランドに含まれる。

コマンド転送に MRADR がセットされている場合、マスタが選択した各スレーブ RSPi (CPU によって MRQ がセットされている) は、MRADR オペランド転送期間に RMISO ライン上にデコードした自分のチップ・アドレス (CPADR) を置いて応答することができます。最終的に、最も小さいチップ・アドレスが、マスタ RSPi の受信する MRADR オペランド値になります。このオペランド転送中には、マスタ RSPi の送信回路とスレーブ RSPi の受信回路は動作しません。したがって、シングル・データ・フレーム・モードの MRADR オペランド転送中には、マスタ RSPi はリトライ機能がイネーブルされていてリトライを実行しません。

## MGR— マスタ権の許可

- 0 = マスタはアドレスを指定しない。オペランドは不要。
- 1 = マスタは次のマスタのチップ・アドレスを指定する。オペランドに 16 ビットのアドレス情報が含まれている。

MGR オペランドはマスタ権を許可するためのデコードされたチップ番号を含んでいるので、コマンド転送で MGR がセットされている場合、通信待機中のすべてのスレーブ RSPi は MGR オペランドを受信します。受信後、マスタ権許可アドレスは各スレーブ RSPi でエンコードされ、それぞれの CPADR 値と比較されます。一致する場合にはスレーブ RSPi は自分の MGACK をアサートし、一致しない場合にはネゲートします。したがって、1 つのスレーブにしか次のマスタ権が許可されません。MGR オペランド転送では、BCC、アクノリッジ、およびリトライ機能を使用できます。

## OPWR— オペランド・ライト・イネーブル

- 0 = オペランドの書込み機能をディセーブルする。
- 1 = オペランドの書込み機能をイネーブルする。

**OPRD— オペランド・リード・イネーブル**

- 0 = オペランド読出し機能をディセーブルする。
- 1 = オペランド読出し機能をイネーブルする。

OPWR と OPRD は、それぞれ CR3、IXT、IXR のオペランドの書込み / 受信機能をイネーブル / ディセーブルします。コマンド転送で OPWR がセットされている場合、マスタからスレーブへのオペランド転送は、RMOSI ラインを通して実行されます。OPRD がセットされている場合、スレーブからマスタへのオペランド転送は RMISO ラインを通して実行されます。オペコード内で OPWR と OPRD の両方がクリアされている場合、オペコードの後に CR3、IXT、および IXR オペランドの転送は続きません。データ転送の TXE/RXE 動作と同様に、OPWR で回路が半二重通信にセットされているとき、BCC 生成 / チェックおよびアクノリッジ応答に関連する機能は実行しません。

**CR3— コントロール・レジスタ 3 へのアクセス**

- 0 = マスタはスレーブの RSCR3 にアクセスしていない。オペランドは不要。
- 1 = マスタはデスティネーション・スレーブの RSCR3 にアクセスしている。オペランドには 16 ビットの RSCR3 データが含まれる。

コマンド転送で CR3 がセットされている場合、スレーブ側の RSCR3 への読出し / 書込みオペランド・アクセスが実行されます。読出しおよび書込み操作は、それぞれ OPRD と OPWR によってイネーブル / ディセーブルされます。CR3 がクリアされている場合、後続のオペランドには CR3 フィールドは含まれていません。マスタがスレーブの RSCR3 への書込み操作を実行しても、スレーブの WREN、TXE、および RXE にしか影響を与えないことに注意してください。

**IXT— 送信用インデックス・レジスタへのアクセス**

- 0 = マスタはスレーブの RSIX0/1 にアクセスしていない。オペランドは不要。
- 1 = マスタはスレーブの RSIX0/1 にアクセスしている。RSIX0 と RSIX1 の 2 ワード・データが、それぞれオペランドに含まれる。

**IXR— 受信用インデックス・レジスタへのアクセス**

- 0 = マスタはスレーブの RSIX3/4 にアクセスしていない。オペランドは不要。
- 1 = マスタは目的のスレーブ内の RSIX3/4 にアクセスしている。RSIX3 と RSIX4 の 2 ワード・データが、それぞれオペランドに含まれる。

IXT または IXR は、マスタがそれぞれ RSIX0/1 または RSIX3/4 にアクセスしていることを示します。これらのビットがセットされている場合、マスタ RSPI はオペランドの 2 ワード・データをそれぞれ IXT または IXR オペランドに転送します。IXT または IXR がクリアされている場合、RSIX0/1 または RSIX3/4 オペランドは後続のオペランド転送ではスキップされます。

**DT— オペランドに続くデータ**

- 0 = 後にデータが続かない。
- 1 = オペランドの後に 1 バイト / ワードまたはそれ以上のデータが続く。

オペコードに DT がセットされている場合、マスタ RSPI はオペコードまたはオペランドに続いてデータ列を転送します。このデータ列転送は、コマンド転送なしの通常のデータ転送と同じです。DT がクリアされている場合、オペコード / オペランド転送の後にデータ列は続きません。一般に、ユーザは DT をディセーブルして、コマンドと関連データを 2 つの独立した転送として別々に送信することができます。しかし、オペコード / オペランド転送と後続のデータ転送間のコヒーレンスを確保するには、コマンド転送で DT を使用することを推奨します。CR3、IXT、および IXR オペランドをもつ適切なコマンド転送を前もって発行すれば、マスタ RSPI は DT による転送の全二重 / 半二重とデータ・ロケーションを設定できます。

## 8.2.2.4 RSPI データ・インデックス・レジスタ

RSPI データ・インデックス・ポインタ・レジスタには、送信および受信用の STArt、END、および CURrent アドレス・ポインタのパラメータがあります。インデックス・レジスタのサイズはそれぞれ 12 ビットのため、RSPI は最大 4K バイトまでアクセス可能です。

アクティブ状態 (RSBSY = 1) では、ユーザは現在のアドレス・ポインタ (CURx) の内容は変更できませんが、開始アドレス・ポインタと終了アドレス・ポインタ (STAx、ENDx) の内容は変更することができます。

非アクティブ状態 (RSBSY = 0) のときには、ユーザがすべてのデータ・インデックス・ポインタの内容を変更できます。SIZE がセットされている場合、RSPI はすべてのデータ・インデックス・ポイン

タの最下位ビットを自動的にクリアします。

RSPI データ・インデックス・ポインタ・レジスタに対する CPU による読出し操作は、バイト (8 ビット) とワード (16 ビット) アクセスの両方が有効です。インデックス・ポインタ・レジスタへの書込み操作は、ワード (16 ビット) アクセスのみ有効です。インデックス・ポインタ・レジスタへのバイト書込みアクセスは無効です。

RSIX0—RSPI インデックス・レジスタ 0( 送信側スタート・ポインタ ) \$YFF61C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED				STAT											

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

STAT の値が CPU 書込みアクセス (RSBSY = 0 のとき)、またはコマンド転送を実行しているマスター RSPI (RSBSY = 1) によって変更された場合、新しい値が同時に CURT にもコピーされます。しかし、RSBSY = 1 のときに STAT へ CPU 書込みアクセスを行なうと、STAT は変更されますが CURT は変更されません。

RSIX1—RSPI インデックス・レジスタ 1( 送信側エンド・ポインタ ) \$YFF61E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED				ENDT											

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ENDT には、STAT の値に関係なくどの値でも設定できます。ユーザは通信動作時 (RSBSY = 1) に ENDT を変更できますが、CURT が現在の ENDT が指しているアドレスに達する前に変更操作を実行しなければなりません。

RSIX2—RSPI インデックス・レジスタ 2( 送信側カレント・ポインタ ) \$YFF620

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED				CURT											

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

CURT は、転送するデータの RAM 上の位置を指すのに使用するアドレス・ポインタです。RSBSY = 0 の場合、CPU による STAT の更新は同時に CURT にもコピーされます。しかし、CPU が CURT を更新しても STAT は変更されません。RSBSY = 1 のとき、CPU が CURT に書き込んでも無効です。RSE がアサートされているときには、CURT でアドレス指定されているデータ文字列の先頭のバイト / ワードがロードされます。8 ビット・データ・サイズ・モード (SIZE = 0) では、各バイト・データの送信後に、CURT が 1 インクリメントされます。16 ビット・データ・サイズ・モード (SIZE = 1) では、各ワード・データの送信後に、CURT が 2 インクリメントされます。

RSIX3—RSPI インデックス・レジスタ 3( 受信側スタート・ポインタ ) \$YFF622

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED				STAR											

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

STAR 値が、CPU 書込みアクセス (RSBSY = 0 のとき) またはコマンド転送実行中のマスター RSPI (RSBSY = 1) によって変更された場合、新しい値が同時に CURR にもコピーされます。しかし、RSBSY = 1 のときの STAR への CPU 書込みアクセスでは、STAR は変更されますが CURR は変更されません。

RSIX4—RSPI インデックス・レジスタ 4( 受信側エンド・ポインタ ) \$YFF624

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED				ENDR											

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0



ENDR には、STAR 値に関係なくどんな値でも設定できます。ユーザは通信動作中 (RSBSY = 1) に ENDR を変更できますが、CURR が現在の ENDR が指しているアドレスに達する前に変更しなければなりません。

RSIX5—RSPi インデックス・レジスタ 5( 受信側カレント・ポインタ ) \$YFF626

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED				CURR											
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CURR は、転送データの RAM 上の位置を指すアドレス・ポインタです。RSBSY = 0 の場合、CPU が STAR を更新すると同時に CURR にもコピーされます。しかし、CPU が CURR を更新しても STAR は変化しません。RSBSY = 1 のとき、CPU による CURR への書込みは無効です。8 ビット・データ・サイズ・モード (SIZE = 0) では、各バイト・データの送信後に、CURR は 1 インクリメントされます。16 ビットのデータ・サイズ・モード (SIZE = 1) では、各ワード・データの送信後に、CURR は 2 インクリメントされます。

## 8.2.2.5 RSPi ステータス・レジスタ

RSSR—RSPi ステータス・レジスタ \$YFF628

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSFIN	SSEL	NOT USED		MODF	MPMT	HALT	NOT USED	RSBSY	RTYF	OPRF	NSLVF	NACKF	BCCF	FREF	SCKACT
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RSSR には、RSPi のステータス情報が入っています。レジスタ内のこれらのビットをアサートできるのは、RSPi の内部回路だけです。CPU は RSSR のビットをアサートすることはできませんが、アサートされたビットにゼロを書き込んでネゲートすることができます。SSEL、MPMT、および RSBSY は読み出し専用ビットですが、他のビットはすべて読み出し / 書込みが可能です。RSSR 内の 1 つまたは複数のビットがセットされているときに、これらのビットをクリアするには、まず RSSR に 1 回以上の読み出しアクセスを行ってからゼロを書き込む以外方法はありません。RSFIN、MODF、または HALT をアサートすると、CPU 割込みが発生することがあります。SSEL、MPMT、および RSBSY を除いて、RSSR の大部分のビットは RSE をアサートすれば自動的にクリアされます。

RSFIN—RSPi 転送終了フラグ

- 0 = RSPi がデータ転送を完了していない。
- 1 = RSPi がデータ転送を完了した。

RSFIN は、一般に RSPi が一連のデータ列の転送を終了したとき、非アクティブ状態に入って RSBSY をネゲートしたとき、エラーによって動作を中断したとき、のいずれかでセットされます。ラップアラウンドまたはリトライ中には、RSFIN はラップ・ポイントごとにはセットされません。

SSEL—スレーブ・セレクト・フラグ

- 0 = RSPi は応答するスレーブとして選択されていない。
- 1 = RSPi は応答するスレーブとして選択されている。

SSEL はスレーブ RSPi で使用します。マスタ RSPi は常に SSEL をクリアします。SSEL は、アクセス可能な読み出し専用ビットです。アクティブなスレーブ RSPi の SSEL は、自動的にセットまたはクリアされます。このタイミングは、RSS レベルに同期しています。ピン・スレーブ・セレクト・モード (SSM = 0) のレベル・センシティブティ SS モードでは、RSS がアサート ("L" レベル) されると SSEL がセットされ、RSS がネゲート ("H" レベル) されるとクリアされます。エッジ・センシティブティ SS モードでは、SSEL は RSS の立下りエッジでセットされ、次の立上りエッジでクリアされます。アドレス・スレーブ・セレクト・モード (SSM = 1) では、マスタが ADDRm ビットと SLVADR ビットを適切に設定したコマンド転送を発行することによって、1 つまたは複数のスレーブ RSPi を選

択することができます。選択されたスレーブ RSPi は、 $\overline{RSS} = 0$  の転送時に自分の SSEL をアサートし、 $\overline{RSS} = 1$  のときにクリアします。選択されていないスレーブの SSEL ビットもクリアされます。

#### MODF—モード・フォールト・フラグ

0 = モード・フォールトは発生しない。

1 = モード・フォールトが発生した。

MODF はマスタ RSPi でのみ有効です。モード・フォールトが発生したときは、ハードウェアによって MODF がアサートされます。マスタの MFDE がセットされているかぎり、モード・フォールトとなる条件は 2 つ考えられます。最初の条件はエッジ・センシティブ SS モードで発生し、いずれかの外部デバイスがマスタの RMISO を “L” にプルダウンし、同時にマスタが  $\overline{RSS}$  を “H” レベル、RSCK を “L” レベルにドライブします。スレーブ RSPi には、この条件になると RMISO ポートをプルダウンする機能があります。もう 1 つの条件は  $\overline{RSS}$  が汎用入力ポートとして割り当てられているレベル・センシティブ SS モードまたは PCS 動作で発生し、マスタの  $\overline{RSS}$  が随時外部デバイスによって “L” にプルダウンされます。モード・フォールトは、マスタ RSPi がシリアル通信実行中であっても (RSBSY = 1) 実行中でなくても (RSBSY = 0) 関係なく発生します。モード・フォールトが検出されると、マスタ RSPi は自動的に以下の処理を実行します。

1. MST ビットを強制的にゼロにして、スレーブ・モードにします。
2. RSE ビットと RSBSY ビットがセットされている場合は、それらを強制的にゼロにし、RSPi 機能をディセーブルします。
3. MODF をセットし、HMIE = 1 の場合は CPU 割込みを生成します。

ユーザは、マスタ・モードまたはスレーブ・モードで RSE をアサートすることによって、RSPi をイネーブルすることができます。いずれの場合も、RSE が CPU によってアサートされると、MODF フラグは自動的にクリアされます。MPMT ビットがセットされているかぎり、ユーザは RSPi を再度マスタ・デバイスとして割り当て、アドレス・スレーブ・セレクト・モード専用のマスタ権調停を開始することができます。

#### MPMT—マスタ権の許可

0 = RSPi はマスタ権許可をもたない。

1 = RSPi はマスタ権許可をもつ。

MPMT は読み出し専用ビットです。MPMT への書込みは無効です。MPMT は、RSPi がネットワーク内でマスタ・デバイスになれるかどうかを示します。RSE がセットされてマスタ RSPi がイネーブルされると、RSPi ハードウェアが MPMT をアサートします。MPMT がセットされると、RSE または MST がクリアされた後でも、RSPi は MPMT をアサートし続け、ユーザが RSPi にマスタ権を再割り当てできることを示します。MPMT は、システム・リセットによってクリアされます。ただし、マスタ権が現在のマスタから新しいマスタへ正しく委譲されたときに、MPMT が自動的にセットまたはクリアできるために、正しいマスタ権調停手順に従って処理しなければなりません。

#### HALTA—ホルト・アクノリッジ

0 = RSPi はホルトしていない。

1 = RSPi はホルトした。

RSPi ハードウェアは、定められた方法で一時停止状態になると、HALTA をアサートします。予測不能な動作を防止するために、RSPi が一時停止している間、ユーザは HALT または HALTA ビットを除いて、RSPi レジスタおよび RSPi RAM の内容を変更してはなりません。この時点で HMIE がセットされていると、RSPi は CPU 割込み要求を生成します。HALTA をクリアすれば、ユーザは CPU 割込み要求信号をネゲートすることができます。また HALT をネゲートすると HALTA がクリアされ、CPU 割込み要求信号がネゲートされます。

#### RSBSY—RSPi ビジー・フラグ

0 = RSPi は動作中でない。

1 = RSPi は動作中。

RSBSY は、読み出し専用ビットです。RSBSY への書込みは無効です。RSBSY は、RSPi が転送動作中かどうかを示します。RSBSY は、RSPi が RSE をアサートしてイネーブルされると、RSPi ハードウェアが自動的にセットします。RSPi は、データ転送完了まで RSBSY をアサートし続けます。RSE に直接ゼロを書き込んで転送を終了することもできます。この場合、RSBSY はすぐにネゲートされない場合があります。RSBSY = 1 のとき、CPU はローカル・レジスタのほとんどの制御ビットの内容を変更できません。一方 RSBSY = 0 のとき、CPU はすべての書込みアクセス可能な制御ビットの内容

を変更することができます。

#### RTYF—リトライ・フォールト・フラグ

- 0 = リトライ・エラーは発生していない。
- 1 = リトライ・エラーが発生した。

RTYF は、アクノリッジ機能がイネーブルされているときだけ有効です。RTYF は、リトライ・フォールトの発生を示します。リトライ・シーケンスが RTRY で定義されるリトライ・サイクル回数以下で完了しないと、リトライ・フォールトが検出されます。マスタ RSPi がリトライ・フォールトを検出した場合、マスタは現在のデータ転送を中断して、RSE をクリアします。一方、スレーブ RSPi がリトライ・フォールトを検出した場合は、RSFIN がセットされますが RSE はアサートされたままです。

#### OPRF—オペランド・フォールト・フラグ

- 0 = コマンド・オペランドにエラーは含まれていない。
- 1 = コマンド・オペランドにエラーが含まれている可能性がある。

OPRF は、アドレス・スレーブ・セレクト・モードで有効です。コマンド転送を通して、マスタ RSPi は CR3、IXT、または IXR のオペランドを送信することができます。マスタと選択されたスレーブ RSPi が、OPWR = 1 でこれらのオペランドの転送を開始すると、まず OPRF が“H”にセットされます。すべてのオペランドが正常に転送された場合、関係する RSPi が OPRF をネゲートします。正常に転送されなかった場合、オペランドにエラーがあるかぎり、OPRF フラグは“H”になったままで、オペランド・エラーを示します。OPRF がセットされている間は、マスタ RSPi が「データ転送」を開始すると、スレーブ RSPi はデータ通信の内部動作をすべてディセーブルし、MISO ラインを“H”レベルにして応答します。この応答があると、マスタは転送を中断します。

#### NSLVF—スレーブ・アクノリッジなしフォールト・フラグ

- 0 = SLVAL アクノリッジでアクノリッジを受信した。
- 1 = SLVAL アクノリッジでアクノリッジなしを受信した。

NSLVF は、アクノリッジ動作を伴うアドレス・スレーブ・セレクト・モードのマスタ RSPi でのみ有効です。他の設定では、NSLVF はセットされません。マスタ RSPi がアクノリッジ・コードの最後の部分で「NACK」を検出した場合、マスタは NSLVF をセットし、検出しなかった場合は NSLVF をクリアします。マスタ RSPi が NSLVF をセットした場合、マスタは現在実行中の転送を直ちに中断し、RSE をクリアします。NSLVF がアサートされるのは、通信待機状態のスレーブが存在しない、マスタが実行しているオペランド書込みシーケンスがスレーブによって拒否された、あるいは指定されたスレーブに無効な設定がある、のエラーの 1 つが発生した場合です。

#### NACKF—アクノリッジなしフォールト・フラグ

- 0 = RCVAL アクノリッジでアクノリッジを受信した。
- 1 = RCVAL アクノリッジでアクノリッジなしを受信した。

NACKF は、アクノリッジ機能を使用する場合に有効です。アクノリッジがディセーブルされている場合、NSLVF はセットされません。基本的に、NACKF の状態は受信したアクノリッジ・コードの先頭部分の結果を反映しています。その部分で RSPi が「NACK」を受信した場合は NACKF がセットされ、受信しなかった場合には NACKF がクリアされます。NACKF のアサートは、通信中の他のデバイスの少なくとも 1 つが BCC エラーを検出したことを示しています。送信動作がディセーブルされるか一時的に中断されている場合、NACKF の評価はディセーブルされ、NACKF がクリアされます。マスタ RSPi でリトライ機能がイネーブルされている場合、NACKF によってリトライ・サイクルが発生する可能性があります。

#### BCCF—BCC フォールト・フラグ

- 0 = BCC フォールトが発生していない。
- 1 = BCC フォールトが発生した。

BCCF は、データ受信中にブロック検査コード (BCC) エラーが検出されたことを示します。RSPi が BCC エラーを検出した場合、アクノリッジがイネーブルされていれば、RSPi は他の通信デバイスに対するアクノリッジ・コードの先頭部分で「NACK」を応答します。このように、マスタ RSPi でリトライ機能がイネーブルされている場合には、BCCF のアサートによってリトライ・サイクルが発生することがあります。RSPi は、BCC エラーを検出しなかった場合には、BCCF をクリアして「ACK」を返します。RSPi でデータ受信動作がディセーブルされている場合、RSPi は BCCF をクリアして BCC 検査機能をディセーブルし、アクノリッジ・コードに「ACK」を応答します。

**FREF— フレーミング・エラー・フォールト・フラグ**

0 = フレーミング・エラーは発生していない。

1 = フレーミング・エラーが発生した。

FREF は、スレーブ RSPI 内のフレーミング・サイズ・エラー・チェックの結果を反映します。したがって、FREF はスレーブ RSPI でのみ有効です。スレーブ RSPI がフレーミング・エラーを検出しないかぎり、スレーブ RSPI は FREF をクリアします。フレーム・エラーが検出されると、スレーブ RSPI は RSE をクリアして直ちに現在の動作を中断します。これは、RSS ネゲートの後にフレーム・エラーが検出されても、スレーブ側のフレーム・エラーがアクノリッジ手順によってマスタ RSPI には通知されないためです。

**SCKACT—SCK アクティブ・フラグ**

0 = RSCK ラインがアクティブでない (現在のマスタ・デバイスが転送を実行していない)。

1 = RSCK ラインがアクティブである (現在のマスタ・デバイスが転送を実行した)。

SCKACT は、スレーブが現在のマスタがアクティブかどうかを検出するためのものです。したがって SCKACT は、選択されていてもいなくても (SSEL = 1 または 0) 関係なく、アクティブなスレーブ RSPI でのみ有効です。この検出動作は、RSCK レベルの反転をモニタするだけで実行されます。SCKACT の使用法は、次のとおりです。

1. SCKACT にゼロを書き込むか、RSE をアサートします。
2. 適切なタイミングを待ちます。
3. SCKACT ビットをチェックします。

SCKACT は、スレーブ・デバイスのいかなる動作にも影響を与えません。

**RSSR の要約**

以下の表は、RSSR にあるステータス・フラグの主な機能を要約したものです。この表では、R/W は CPU が読出し / 書込みアクセス可能なビット、R は読出し専用ビットを示します。

表 123 ステータス・フラグの要約

Flag	CPU access*	CPU interrupt	Valid condition	automatic clear condition
RSFIN	R/W	generate	any mode	RSE assertion
SSEL	R		MST=0	not selected
MODF	R/W	generate	MST=1	RSE assertion
MPMT	R		any mode	Mastership relinquished**
HALTA	R/W	generate	any mode	RSE assertion HALT negation
RSBSY	R		any mode	no busy
RTYF	R/W		ACKE=1	RSE assertion
OPRF	R/W		SSM=1	RSE assertion
NSLVF	R/W		MST=1 SSM=1 ACKE=1	RSE assertion
NACKF	R/W		ACKE=1	RSE assertion
BCCF	R/W		BCCM!=0	RSE assertion
FREF	R/W		MST=0	RSE assertion
SCKACT	R/W		MST=0 RSBSY=1	RSE assertion

\* CPU から RSSR への書込みアクセスは、ビットのクリアのみ許されます。

\*\* スレーブの MPMT はテスト・モードでは RSE のアサートによってクリアされます。

## 8.2.2.6 RSP1 BCC レジスタ

RSP1 は、2 個の BCC レジスタで構成されています。通常動作では、BCC レジスタは CPU の読出しアクセスだけを許可します。

RSBC0—RSP1 BCC レジスタ 0 \$YFF62A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCCT															

RESET:

U U U U U U U U U U U U U U U U

RSBC1—RSP1 BCC レジスタ 1 \$YFF62C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCCR															

RESET:

U U U U U U U U U U U U U U U U

BCCT および BCCR は、それぞれ送信用および受信用の 16 ビット BCC コード生成レジスタです。これらのレジスタは、BCC 検査機能をイネーブルした送信または受信がイネーブルされているときに有効です。BCCT または BCCR が無効の場合、RSP1 ハードウェアはそれぞれ NACKF または BCCF をクリアします。有効な場合は、データ・フレーム開始時点で、RSP1 が BCCT と BCCR を初期設定します。初期設定は、BCCM が定義する BCC モードに応じて、BCCP の内容によって影響を受けます。各データ・フレーム転送終了時点で、RSBC0 および RSBC1 には計算された BCC シンドロームが残っています。一般的な動作では、ユーザがこれらのレジスタに直接アクセスする必要はありません。

## 8.2.2.7 RSP1 データ・シフト・レジスタとローカル・テスト・レジスタ

RSSFT—RSP1 データ・シフト・レジスタ \$YFF62E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSHT															

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

RSSFT は、RSP1 がデータ・シリアルライザとして提供する 16 ビット・データ・シフト・レジスタで、データ送信とデータ受信の両方に使用されます。RSSFT は CPU が読み出すことができますが、通常の動作モードで CPU が書き込むことはできません。一般的な動作では、ユーザがこのレジスタに直接アクセスする必要はありません。

RSLTST—RSP1 ローカル・テスト・レジスタ \$YFF630

RSLTST には、工場テスト用の制御ビットが含まれています。

## 8.2.2.8 RSP1 チップ・セレクト・ピン・コントロール・レジスタ

チップ・セレクト・ピン・コントロール・レジスタは、PCS ポートの使用方法を決定します。これらのポートは、マスタ RSP1 のシリアル通信サブシステムがチップ・セレクト・ポートとして使用でき、各ピンは汎用入出力 (I/O) として使用することもできます。システム・リセット後に、RSCSPAR および RSCSDDR のすべてのビットをクリアすれば、PCS ポートはすべて汎用入力ポートとして割り当てられます。

## RSCSPAR—RSP1 PCS ピン割当てレジスタ

\$YFF638

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RPCS3	RPCS2	RPCS1	RPCS0	RSCSDDR				RSCSPDR							

RESET:

0    0    0    0    0    0    0    0    U    U    U    U    U    U    U    U

0 = 汎用入出力ポート

1 = チップ・セレクト・ポート

RSCSPAR は、マスタ RSP1 の PCS ポートの機能を、チップ・セレクト・ポートまたは汎用入出力ポートのいずれに設定するかを決定します。マスタ RSP1 でチップ・セレクト動作がイネーブルされているときに、RSCSPAR 内のビットがセットされた場合、対応する PCS ポートがチップ・セレクト機能ポートとして割り当てられます。そうでない場合は、RSCSPAR ビットがクリアされると、対応するポートは汎用入出力として割り当てられます。チップ・セレクト機能そのものがディセーブルされている場合には、RSCSPAR の設定に関係なく、マスタの PCS ポートはすべて汎用入出力として機能します。RSP1 が予測できない動作を行なわないように、RSCSPAR のすべてのビットは RSBSY = 1 のときには、CPU の書込みアクセスから保護されています。スレーブ RSP1 での PCS ポートは、RSCSPAR の設定に影響されず、常に汎用入出力ポートとして割り当てられます。

## RSCSDDR—RSP1 PCS データ方向レジスタ

\$YFF638

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSCSPAR				PSP3	PSP2	PSP1	PSP0	RSCSPDR							

RESET:

0    0    0    0    0    0    0    0    U    U    U    U    U    U    U    U

0 = 入力

1 = 出力

RSCSDDR は、汎用ポートとして定義された PCS ポート上でのデータ・フローの方向を決定します。チップ・セレクトとして割り当てられたポートには影響を与えません。

## RSCSPDR—RSP1 PCS ポート・データ・レジスタ

\$YFF639

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSCSPAR				RSCSDDR				EPSP3	EPSP2	EPSP1	EPSP0	PSP3	PSP2	PSP1	PSP0

RESET:

0    0    0    0    0    0    0    0    U    U    U    U    U    U    U    U

## PSP3-0—外部 RCS ポート・ステータス

これら 4 ビットでは入力動作だけが可能です。これらのビットを読み出すと、RPCS ピンが汎用入力、出力、またはチップ・セレクト機能ポートのいずれに設定されているかに関係なく、外部 RPCS ピンの現在の状態が返ります。これらのビットへの書込みアクセスは無効です。

## PSP3-0—CS ポート出力データ・ビット

RPCS ポートが汎用出力ポートとして設定されている場合、これら 4 ビットの対応ビットにストアされた値がポートに現われます。これら 4 ビットを読み出すと、常に CPU が直前にストアした値が返ります。

表 124 &gt;RSP1 PCS ピン制御

RSCSPAR/RSCSDDR/RSCSPDR ビット	ポート SP 信号	RSP1 チップ・セレクト・ピン
RPCS3/PSP3/EPSP3	PSP3	RPCS3
RPCS2/PSP2/EPSP2	PSP2	RPCS2
RPCS1/PSP1/EPSP1	PSP1	RPCS1
RPCS0/PSP0/EPSP0	PSP0	RPCS0

## 8.2.2.9 RSPI 機能の要約

以下の表は、SSM ビットで定義されるスレーブ・セレクトと SGL ビットで定義されるデータ・フレーム・モードのさまざまな組合せに対する RSPI 機能を要約したものです。

表 125 機能の要約

Function \ Mode	Pin SlaveSelect Multi Data Frame SSM=0, SGL=0	Pin S.S. Single D. F. SSM=0, SGL=1	Addr. S.S. Multi D. F. SSM=1, SGL=0	Addr. S.S. Single D. F. SSM=1, SGL=1
Word Size	8/16 bit			
Big/Little Endian	Big/Little			
Full/Half Duplex	3-4/2-3 wire	4/3 wire		
Data START&END point	Transmit/Receive			
Wrap around	T/R Sync.	T/R Unsync.	T/R Sync.	T/R Unsync.
Programmable Delay Time	Yes			
Control Mode	Master/Slave			
Mastership	Static		Dynamic	
SS input sensitivity	Edge/Level	Edge		
Chip Select w/ PCS	No	Yes	No	
Pattern Generating/Capturing	Yes(Max. 2.5Mbps)	No		
Fractional Bit Data	Store/Discard	Discard	Store/Discard	Discard
Wired OR output	Yes			
Handshake with ACK	Yes (String)	Yes (Word)	Yes (String)	Yes (Word)
Frame Size Check	Bits in String	Bits in Word	Bits in String	Bits in Word
BCC (16 bit)	LPC, CRC			
Re-try	Yes			
Receive Data MultiSampling (Max. 2.5Mbps)	Yes			
SCK Skew	Yes			
Command Transfer	No		Yes	
Chip Addressing	No		Yes	
Data Indexing	No		Yes	
Auto Multi-Master Arbitration	No		Yes	
Master Mode Fault	Yes(on RMISO/RSS)		Yes (on MISO)	

ACK : アクノリッジ

LPC : 水平パリティ検査コード

CRC : 巡回冗長性検査コード (CRC-CCITT/ITU-T)

Word : 8 ビット・サイズまたは 16 ビット・サイズ

## 第 9 章

# マルチチャネル通信インタフェース

マルチチャネル通信インタフェース (MCCI) は、汎用シリアル・コミュニケーション・モジュールで、2 つのシリアル通信インタフェース (SCI) と 1 つのシリアル・ペリフェラル・インタフェース (SPI) を内蔵しています。本章では MCCI の通常の使用方法を説明します。詳細に関しては、「MCCI リファレンス・マニュアル (MCCIRM/AD)」を参照してください。図 38 は MCCI のブロック図です。

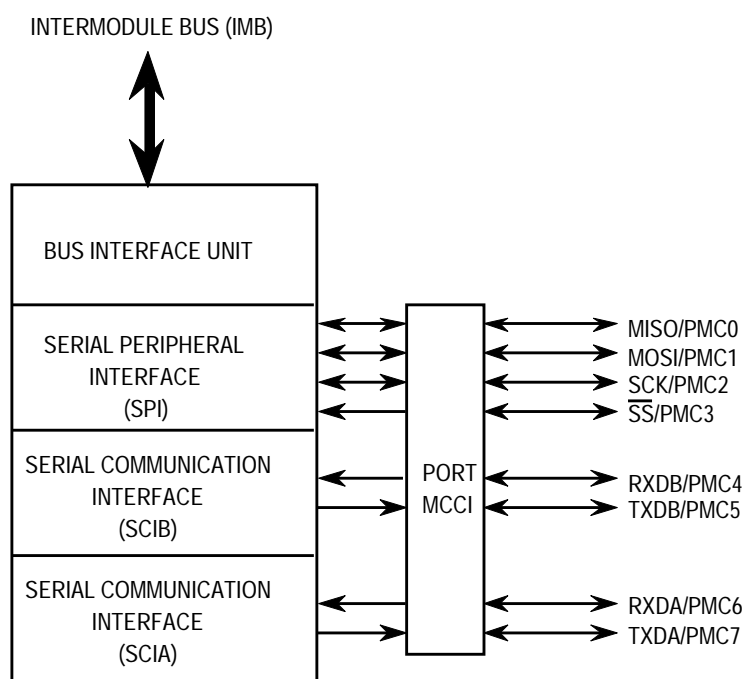


図 38 MCCI のブロック図

### 9.1 概 要

MCCI の 2 つの SCI インタフェースは、標準非ゼロ復帰 (NRZ) マーク / スペース・フォーマットを使用してシリアル通信を行ないます。SCI は全二重または半二重モードで動作できます。SCI には個別のトランスミッタおよびレシーバ・イネーブル・ビット、そして SCI 用デュアル・データ・バッファがあります。モジュラス・タイプのボー・レート・ジェネレータが、64 ~ 524k ボー (システム・クロックが 16.78MHz のとき)、91.5 ~ 750k ボー (システム・クロックが 24.00MHz のとき) のレートを提供します。8 ビットまたは 9 ビットのワード長をソフトウェアで選択可能です。オプションのパリティ生成および検出は、偶数または奇数パリティ・チェック機能を備えています。先進のエラー検出回路で、ビット・タイムの 1/16 までの幅のグリッチを捕えます。また、ウェイクアップ機能は、有意データを受信するまで、CPU を走らせることができます。

SPI は全二重同期式 3 ライン・バスにより、容易な周辺機能拡張やプロセッサ間通信を行なうことが可能です。SPI は他のモトローラ・デバイスの SPI インタフェースとの互換性をもちますが、シフト方



向がプログラム可能になるといった追加機能を備えています。

MCCI ピンは、8 ビットの汎用 I/O ポート MC として使用するように構成することもできます。

表 126 MCCI アドレス・マップ

Address	15	8	7	0
\$YFFC00	MCCI MODULE CONFIGURATION REGISTER (MMCR)			
\$YFFC02	MCCI TEST REGISTER (MTEST)			
\$YFFC04	SCI INTERRUPT REGISTER (ILSCI)		SCI INTERRUPT VECTOR REGISTER (MIVR)	
\$YFFC06	SPI INTERRUPT REGISTER (ILSPI)		NOT USED	
\$YFFC08	NOT USED		PORTMC PIN ASSIGNMENT REGISTER (PMCPAR)	
\$YFFC0A	NOT USED		PORTMC DATA DIRECTION REGISTER (DDRMC)	
\$YFFC0C	NOT USED		PORT DATA REGISTER (PORTMC)	
\$YFFC0E	NOT USED		MCCI PORT PIN STATE REGISTER(PORTMCP)	
\$YFFC10 ~ \$YFFC16	NOT USED			
\$YFFC18	SC1A CONTROL REGISTER 0 (SCCROA)			
\$YFFC1A	SC1A CONTROL REGISTER 1 (SCCR1A)			
\$YFFC1C	SC1A STATUS REGISTER (SCSRA)			
\$YFFC1E	SC1A DATA REGISTER (SCDRA)			
\$YFFC20 ~ \$YFFC26	NOT USED			
\$YFFC28	SC1B CONTROL REGISTER 0 (SCCROB)			
\$YFFC2A	SC1B CONTROL REGISTER 1 (SCCR1B)			
\$YFFC2C	SC1B STATUS REGISTER (SCSRB)			
\$YFFC2E	SC1B DATA REGISTER (SCDRB)			
\$YFFC30 ~ \$YFFC37	NOT USED			
\$YFFC38	SPI CONTROL REGISTER (SPCR)			
\$YFFC3A	NOT USED			
\$YFFC3C	SPI STATUS REGISTER (SPSR)			
\$YFFC3E	SPI DATA REGISTER (SPDR)			

注：Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態です。  
この MCU では、Y は \$F でなければなりません。M がクリアされている場合、リセットが発生するまで IMB モジュールにはアクセスできません。M はリセットの後、1 回だけ書き込むことができます。

## 9.2 MCCI レジスタ

MCCI レジスタは、MCCI グローバル・レジスタ、MCCI ピン・コントロール・レジスタ、SCI レジスタ、SPI レジスタの 4 種類に分類されます。SPI および SCI レジスタについては、以下のセクションで説明します。未実装レジスタ・ビットへの書込みは、意味がないか無効であり、未実装ビットを読み出すと常に論理ゼロを返します。

シングルチップ・インテグレーション・モジュール・コンフィギュレーション・レジスタ (SCIMCR) のモード・マップ・ビットは、アドレスの最上位ビット (ADDR23) を定義します。このビットは各レジスタ図の中で“Y”で示してあります。このビットは与えられたアドレスの残りの部分と連結されて、各レジスタの絶対アドレスを形成します。CPU16 は ADDR[23:20] を ADDR19 と同じ論理状態にドライブするため、Y は \$F でなければなりません。MM の状態がシステムに及ぼす影響についての詳細は、70 ページの「第 3 章 ストリームライン・ロー・パワー・インテグレーション・モジュール」を参照してください。

## 9.2.1 MCCI グローバル・レジスタ

グローバル・レジスタには、SCI サブモジュールが使用するパラメータがあります。これらのパラメータは、MCCI が CPU および他のシステム・モジュールにインタフェースするのに使用します。

MMCR—MCCI コンフィギュレーション・レジスタ

\$YFFC00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP	NOT USED							SUPV	NOT USED			IARB			
RESET:															
0								1				0	0	0	0

STOP—ストップ・イネーブル

0 = 通常の MCCI クロック動作。

1 = MCCI クロック動作を停止する。

STOP はモジュールの大部分でシステム・クロックをディセーブルして、MCCI を低消費電力状態にします。MMCR は STOP がアサートされているときに読出しが保証されている唯一のレジスタです。STOP は CPU およびリセットによってネゲートできます。

SUPV—スーパーバイザ / 無制約

0 = 無制約アクセス

1 = スーパーバイザ・アクセス

制御アクセス・レベルをもつシステムでは、SUPV は割当て可能な MCCI レジスタを、スーパーバイザ専用データ空間または無制約データ空間のいずれかに配置します。すべての MCCI レジスタは、スーパーバイザ専用空間に配置されます。CPU16 はスーパーバイザ・モードでしか動作しないため、SUPV には意味はありません。

IARB—割込み調停識別番号

このフィールドの値は、同時に発生した同じ優先順位の割込み要求間で調停を行なうために使用されます。割込みを発生する各モジュールには IARB フィールドがあります。調停方式を実現するには、各 IARB フィールドにはゼロ以外の固有の値を設定しなければなりません。\$0 の IARB フィールド値をもつモジュールからの割込み要求が認識された場合、CPU16 はスプリアス割込み例外を処理します。SCIM2 以外のすべての IARB フィールドのリセット値は \$0 (優先順位なし) で、リセット時の割込み処理を排除します。

MTEST—MCCI テスト・レジスタ

\$YFFC02

MTEST は MCCI の工場テスト中に、SCIM2 テスト機能と組み合わせて使用します。MTEST には、MCU が工場テスト・モードになっているときにアクセスしなければなりません。

ILSCI/MIVR—SCI 割込み要求レベル・レジスタ / MCCI 割込みベクタ・レジスタ

\$YFFC04

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	ILSCIB				ILSCIA			MIVR					1	1
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

ILSCI は各 SCI で要求される割込みの優先レベルを決定します。別々のフィールドに SCIA および SCIB の割込み優先順位値があります。優先順位を用いて、2 つ以上のモジュールまたは外部周辺デバイスが同時に割込みを要求したときに、どの割込みを最初に処理するかを決定します。

ILSCIA、ILSCIB—SCIA、SCIB の割込み要求レベル

ILSCIA と ILSCIB は、それぞれ SCIA および SCIB 割込み優先レベルを決定します。割込みが認識されるには、このフィールドに \$1 (最低優先順位) から \$7 (最高優先順位) までの値がなければなりません。

MIVR—MCCI 割込みベクタ・レジスタ

MIVR は、MCCI 割込みが認識されてから CPU がどのベクタを使用してそれを処理するかを決定します。リセットで、MIVR は例外ベクタ・テーブルで未初期化割込みベクタに相当する \$0F に初期

設定されます。割込みを処理するには、MCCI の初期化中に、MIVR にユーザ定義ベクタ（\$40-\$FF）の 1 つをプログラムしなければなりません。

MCCI の割込みベクタは、例外ベクタ・テーブルで互いに隣接しています。MIVR[7:2] は 3 つのインタフェースとも同じです。MCCI は割込み要因に応じて MIVR[1:0] に値を供給します（SCIA は %00、SCIB は %01）。MIVR[1:0] に書き込みを行っても意味はなく、何の影響もありません。MIVR[1:0] を読み出すと %11 の値が返されます。

ILSPI— SPI 割込みレベル・レジスタ														\$YFFC06	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	ILSPI			0	0	0	RESERVED							
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

ILSPI は、SPI が要求する割込みの優先レベルを決定します。割込みが認識されるには、このフィールドに \$1（最低優先順位）から \$7（最高優先順位）までの値がなければなりません。ILSPI、ILSCIA、および ILSCIB が同じ場合、同時に割込み要求が発生した場合、SPI、SCIA、SCIB の順に認識されます。

## 9.2.2 MCCI ピン・コントロール・レジスタ

MCCI ピン・コントロール・レジスタは、4 つの MCU ピンの用途を決定します。これらのピンはシリアル・サブシステムが使用しますが、どのピンも汎用パラレル・ポートとして使用するように割り当てることができます。

MCCI データ方向レジスタ（DDRMC）は、ピンが入力であるか出力であるかを決定します。ビットをクリアすると、対応するピンが入力になり、ビットをセットすると出力になります。DDRMC は SCI のトランスミッタがディセーブルされているときにのみ、SCI の TXD ピンの方向を決定します。SCI トランスミッタがイネーブルされると、TXD ピンが出力になります。

MCCI のポート・データ・レジスタ PORTMC は、I/O データをラッチします。MCCI ピン状態レジスタ PORTMCP により、データ方向の構成に関係なくピン状態を読み出すことができます。

PORTMC— MCCI ポート・データ・レジスタ														\$YFFC0D	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								PMC7	PMC6	PMC5	PMC4	PMC3	PMC2	PMC1	PMC0
RESET:															
								U	U	U	U	U	U	U	U

注：U は Unknown data です。

PORTMC への書き込みは、内部データ・ラッチに格納されます。PORTMC のいずれかのビットが汎用出力ポートとして構成されている場合、ラッチされた値が対応するピンにドライブされます。PORTMC を読み出すと、ピンが汎用入力ポートとして構成されている場合にのみ、ピンの値を返します。それ以外の場合（汎用出力ポート）は、ラッチされた値が読み出されます。

不定データがドライブされないようにするために、初めに PORTMC に書き込み、次に DDRMC を設定します。

PORTMCP— MCCI ポート・ピン状態レジスタ														\$YFFC0F	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								PMC7	PMC6	PMC5	PMC4	PMC3	PMC2	PMC1	PMC0
RESET:															

ピン状態   ピン状態   ピン状態   ピン状態   ピン状態   ピン状態   ピン状態   ピン状態

PORTMCP を読み出すと、ピンが入力または出力のいずれに構成されているかに関係なく、常にピンの状態を返します。PORTMCP に書き込んでも影響はありません。

## PMCPAR— MCCI ピン割当てレジスタ

\$YFFC09

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								0	0	0	0	PMCP A3	0	PMCP A1	PMCP A0

RESET:

0 0 0 0 0 0 0 0

PMCPAR は SCK ピン (SPI イネーブル・ビットにより決定されるステート) を例外として、SPI サブモジュールがどの SPI ピンを使用するか、また汎用 I/O に対してどのピンが有効なのかを決定します。PMCPAR のビットをクリアすると SPI ピンを汎用 I/O として使用し、セットすると SPI として割り当てます。

PMCPAR が汎用 I/O として指定する SPI ピンは DDRMC と PORTMC によってのみ制御されます。SPI はこれらのピンに対して有効ではありません。PMCPAR は SCI サブモジュールのオペレーションに対して影響しません。

## DDRMC— ポート MC データ方向レジスタ

\$YFFC0B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								DDM7	DDM6	DDM5	DDM4	DDM3	DDM2	DDM1	DDM0

RESET:

0 0 0 0 0 0 0 0

DDRMC は、汎用 I/O ピンを入力または出力のいずれかに決定します。すべての MCCI ピンは、リセット時に汎用入力として構成されます。ビットをクリアするとピンは入力となり、ビットをセットすると出力になります。

表 127 MCCI ピン・コントロール

PMCPAR ビット	オープン・ドレイン・コントロール・ビット <sup>1</sup>	DDRMC ビット	ポート MC 信号	MCCI ピン
-	WOMC(SCCR1A の bit13)	DDM7	PMC7	TXDA
-	-	DDM6	PMC6	RXDA
-	WOMC(SCCR1B の bit13)	DDM5	PMC5	TXDB
-	-	DDM4	PMC4	RXDB
PMCPA3	WOMP(SPCR の bit13)	DDM3	PMC3	$\overline{SS}$
-	WOMP(SPCR の bit13)	DDM2	PMC2	SCK
PMCPA1	WOMP(SPCR の bit13)	DDM1	PMC1	MOSI
PMCPA0	WOMP(SPCR の bit13)	DDM0	PMC0	MISO

注 1. オープン・ドレインのコントロール・ビット (WOMC,WOMP) は、通信モード / 汎用出力ポートの双方に有効です。

## 9.3 シリアル・ペリフェラル・インタフェース

SPI サブモジュールは同期式シリアル・バスを通して、外部デバイスと通信を行ないます。SPI は、他のモトローラ・デバイスが備えている SPI システムと完全に互換性があるだけでなく、機能が強化されています。SPI は、3 線式全二重または 2 線式半二重転送を実行できます。

### 9.3.1 SPI ピン

SPI は 4 本の双方向ピンを使用します。これらのピンは SPI アプリケーションに必要なときは、汎用 I/O として構成することができます。表 128 に SPI ピンの機能を示します。SPI 機能として使用する際には、ピンにプルアップ抵抗がなければなりません。

表 128 SPI ピンの機能

ピン名	ニーマニク	モード	機 能
Master In Slave Out	MISO	Master	シリアル・データを入力
		Slave	シリアル・データを出力
Master Out Slave In	MOSI	Master	シリアル・データを出力
		Slave	シリアル・データを入力
Serial Clock	SCK	Master	シリアル同期クロックを出力
		Slave	シリアル同期クロックを入力
Slave Select	$\overline{\text{SS}}$	Master	モード。フォルト入力
		Slave	シリアル・セレクト入力

### 9.3.2 SPI レジスタ

SPI のプログラマーズ・モデルは、MCCI グローバル・レジスタおよびピン・コントロール・レジスタ、SPI コントロール・レジスタ (SPCR)、SPI ステータス・レジスタ (SPSR)、および SPI データ・レジスタ (SPDR) で構成されています。CPU はすべての SPI レジスタの読出しおよび書込みを行なうことができます。SPCR を初期設定してからでないと、SPI は定義された動作を確実に実行できません。SPI は SPCR の SPE ビットをセットするとイネーブルされます。

SPCR— SPI コントロール・レジスタ

\$YFFC38

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPIE	SPE	WOMP	SCBR	CPOL	CPHA	LSBF	SIZE	SPBR							
RESET:															
0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0

SPCR には SPI を構成するためのパラメータがあります。CPU はすべての制御ビットの読出しおよび書込みが可能です。MCCI は SPI を除くすべてのビットに読出しアクセスしかできません。SPI がイネーブルされている間に、SPCR に新しい値を書き込むと動作が妨害されます。SPI がイネーブルされている間に、SPCR に同じ値を書き込んでも SPI の動作には影響ありません。

SPIE— SPI 割込みイネーブル

- 0 = SPI 割込みをディセーブルする。
- 1 = SPI 割込みをイネーブルする。

SPE— SPI イネーブル

- 0 = SPI をディセーブルする。SPI ピンを汎用 I/O に使用できる。
- 1 = SPI をイネーブルする。PMCPAR で割り付けられたピンは SPI で制御される。

WOMP— SPI ピンのワイヤード OR モード

- 0 = 出力は通常の MOS ドライバをもつ。
- 1 = DDRMC で出力に指定されたピンは、オープン・ドレイン・ドライバをもつ。

WOMP によって、SPI ピンを汎用出力または SPI 出力のいずれに使用する場合も、SPI ピンをワイヤード OR 動作に接続することができます。WOMP は SPI がイネーブルされていても、ディセーブルされていても SPI ピンに影響を与えます。

MSTR— マスタ / スレーブ・モード・セレクト

- 0 = SPI はスレーブ・デバイスで、外部で生成されるシリアル・データにのみ応答する。
- 1 = SPI はシステム・マスタで、外部 SPI デバイスへの送信を開始することができる。

MSTR は SPI をマスタ・モードまたはスレーブ・モード動作に構成します。このビットはリセットによってクリアされますが、CPU だけが書き込めます。

## CPOL— クロック極性

- 0 = SCK の非アクティブ状態は論理レベル 0。
- 1 = SCK の非アクティブ状態は論理レベル 1。

CPOL はシリアル・クロック (SCK) の非アクティブ状態を決定するのに使用します。CPOL を CPHA と組み合わせて使用し、マスタとスレーブ・デバイス間に希望のクロック・データ関係を確立します。

## CPHA— クロック位相

- 0 = データは SCK の前方エッジで捕えられ、SCK の次のエッジで変更される。
- 1 = データは SCK の前方エッジで変更され、SCK の次のエッジで捕えられる。

CPHA は SCK のどのエッジでデータを変更し、どのエッジでデータを捕えるかを決めます。CPHA は CPOL と組み合わせて使用し、マスタとスレーブ・デバイス間で希望のクロック・データ関係を確立します。CPHA はリセットによりセットされます。

## LSBF— 最下位ビット・ファースト

- 0 = シリアル・データ転送を MSB から開始する。
- 1 = シリアル・データ転送を LSB から開始する。

## SIZE— 転送データ・サイズ

- 0 = 8 ビット・データ転送
- 1 = 16 ビット・データ転送

## SPBR— シリアル・クロック・ボー・レート

SPI はモジュラス・カウンタを使用して、SCK ボー・レートを MCU システム・クロックから生成します。ボー・レートは、2 ~ 255 の値を SPBR フィールドに書き込むことによって選択されます。SPBR に 0 または 1 を書き込むと、ボー・レート・ジェネレータがディセーブルされます。

次式で SCK のボー・レートを決定します。

$$\text{SCK ボー・レート} = \frac{\text{システム・クロック周波数}}{2(\text{SPBR 値})}$$

または

$$\text{SPBR} = \frac{\text{システム・クロック周波数}}{2(\text{希望の SCK ボー・レート})}$$

## SPSR— SPI ステータス・レジスタ

\$YFFC3C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPIF	WCOL	0	MODF	0	0	0	0	0	0	0	0	0	0	0	0
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPSR には SPI ステータス情報があります。このレジスタのビットは、SPI しかセットできません。ステータス・フラグをクリアするにはフラグがセットされている状態の SPSR をリードし、SPDR をアクセスします。

## SPIF— SPI 終了フラグ

- 0 = SPI は終了していない。
- 1 = SPI は終了した。

## WCOL— 書込み衝突

- 0 = 書込み衝突が発生していない。
- 1 = 書込み衝突が発生した。

## MODF—モード・フォールト・フラグ

0 = 通常動作

1 = SPI がマスタ・モードでイネーブルされているときに ( $\overline{SS}$  入力が“L”) 別の SPI ノードがネットワーク SPI マスタになることを要求した。

## SPDR—SPI データ・レジスタ

\$YFFC3E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UPPB								LOWB							
RESET:															
U	U	U	U	U	U	U	U	U	U	U	U	U	U	U	U

SPDR に書込みを行なうと、マスタ・デバイスで送信または受信が開始されます。送信が完了すると、マスタとスレーブの両方のデバイスで SPIF ステータス・ビットがセットされます。受信されたデータがバッファされます。SPIF は、シフト・レジスタからバッファに次のデータが転送される前にクリアしなければなりません。さもないと、オーバーランが発生し、オーバーランの原因となったバイトまたはワードが失われます。送信データはバッファされません。SPDR に書込みを行なうと、データが直接シフト・レジスタに入れられて送信されます。

## UPPB—上位バイト

16 ビット転送モードでは、UPPB を使用してデータの最上位 8 ビットにアクセスします。SPDR のビット 15 は 16 ビット・データの MSB です。

## LOWB—下位バイト

8 ビット転送モードでは、データは LOWB のアドレスでアクセスされます。8 ビット転送モードの MSB は SPDR のビット 7 です。16 ビット転送モードでは、LOWB がデータの最下位 8 ビットを保持します。

### 9.3.3 SPI 動作

SPI はマスク・モードまたはスレーブ・モードで動作します。マスク・モードは、SPI がデータ転送の発信元のときに使用されます。スレーブ・モードは、外部デバイスが SPI へのシリアル転送を開始するときに使用されます。モードの切替えは、SPCR の MSTR によって制御されます。これらのモードに入る前には、適切な MCCI および SPI レジスタを正しく初期設定しなければなりません。

マスタ・モードでは、SPCR に書込みを行なって送信パラメータを設定し、SPE をセットして SPI をイネーブルし、ついで SPDR にデータを書き込んで動作を開始します。スレーブ・モードでは、外部バス・マスタによる  $\overline{SS}$  信号のアサーションに応答して動作が進行します。スレーブ動作は、マスタ・モード動作に類似しています。

通常、SPI バスは同期双方向転送を実行します。SPI バス・マスタのシリアル・クロックで、データ転送を行なうためのクロック信号 (SCK) が供給されます。SPCR の CPHA と CPOL ビットで、クロック位相と極性の 4 つの組合せを指定できます。データは、SPCR の LSBF ビットの値により LSB または MSB を先頭にして転送されます。1 つのコマンドで転送されるビット数のデフォルト値は 8 ビットですが、SPCR の SIZE ビットをセットすれば 16 ビットに設定できます。

SPI が送信を終了すると、SPIF フラグをセットし、停止します。SPCR の SPIE ビットがセットされている場合、SPIF がセットされると割り込み要求が生成されます。

SPI はマルチマスタ動作をサポートしていますが、特別な調停機構は内蔵されていません。モード・フォールト・フラグ (MODF) は、SPI マスタ調停の要求を示します。システム・ソフトウェアはこれに応答して調停を行なわなければなりません。

一般に、複数の SPI マスタがシステムに存在する場合を除いて、SPI バス出力はオープン・ドレインではありません。必要な場合は、SPCR の WOMP ビットをセットして、ワイヤード OR オープン・ドレイン出力を提供できます。各出力ラインに外部プルアップ抵抗を使用しなければなりません。SPI ピンが SPI に割り当てられている場合も汎用 I/O として使用されている場合も、WOMP はすべての SPI ピンに影響を与えます。

## 9.4 シリアル通信インタフェース

MCCI には、SCIA と SCIB の独立した同じ SCI システムがあります。各 SCI システムは、全二重の汎用非同期レシーバ・トランスミッタ (UART) です。各 SCI システムは、M68HC11 や M68HC05 ファミリな

どのモトローラ・デバイスが備えている SCI システムと完全に互換性があります。以下の説明は SCIA と SCIB の両方に適用されますが、レジスタ・アドレスとピン名の違いに注意してください。

## 9.4.1 SCI ピン

各 SCI には、TXDA と TXDB の 2 つの単方向送信データ・ピン、および RXDA と RXDB の 2 つの単方向受信データ・ピンが関連づけられています。各ピンは関連する SCI、または汎用 I/O に使用できます。

表 129 SCI ピンの機能

ピン名	ニーマニック	モード	機 能
受信データ A と B	RXDA, RXDB	受信ディセーブル	汎用入出力ポート
		受信イネーブル	SCI としてシリアル・データ入力
送信データ A と B	TXDA, TXDB	送信ディセーブル	汎用入出力ポート
		送信イネーブル	SCI としてシリアル・データ出力

## 9.4.2 SCI レジスタ

SCI のプログラミング・モデルは、MCCI グローバル・レジスタ、ピン・コントロール・レジスタ、および 8 個の SCI レジスタで構成されます。各 SCI には、2 個のコントロール・レジスタ、1 個のステータス・レジスタ、および 1 個のデータ・レジスタがあります。

CPU はいつでもすべてのレジスタの読出しまたは書込みを行なうことができます。同じ値を SCI レジスタに書き直しても動作に影響を与えませんが、SCI の動作中に SCI レジスタに異なる値を書き込むと、その動作に妨害を与えるおそれがあります。レジスタ値を変更するには、レシーバとトランスミッタをディセーブルして、トランスミッタが最初に終了するようにしなければなりません。レジスタ SCSR のステータス・フラグは、いつでもクリアできます。

SCCR0A, SCCR0B— SCI コントロール・レジスタ 0

\$YFFC18, \$YFFC28

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED			SCBR												
RESET:															
			0	0	0	0	0	0	0	0	0	0	1	0	0

各 SCCR0 にはボー・レート選択フィールドがあります。SCI がイネーブルされる前にボー・レートを設定しなければなりません。CPU はいつでもこのレジスタの読出しまたは書込みを行なうことができます。

SCBR— ボー・レート

SCI ボー・レートは、このフィールドに 13 ビット値を書き込んでプログラムされます。SCBR に 0 を書き込むとボー・レート・ジェネレータがディセーブルされます。

SCI レシーバは非同期で動作します。レシーバを着信データ・ストリームに同期させるには内部クロックが必要です。SCI ボー・レート・ジェネレータは、着信データの予測ボー・レート周波数の 16 倍の周波数でレシーバ・サンプリング・クロックを発生します。SCI は受信波形内の遷移からビット境界の位置を決定し、サンプリング・ポイントをビット周期内の適切な位置に調整します。レシーバ・サンプリング・レートは、常に SCI ボー・レート周波数の 16 倍であり、次式を用いて計算されます。

$$\text{SCI ボー・レート} = \frac{\text{システム・クロック周波数}}{32(\text{SCBR 値})}$$

ここで、SCBR は {1, 2, 3..., 8191} です。



## SCCR1A、SCCR1B— SCI コントロール・レジスタ 1

\$YFFC1A, \$YFFC2A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UN- USED	LOOPS	WOMC	ILT	PT	PE	M	WAKE	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

各 SCCR1 には、SCI 構成パラメータがあります。CPU は、いつでもこのレジスタの読出しまたは書込みを行なうことができます。SCI は特定の状況で、RWU ビットを変更できます。一般に、これらのコントロール・ビットでイネーブルされた割込みは、SCSR を読み出した後、SCDR を読み出す（レシーバ・ステータス・ビット）か、SCDR に書き込む（トランスミッタ・ステータス・ビット）とクリアされます。

## SCCR1A/B15— 未実装

## LOOPS— ループ・モード

0 = 通常の SCI 動作。ルーピングなし、フィードバック・パスをディセーブルする。

1 = SCI 動作のテスト。ルーピングあり、フィードバック・パスをイネーブルする。

LOOPS は、データ・シリアル・シフタのフィードバック・パスを制御します。ループ・モードがイネーブルされると、SCI トランスミッタの出力が受信シリアル・シフタにフィードバックされます。TXD はアサートされます（アイドル・ライン）。SCI がループ・モードに入る前に、トランスミッタとレシーバの両方をイネーブルしなければなりません。

## WOMC— SCI ピン・ワイヤード OR モード

0 = 出力として構成された場合、TXD は通常の CMOS 出力になる。

1 = 出力として構成された場合、TXD はオープン・ドレイン出力になる。

WOMC は、TXD ピンをオープン・ドレイン出力にするか、通常の CMOS 出力にするかを決定します。このビットは TXD が出力のときにのみ使用されます。TXD ピンを汎用入力ピンとして使用した場合、WOMC は無効です。WOMC は RXD ピン /PMC（汎用出力ピン）に無効です。

## ILT— アイドル・ライン検出タイプ

0 = ショート・アイドル・ライン検出（最初の 1 でカウントを開始）。

1 = ロング・アイドル・ライン検出（ストップ・ビット後の最初の 1 でカウントを開始）。

## PT— パリティ・タイプ

0 = 偶数パリティ

1 = 奇数パリティ

パリティがイネーブルされているときに、PT はレシーバとトランスミッタの両方に対して、パリティが奇数か偶数かを決定します。

## PE— パリティ・イネーブル

0 = SCI パリティをディセーブルする。

1 = SCI パリティをイネーブルする。

PE は、レシーバおよびトランスミッタの両方に対してパリティをイネーブルするかディセーブルするかを決定します。受信したパリティ・ビットが正しくない場合、SCI は SCSR の PF エラー・フラグをセットします。

PE がセットされているときは、データ・フィールドの最上位ビット（MSB）をパリティ機能に使用します。それにより、M ビットの状態に応じて、ユーザ・データが 7 ビットまたは 8 ビットのいずれかになります。以下の表に利用可能なオプションを示します。

表 130 モードおよびパリティ・オプション

M	PE	結果
0	0	8 Data Bits
0	1	7 Data Bits, 1 Parity Bit
1	0	9 Data Bits
1	1	8 Data Bits, 1 Parity Bit

## M— モード・セレクト

- 0 = SCI フレーム:1 スタート・ビット、8 データ・ビット、1 ストップ・ビット(合計 10 ビット)
- 1 = SCI フレーム:1 スタート・ビット、9 データ・ビット、1 ストップ・ビット(合計 11 ビット)

## WAKE— アドレス・マークによるウェイクアップ

- 0 = SCI レシーバをアイドル・ライン検出によってウェイクアップする。
- 1 = SCI レシーバをアドレス・マーク(最後のビットがセット)によってウェイクアップする。

## TIE— 送信割込みイネーブル

- 0 = SCI TDRE 割込みを禁止する。
- 1 = SCI TDRE 割込みをイネーブルする。

## TCIE— 送信完了割込みイネーブル

- 0 = SCI TC 割込みを禁止する。
- 1 = SCI TC 割込みをイネーブルする。

## RIE— レシーバ割込みイネーブル

- 0 = SCI RDRF 割込みを禁止する。
- 1 = SCI RDRF 割込みをイネーブルする。

## ILIE— アイドル・ライン割込みイネーブル

- 0 = SCI IDLE 割込みを禁止する。
- 1 = SCI IDLE 割込みをイネーブルする。

## TE— トランスミッタ・イネーブル

- 0 = SCI トランスミッタをディセーブルする(TXD ピンは汎用 I/O として使用可能)。
  - 1 = SCI トランスミッタをイネーブルする(TXD ピンは SCI トランスミッタ専用になる)。
- TE がクリアされると、進行中の文字転送が完了するまで、トランスミッタは TXD ピンの制御を保持します。

## RE— レシーバ・イネーブル

- 0 = SCI レシーバをディセーブルする(ステータス・ビットを禁止、RXD ピンは汎用 I/O に使用できる)。
- 1 = SCI レシーバをイネーブルする(RXD ピンは SCI 専用)。

## RWU— レシーバ・ウェイクアップ

- 0 = 通常のレシーバ動作を実行する(受信データを認識)。
- 1 = ウェイクアップ・モードをイネーブルする(ウェイクアップするまで受信データを無視する)。

RWU をセットするとウェイクアップ機能がイネーブルされ、SCI はアイドル・ラインまたはアドレス・マークのいずれか(WAKE で決まる)でウェイクアップされるまで、受信データを無視することができます。ウェイクアップ・モードでは、レシーバ・ステータス・フラグはセットされず、割込みが禁止されます。このビットはレシーバがウェイクアップすると自動的にクリアされます(通常のモードに戻る)。

## SBK— ブレーク送信

- 0 = 通常動作
- 1 = 現在のフレーム完了後にブレーク・フレームを送信する。

SBK は SCI からブレーク・コードを送信することができます。SBK がセットされたときに SCI が送信中の場合、SCI は現在のフレームの送信を完了した後、SBK がクリアされるまで、連続ゼロのフレームを送信します。SBK をトグルする(1 フレーム間隔内に 1 から 0 に)と、トランスミッタは 1 つまたは 2 つのブレーク・フレームだけを送信してから、アイドル・ラインに戻るかデータ送信を開始します。

## SCSRA、SCSRB— SCI ステータス・レジスタ

\$YFFC1C, \$YFFC2C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED							TDRE	TC	RDRF	RAF	IDLE	OR	NF	FE	PF
RESET:															
							1	1	0	0	0	0	0	0	0

各 SCSR には、SCI の動作状態を示すフラグがあります。これらのフラグは、ハードウェアまたは特別な確認応答シーケンスによってクリアされます。このシーケンスは、フラグをセットして SCSR を読み出し、ついで SCDR を読み出す (TDRE と TC の場合は書き込む) ものです。ロング・ワード・リードは、SCSR と SCDR の両方に連続してアクセスできます。ロング・ワード・リードを行なうと、読み出したときにセットされていた受信ステータス・フラグ・ビットはクリアされますが、TDRE または TC フラグはクリアされません。

CPU が、アサートされたステータス・ビットを読み出してからレジスタ SCDR の書き込みまたは読出しを行なうまでに、ステータス・ビットをセットするための内部 SCI 信号が送られてきた場合、新しくセットされたステータス・ビットはクリアされません。ステータス・ビットをクリアするには、このビットをセットして再び SCSR を読み出し、レジスタ SCDR への書き込みまたは読出しを行なわなければなりません。

SCSR のいずれかのバイトを読み出すと、16 ビットすべてがアクセスされます。バイトですでにセットされているステータス・ビットは、続いてレジスタ SCDR の読出しまたは書き込みを行なうとクリアされます。

## TDRE— 送信データ・レジスタ・エンプティ・フラグ

0 = レジスタ TDR には送信シリアル・シフタに送るデータが残っている。

1 = 新しいキャラクタをレジスタ TDR に書き込むことができる。

TDRE は、レジスタ TDR のバイトが送信シリアル・シフタに送信されるとセットされます。TDRE が 0 の場合は、まだ送信が行なわれていないため、TDR に書き込みを行なうと前の値に上書きされます。TDRE をクリアしないで TDR に書き込みを行なうと、新しいデータは送信されません。

## TC— 送信完了フラグ

0 = SCI トランスミッタはビジー。

1 = SCI トランスミッタはアイドル。

TC はトランスミッタがすべてのデータ、キュー内のプリアンブル (マーク アイドル・ライン) またはキュー内のブレーク (論理 0) のシフト・アウトを完了するとセットされます。TC がセットされたとき、SCSR を読み出してから SCDR の送信データ・レジスタ (TDR) に書き込みを行なうと割込みをクリアできます。

## RDRF— 受信データ・レジスタ・フル・フラグ

0 = レジスタ RDR が空か、前に読み出したデータが残っている。

1 = レジスタ RDR に新しいデータがある。

RDRF は、受信シリアル・シフタの内容がレジスタ RDR に送信されるとセットされます。受信ワードで 1 つ以上のエラーが検出されると、フラグ NF、FE、および PF、あるいはそのいずれかが同じクロック・サイクル内でセットされます。

## RAF— レシーバ・アクティブ・フラグ

0 = SCI レシーバはアイドル。

1 = SCI レシーバはビジー。

RAF は SCI レシーバがビジーかどうかを示します。このフラグはレシーバがスタート・ビットの可能性のあるビットを検出するとセットされ、選択されたタイプのアイドル・ラインが検出されるとクリアされます。RAF は複数のマスタをもつシステムで衝突を減らすのに使用できます。

## IDLE— アイドル・ライン検出フラグ

0 = SCI レシーバがアイドル・ライン状態を検出しなかった。

1 = SCI レシーバがアイドル・ライン状態を検出した。

IDLE は、SCCR1 の RWU がセットされるとディセーブルされます。IDLE は、SCI レシーバが SCCR1 の ILT で指定されるアイドル・ライン状態を検出するとセットされます。クリアされると、RDRF がセットされるまで IDLE は再セットされません。RDRF はブレークを受信するとセットされるため、次のアイドル・ラインを検出できます。

## OR— オーバラン・エラー・フラグ

0 = RDRF は新しいデータが到着する前にクリアされる。

1 = RDRF は新しいデータが到着するまでクリアされない。

OR は、受信シリアル・シフトから RDR に新しいバイトを送信する準備ができたが、RDRF がセットされたままのときにセットされます。OR がクリアされるまでデータ転送は禁止されます。RDR の前のデータは有効のままですが、オーバラン状態の間に受信したデータ (OR をセットしたバイトを含む) は失われます。

## NF— ノイズ・エラー・フラグ

0 = 受信データでノイズが検出されなかった。

1 = 受信データでノイズが発生した。

NF は、SCI レシーバが有効なスタート・ビット、データ・ビット、またはストップ・ビットでノイズを検出するとセットされます。アイドル・ラインのノイズや無効なスタート・ビットでノイズを検出してもセットされません。各ビットは 3 回サンプリングされます。3 つのサンプルが同じ論理レベルにない場合、多数値を受信データ値に使用して NF をセットします。NF は、完全なフレームを受信し、RDRF がセットされるまでセットされません。

## FE— フレーミング・エラー・フラグ

1 = 受信データでフレーミング・エラーまたはブレークが発生した。

0 = 受信データでフレーミング・エラーが発生しなかった。

FE は、SCI レシーバがストップ・ビットが発生すべきところで 0 を検出するとセットされます。FE は、フレーム全体を受信し、RDRF がセットされるまでセットされません。FE はブレークによってもセットされます。ストップ・ビットが発生すべきときに、RXD が論理レベル 1 の場合、フレーミング・エラーを見逃してしまう可能性があります。

## PF— パリティ・エラー・フラグ

1 = 受信データでパリティ・エラーが発生した。

0 = 受信データにパリティ・エラーがなかった。

PF は、SCI レシーバがパリティ・エラーを検出するとセットされます。PF はフレーム全体が受信され、RDRF がセットされるまでセットされません。

## SCDRA、SCDRB— SCI データ・レジスタ

\$YFFC1E, \$YFFC2E

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED							R8/T8	R7/T7	R6/T6	R5/T5	R4/T4	R3/T3	R2/T2	R1/T1	R0/T0

RESET:

U U U U U U U U U

各 SCDR は同じアドレスに 2 個のデータ・レジスタで構成されます。読み出しを行うと受信側のデータ・レジスタ (RDR) を読み出し、書き込みを行うと送信側のデータ・レジスタ (TDR) に書き込みを行います。RDR は、SCI シリアル・インタフェースで受信したデータが格納される読み出し専用レジスタです。データは受信シリアル・シフトに送られてから RDR に転送されます。TDR は送信するデータを保持する書き込み専用レジスタです。データは最初に TDR に書き込まれ、ついで送信シリアル・シフトに転送され、そこで追加フォーマット・ビットを付加してから送信されます。R[0:7]/T[0:7] には、SCDR を読み出したときに受信される最初の 8 データ・ビット、または SCDR に書き込んだときに送信される最初の 8 データ・ビットがあります。R8/T8 は SCI が 9 ビット動作に構成されているときに使用されます。

転送条件 (パリティの有 / 無、データ長、データ) で、RDR (受信データ・レジスタ = R[8:0]) の未受信ビットに影響があります。その内容を以下の表 131 「受信側の拡張データ」に示します。

表 131 受信側の拡張データ

転送条件		送信側	受信側		
データ・タイプ		データ・フォーマット	受信条件による 未受信ビット	拡張データ (未受信ビットに格納されるデータ)	受信データ部
M	PE				
0	0	8 ビット・データ	R8	If R7=1, R8←1	R[7:0]
				If R7=0, R8←0	
0	1	7 ビット・データ、 1 ビット・パリティ	R8, R7	R7←パリティ値	R[6:0]
1	0	9 ビット・データ	-	-	R[8:0]
1	1	8 ビット・データ、 1 ビット・パリティ	R8	R8←パリティ値	R[7:0]

### 9.4.3 SCI の送信側の動作

1. TXD ピンを出力側に設定します。
2. 転送スピードを設定します。
3. 転送条件を設定します。8 ビット・データ / 9 ビット (M)・データ、パリティを含める / 省く (PE)、パリティを含めるなら偶数 / 奇数 (PT)、そして割込みのコントロール (TIE, TCIE) を行います。
4. ステータス・レジスタ (SCSR) をリード、そして、データ・レジスタ (SCDR) に送信データを書き込みます。この書き込みで転送データ・レジスタ・エンプティ・フラグ (TDRE) と転送終了フラグ (TC) がクリアされます。
5. 転送イネーブル (TE) をセットすると 1 フレームのアイドルを転送してデータ転送が開始されます。
6. データ転送が開始されたということは、SCDR のデータが送信シリアル・シフタに移動されたことになり SCDR は空となります。そのため、転送データ・レジスタ・エンプティ・フラグ (TDRE) がセットされます。
7. 次のデータを SCDR に書き込みます。再び TDRE フラグがクリアされます。
8. SCDR に書き込まれたデータは、送信中のデータが送り終わるまで送信シリアル・シフタに移動しません。送信が終了すると、自動的に送信シリアル・シフタに移動します。そのため送信側はデータの連続送信が可能となります。

### 9.4.4 SCI の受信側の動作

1. RXD ピンを入力側に設定します。
2. 転送スピードを設定します。
3. ステータス・レジスタ (SCSR) の受信データ・レジスタ・フル・フラグ (RDRF) をリードし、データ・レジスタ (SCDR) の受信データが空であることを確認します。
4. 転送条件を設定します。8 ビット・データ / 9 ビット (M)・データ、パリティを含める / 省く (PE)、もしパリティを含めるなら偶数 / 奇数 (PT)、そして割り込みのコントロール (TIE, TCIE) を行います。
5. 受信イネーブル (RE) をセットするといつでも受信可能です。受信中は受信ビジー・フラグ (RAF) がセットされます。
6. 1 フレームのデータを受信終了すると RDRF フラグがセットされます。この時に受信シリアル・シフタは自動的に SCDR データを移動します。ステータス・ビット (オーバ・ラン、ノイズ・フラグ、フレーミング・エラー、パリティ・エラー) に問題がなければ、受信データを SCDR から読み込んで使用することができます。もし、問題があれば、その受信データを破棄しなければなりません。
7. データを読み込むと RDRF はクリアされます。

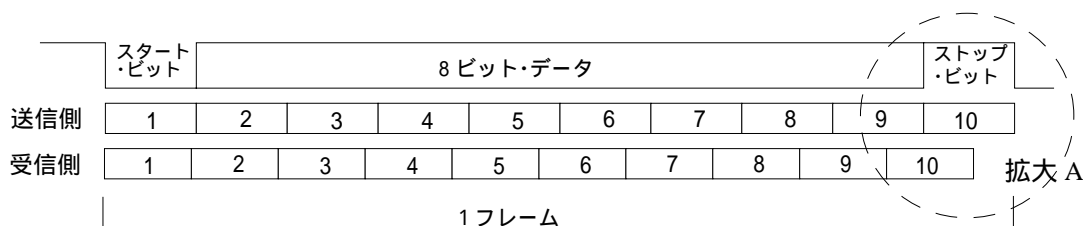
SCI は連続受信が可能です。データを連続受信するにはデータの受信を知らせる RDRF がセットされた時、すみやかにデータの読み出しを行ってください。もし、RDRF がセットされた状態で、SCDR から

データを読み出さないと、次のデータが受信シリアル・シフトにフルになってしまった時に、そのデータを SCDR に自動転送できません。そこに再度データが送り込まれて来ると受信シリアル・シフトは身動きがとれない状態になり、オーバ・ランのフラグをセットし停止します。

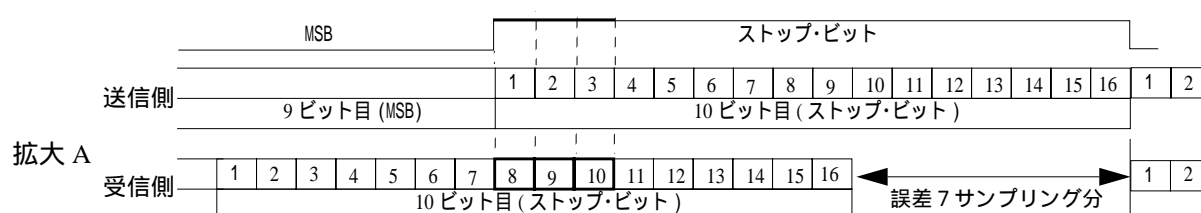
## 9.4.5 送信 / 受信の転送レイトの許容誤差

この SCI は送信側と受信側の間で転送レイトで  $\pm$  数 % の許容があります。具体的な例を用いて許容誤差を求めてみます。なお、受信側のデータのサンプリング方法は、送信側からの 1 ビット・データを 16 分割して 8、9、10 ビット目をサンプリングし、その多数決を行ない受信データの決定を行っています。

- 送信側より受信側が速い転送レイトの場合



送信側と受信側とは転送の送受信が同時にスタートした場合に上図のような差が発生することになります。この例はスタート・ビット、8 ビット・データとストップ・ビットで 1 フレームが 10 ビットの場合です。



受信側は 1 ビットを 16 分割して 8、9、10 の個所をサンプリングしています。そのために、このサンプリングの 3 ポイントがストップ・ビットの最初の部分のハイをサンプリングできるところが最も速い時の通信可能スピードとなります。8 ビット長のデータである許容誤差は以下の式で求められます。

$$(10 \times 16) / (10 \times 16 - 7) = 160 / 153 = 104.57\% \quad \text{-----} \quad 8 \text{ ビット・データ長}$$

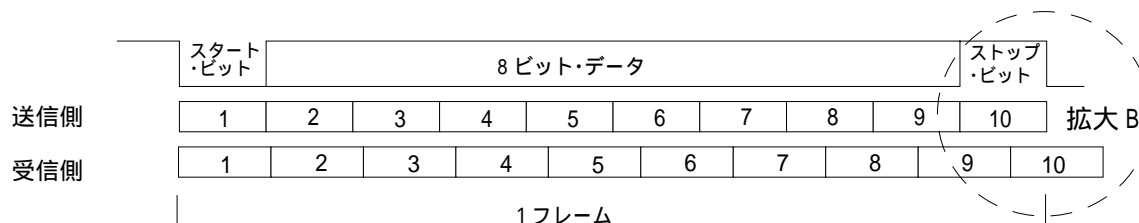
となり、受信側は +4.57% の誤差が許されることとなります。

9 ビット長のデータにおいてもこの考え方が適用できます。その時の式は以下の通りです。

$$(11 \times 16) / (11 \times 16 - 7) = 176 / 169 = 104.14\% \quad \text{-----} \quad 9 \text{ ビット・データ長}$$

となり、受信側は +4.14% の誤差が許されることとなります。

- 送信側より受信側が遅い転送レートの場合



送信側と受信側とは転送の送受信が同時にスタートした場合に上図のような差が発生することになります。この例はスタート・ビット、8 ビット・データとストップ・ビットで 1 フレームが 10 ビットの場合です。



受信側は 1 ビットを 16 分割して 8、9、10 の個所をサンプリングしています。そのために、このサンプリングの 3 ポイントがストップ・ビットの最後の部分のハイをサンプリングできるところが、最も遅い時の通信可能スピードとなります。8 ビット長のデータである許容誤差は以下の式で求められます。

$$(10 \times 16) / (10 \times 16 + 6) = 160 / 166 = 96.39\% \quad \text{-----} \quad 8 \text{ ビット・データ長}$$

となり、受信側は -3.61% の誤差が許されることになります。

9 ビット長のデータにおいてもこの考え方が適用できます。その時の式は以下の通りです。

$$(11 \times 16) / (11 \times 16 + 6) = 176 / 182 = 96.71\% \quad \text{-----} \quad 9 \text{ ビット・データ長}$$

となり、受信側は -3.29% の誤差が許されることになります。

注：\* 受信側は、ストップ・ビットの 3 つのサンプリングがハイであれば 1 フレームのデータ受信が完了したことになります。そのため、直後にスタート・ビットのローが検出されると、受信側は自動的にイニシャライズされてデータ受信が開始されるので、連続受信が可能となります。

## 第 10 章

# マスク ROM モジュール (MC68HC16Y5)

160K バイト (2 この 64K バイト + 32K バイト) のマスク ROM モジュール (MRM) は、モトローラのモジュラ・マイクロコントローラの全製品ラインでできるように設計されています。MRM は、ロケーションが固定されたコントロール・レジスタ・ブロックとメモリ・アレイで構成されています。構成情報はレジスタ・ブロックに含まれています。システム・アドレス・マップのアレイに対するデフォルト・リセット・ベース・アドレスはユーザが指定しますが、このアレイを他のアドレスに再マップすることも可能です。レジスタ・ブロックにはアレイのベース・アドレスのほかに、動作パラメータ、ブートストラップ・コード、および ROM 検証情報も格納されています。

最新のプログラミング機能により、MCU に搭載されているマスク・プログラム ROM モジュールでは、従来の ROM デザインと比較して、より後の工程で実際の ROM アレイのプログラミングを行なうことが可能になりました。これらのモジュールは、プログラム・コードまたはデータ、あるいはその両方に使用できます。以下のレジスタ・ブロックのアドレス・マップを参照してください。

表 132 MRM1 コントロール・レジスタのアドレス・マップ (64K バイト・モジュール)

Address	15	8	7	0
\$YFF800	MASKED ROM MODULE CONFIGURATION REGISTER (MRM1CR)			
\$YFF802	NOT USED			
\$YFF804	ARRAY BASE ADDRESS REGISTER HIGH (ROM1BAH)			
\$YFF806	ARRAY BASE ADDRESS REGISTER LOW (ROM1BAL)			
\$YFF808	ROM SIGNATURE HIGH REGISTER (R1SIGHI)			
\$YFF80A	ROM SIGNATURE LOW REGISTER (R1SIGLO)			
\$YFF80C	NOT USED			
\$YFF80E	NOT USED			
\$YFF810	ROM BOOTSTRAP WORD 0 (ROM1BS0)			
\$YFF812	ROM BOOTSTRAP WORD 1 (ROM1BS1)			
\$YFF814	ROM BOOTSTRAP WORD 2 (ROM1BS2)			
\$YFF816	ROM BOOTSTRAP WORD 3 (ROM1BS3)			
\$YFF818 ~ \$YFF81E	NOT USED			



表 133 MRM2 コントロール・レジスタのアドレス・マップ (64K バイト・モジュール)

Address	15	8	7	0
\$YFF820	MASKED ROM MODULE CONFIGURATION REGISTER(MRM2CR)			
\$YFF822	NOT USED			
\$YFF824	ARRAY BASE ADDRESS REGISTER HIGH (ROM2BAH)			
\$YFF826	ARRAY BASE ADDRESS REGISTER LOW (ROM2BAL)			
\$YFF828	ROM SIGNATURE HIGH REGISTER (R2SIGHI)			
\$YFF82A	ROM SIGNATURE LOW REGISTER (R2SIGLO)			
\$YFF82C	NOT USED			
\$YFF82E	NOT USED			
\$YFF830	ROM BOOTSTRAP WORD 0 (ROM2BS0)			
\$YFF832	ROM BOOTSTRAP WORD 1 (ROM2BS1)			
\$YFF834	ROM BOOTSTRAP WORD 2 (ROM2BS2)			
\$YFF836	ROM BOOTSTRAP WORD 3 (ROM3BS3)			
\$YFF838 ~ \$YFF83E	NOT USED			

表 134 MRM3 コントロール・レジスタのアドレス・マップ (32K バイト・モジュール)

Address	15	8	7	0
\$YFF840	MASKED ROM MODULE CONFIGURATION REGISTER(MRM3CR)			
\$YFF842	NOT USED			
\$YFF844	ARRAY BASE ADDRESS REGISTER HIGH (ROM3BAH)			
\$YFF846	ARRAY BASE ADDRESS REGISTER LOW (ROM3BAL)			
\$YFF848	ROM SIGNATURE HIGH REGISTER (R3SIGHI)			
\$YFF84A	ROM SIGNATURE LOW REGISTER (R3SIGLO)			
\$YFF84C	NOT USED			
\$YFF84E	NOT USED			
\$YFF850	ROM BOOTSTRAP WORD 0 (ROM3BS0)			
\$YFF852	ROM BOOTSTRAP WORD 1 (ROM3BS1)			
\$YFF854	ROM BOOTSTRAP WORD 2 (ROM3BS2)			
\$YFF856	ROM BOOTSTRAP WORD 3 (ROM3BS3)			
\$YFF858 ~ \$YFF85E	NOT USED			

Y = M111。ただし、M は SLIMCR のモジュール・マップ (MM) ビットの論理状態です。Y は \$F でなければなりません。M がクリアされている場合、リセットが発生するまで IMB モジュールにはアクセスできません。M はリセットの後、1 回だけ書き込むことができます。

## 10.1 概 要

この MCU の ROM アレイは **160K バイト** です。これらの ROM アレイは、16 ビット・ワードに配列されており、インタモジュール・バスを通してアクセスされます。バイト、ワード、および不整列ワードにアクセス可能です。アクセス時間は、マスクのプログラミング時に指定されたウェイト・ステート数によって異なりますが、バイトおよび整列ワードの場合、最高 2 システム・クロックになります。MRM は連続アクセスにも応答し、2 バス・サイクル (4 システム・クロック) のロング・ワード・アクセスを実行します。

**64K** バイト・アレイのベース・アドレスは **64K** バイト境界に、**32K** バイト・アレイのベース・アドレスは **32K** バイト境界になければなりません。これらのアレイは、他のマイクロコントローラ・モジュールのコントロール・レジスタにオーバーラップしてはならず、またコントロール・レジスタ・ブロックにオーバーラップしてはなりません。ROM アレイが他のモジュールのコントロール・レジスタにオーバーラップしてマップされている場合、これらのレジスタへアクセスした結果は不定です。ROM アレイが自身のコントロール・レジスタにオーバーラップしてマップされている場合でも、コントロール・レジスタへのアクセスは可能ですが、オーバーラップしている ROM アレイへのアクセスは無視されます。

MRM の主な役割はマイクロコントローラ用のマスク・プログラム・メモリとして使用することです。リセット時に、システム・ブートストラップをサポートするように構成できます。CPU16 は、プログラム空間アクセスとデータ空間アクセスを区別しています。MRM アレイはプログラム・コード専用として、あるいはプログラム・コードとデータの両方に使用できます。また、ウェイト・ステートを挿入するように MRM をプログラムすれば、タイミングを再調整することなく、低速の外部開発用メモリから ROM アレイに移行できます。

MRM は、外部デバイスによるアレイのエミュレーションを簡略化する特殊エミュレータ・モードでも動作可能です。ROM アレイのエミュレーション・モードは、MRMCR の EMUL ビットとアレイのイネーブルを組み合わせることによってイネーブルされます。

エミュレーション・モードがイネーブルされアクティブになっている間、マスク ROM モジュールに割り当てられているアドレスに有効なアクセスが行なわれるたび、もしくはブートストラップ・モードがイネーブルでブートストラップ・アドレスにアクセスすると、外部モジュール・チップ・セレクト信号 (**CSE[1:0]**) がアサートされます。アクセスが有効になるには、アレイ・アクセスが ROM ベース・アレイ・レジスタで指定される範囲内にあり、かつ MRMCR の ASPC フィールドで定義されるアドレス空間条件を満たしていなければなりません。また、ブートストラップ・アクセスは、リセットがネゲートされた直後に \$00000 ~ \$00007 の範囲になければ無効です。**CSE[1:0]** はすべての有効なリード・アクセスに対してアサートされますが、バックグラウンド・デバッグ・モードではライト・アクセスに対してのみアサートされます。MRM はエミュレーション・モードでは、IMB へのアクセスを確認応答しません。そのため、**SLIM** が外部バス・サイクルを実行します。**CSE[1:0]** 信号は AS の立下りエッジでアサートされます。ROM モジュールは、MRMCR の WAIT フィールドで指定されるウェイト・ステート数を挿入した後、内部 DTACK を生成します。

## 10.2 マスク ROM 制御ブロック

3 つの 32 バイト・コントロール・レジスタ・ブロックには、MRM の構成と ROM アレイ機能の制御に使用されるレジスタが含まれています。

MRM1CR— マスク ROM1 モジュール・コンフィギュレーション・レジスタ (**64K** バイト)      \$YFF800  
MRM2CR— マスク ROM2 モジュール・コンフィギュレーション・レジスタ (**64K** バイト)      \$YFF820  
MRM3CR— マスク ROM3 モジュール・コンフィギュレーション・レジスタ (**32K** バイト)      \$YFF840

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP	NOT USED		BOOT	LOCK	EMUL	ASPC		WAIT		NOT USED					
RESET:															
*	0	0	USER SPEC	USER SPEC	*	USER SPEC		USER SPEC		0	0	0	0	0	0

\* STOP のリセット状態 =  $\overline{\text{AD14}}$ 。EMUL のリセット状態 =  $(\overline{\text{AD10}} \cdot \overline{\text{AD13}})$ 。

STOP— ストップ・ビット

- 0 = 通常の ROM アレイ動作、またはエミュレータ・モード (イネーブルされている場合) をアクティブにする。
- 1 = ROM をディセーブルする。

STOP のリセット状態は、リセット時の AD14 状態の 1 の補数です。STOP がセットされていない場合、ROM アレイ・ベース・アドレスを変更することはできません。

#### BOOT— ブート ROM 制御ビット

0 = CPU16 はリセット後に、ROM ブートストラップ・ワード・アドレスにアクセスする。

1 = CPU16 はリセット後に、ROM ブートストラップ・ワード・アドレスにアクセスできない。

BOOT のリセット状態はユーザが指定します。STOP = 1 の場合、ブートストラップ機能は無効です。

#### LOCK— ロック・レジスタ

0 = ライト・ロック・ディセーブル - 保護されているレジスタおよびフィールドに書き込むことができる。

1 = ライト・ロック・イネーブル - 保護されているレジスタおよびフィールドに書き込むことができない。

LOCK のリセット状態はユーザが指定します。LOCK のデフォルト・リセット状態がゼロの場合、マスタ・リセットの後で 1 回だけセットして、初期化後にレジスタを保護することができます。LOCK は ASPC および WAIT フィールド、ROMBAL および ROMBAH レジスタも保護します。ASPC、ROMBAL、および ROMBAH も STOP ビットによって保護されます。

#### EMUL— エミュレータ・ステータス・ビット

0 = 通常の ROM 動作

1 = STOP がクリアされると MRM はエミュレータ・モードで動作

EMUL のリセット状態は、リセット時の AD10 および AD13 の状態の 1 の補数です。EMUL がセットされると、エミュレータ・モードがイネーブルされます。CSE[1:0] がアサートされるのは、次の場合です。

・STOP=0 で ROM アレイ・アクセスが行なわれた場合。

・STOP=0 でブートストラップ・モードがイネーブルされ (BOOT=0)、ブートストラップ・アドレスがアクセスされた場合。

ROM コントロール・レジスタにアクセスしても、CSE[1:0] はアサートされません。エミュレータ・モードでの有効なアクセスは外部アクセスです。

#### ASPC—ROM アレイ空間フィールド

X0 = ROM アレイはプログラム / データ空間に配置される。

X1 = ROM アレイはプログラム空間に配置される。

CPU16 はスーパーバイザ・モードでしか動作しないため、ASPC フィールドによってアクセスをプログラム空間に限定するか、プログラム空間とデータ空間の両方に行なうかを決定します。

表 135 ASPC のエンコーディング

RASP[1:0]	空間
X0	プログラム / データ空間
X1	プログラム空間

#### WAIT— ウェイト・ステート・フィールド

WAIT は ROM アレイと ROM のコントロール・レジスタへのアクセスに対して、MRM が挿入するウェイト・ステート数を指定します。内部での DTACK の生成に先立って挿入されるウェイト・ステート数を制御することにより、ユーザは個々のアプリケーションでバス速度を最適化できます。各ウェイト・ステートの長さは、1 システム・クロック・サイクルです。このため、ユーザはシステム・タイミングを再調整することなく、低速エミュレーション用メモリまたは開発用システム・メモリから ROM アレイにコードを移行することができます。WAIT のリセット状態はユーザが指定します。ウェイトなしのエンコーディング (%00) は、3 クロック・サイクル・バスに対応しています。高速ターミネーション・エンコーディング (%11) は、2 クロック・サイクル・バスに対応しています。マイクロコントローラ・モジュールは、通常この速度で応答しますが、高速ターミネーションを使用して高速外部メモリにアクセスすることも可能です。

表 136 WAIT のエンコーディング

WAIT[1:0]	転送サイクル
00	3
01	4
10	5
11	2

ROM1BAH— アレイ・ベース・アドレス上位レジスタ (64K バイト・モジュール) \$YFF804  
 ROM2BAH— アレイ・ベース・アドレス上位レジスタ (64K バイト・モジュール) \$YFF824  
 ROM3BAH— アレイ・ベース・アドレス上位レジスタ (32K バイト・モジュール) \$YFF844

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								ADDR 23	ADDR 22	ADDR 21	ADDR 20	ADDR 19	ADDR 18	ADDR 17	ADDR 16

RESET:

USER SPECIFIED(US)

影付きビットのリセット値はユーザが指定できますが、ベース・アドレスを変更するために書き込むこともできます。ただし、ADDR[23:20]の値が ADDR19 の値と一致しない場合、CPU16 は ROM アレイにアクセスできません。

ROM1BAL— アレイ・ベース・アドレス下位レジスタ (64K バイト・モジュール) \$YFF806  
 ROM2BAL— アレイ・ベース・アドレス下位レジスタ (64K バイト・モジュール) \$YFF826

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ROM2BAL— アレイ・ベース・アドレス下位レジスタ (32K バイト・モジュール) \$YFF846

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR 15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET:

US 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ROMBAH および ROMBAL は、ROM アレイ・ベース・レジスタを指定するのに使用します。これらは、STOP=1 および LOCK=0 のときにしか書き込めません。これによって、アレイが偶発的に再マッピングされるのを防止しています。ADDR[23:20]の状態は、ADDR19の状態に従うため、\$080000 ~ \$F7FFFF の範囲のアドレスにはアクセスできません。

64K バイト ROM アレイは 64K バイト境界にマップしなければならないため、ROMBAL には常に \$0000 が含まれています。

ROMBS1[0:3]	—ROM1	ブートストラップ・ワード (64K バイト・モジュール)	\$YFF810-\$YFF816												
ROMBS2[0:3]	—ROM2	ブートストラップ・ワード (64K バイト・モジュール)	\$YFF830-\$YFF836												
ROMBS3[0:3]	—ROM3	ブートストラップ・ワード (32K バイト・モジュール)	\$YFF850-\$YFF856												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

BOOTSTRAP VECTOR

RESET:

PROGRAMMED VALUE

一般に、システム CPU のリセット・ベクタは不揮発性メモリに搭載されており、CPU がリセットから解放されたときにのみフェッチされます。ユーザはこれらの 4 ワードをリセット・ベクタとして使用するよう指定でき、またこれらのロケーションの内容も指定できます。これらのワードの内容は変更できません。この MCU では、ROMBS0 ~ ROMBS3 は、システム・アドレス \$000000 ~ \$000006 に対応しています。

## 10.2.1 ブートストラップ動作

CPU16 は、プログラム空間内の IMB アドレス \$000000 ~ \$000006 に配置されている内部レジスタの初期値をフェッチすることによって、ブートストラップ動作を開始します。これらは例外ベクタ・テーブル内のブートストラップ・ベクタのアドレスです。リセット時に RMMCR の BOOT および STOP ビットがクリアされた場合、マスク ROM モジュールは、ブートストラップ・ベクタ・アクセスにตอบสนองするように設定されます。ベクタ割当ては次のとおりです。

表 137 ブートストラップのマッピング

ROM ブートストラップワード	ベクタ・アドレス	MCU リセット・ベクタの内容
ROMBS0	\$000000	Initial ZK, SK, and PK <sup>1</sup>
ROMBS1	\$000002	Initial PC
ROMBS2	\$000004	Reset-Initial SP
ROMBS3	\$000006	Initial IZ

注：1. ビット [15:12]= 予約、ビット [11:8]=ZK 初期値、ビット [7:4]=SK 初期値、  
ビット [3:0]=PK 初期値

アドレス \$000006 が読み出されると、ROM 動作は通常動作に復帰し、モジュールはブートストラップ・ベクタ・アクセスにはตอบสนองしなくなります。

---

## 第 11 章

# フラッシュ EEPROM

### (MC68HC916Y5)

---

電氣的消去可能プログラマブル読取り専用フラッシュ・メモリ (フラッシュ EEPROM) モジュールは、160K バイトの不揮発性高速アクセス・メモリとして動作します。

オペレーティング・システムのカーネルや標準サブルーチンなど、高速で実行する必要のあるプログラム・コードや頻繁に実行されるコードに使用できます。

フラッシュ EEPROM は、頻繁に読み出されるスタティック・データに使用したり、システム・リセット用のブートストラップ・ベクタを提供するように設定することもできます。

MC68HC916Y5 は、この他に 4K バイトの TPU-FLASH EEPROM も搭載しています。この内容については「第 13 章 TPU フラッシュ EEPROM」を参照してください。

## 11.1 概 要

フラッシュ EEPROM モジュールは、MCU アドレス空間で決まった位置を占有する 5 つの 32 バイト・コントロール・レジスタ・ブロックと 5 つの 32K バイト・フラッシュ EEPROM アレイで構成されています。5 つの 32K バイト・フラッシュ EEPROM アレイは、任意の均等な 32K バイト境界にマップ可能です。これらのアレイは、プログラム空間とデータ空間の両方、あるいはプログラム空間だけに常駐するように構成できます。

フラッシュ EEPROM アレイは、バイト、ワード、またはロング・ワードとして読み出すことができます。モジュールは連続して 1MB アクセスに応答し、アラインド・ロング・ワードへの 2 バス・サイクル (4 システム・クロック) でアクセスを可能にします。また、各アクセスにウェイト・ステートを挿入するようにプログラムできるため、システムのタイミングを変更せずに、低速の外部開発メモリからの移行が可能です。

シャドウ・ビットをもつ個々のコントロール・レジスタ・ビットとアレイの両方を、ソフトウェア制御によりプログラムおよび消去可能です。プログラム / 消去電圧は、外部  $V_{FPE}$  ピンを通して供給しなければなりません。プログラミングは、バイトまたはアラインド・ワードでのみ行なわれます。このモジュールは一括消去しかサポートしていません。ハードウェア・インタロックは、フラッシュ EEPROM アレイへのプログラム / 消去電圧が偶発的にイネーブルされた場合に、ストアされているデータが破壊されないよう保護します。

この MCU は、複数のフラッシュ EEPROM モジュールで構成しているためにリセット・ベクタも複数用意されることとなりますが、マッピングの重複を禁止しているため、リセット・ベクタのソースは、1 つにしなければなりません。

表 138 フラッシュ EEPROM1 レジスタ・ブロックのアドレス・マップ (32K バイト・モジュール)

ADDRESS	15	8	7	0
\$YFF7C0	FLASH EEPROM MODULE CONFIGURATION REGISTER (FEE1MCR)			
\$YFF7C2	FLASH EEPROM TEST REGISTER (FEE1TST)			
\$YFF7C4	FLASH EEPROM BASE ADDRESS HIGH REGISTER (FEE1BAH)			
\$YFF7C6	FLASH EEPROM BASE ADDRESS LOW REGISTER (FEE1BAL)			
\$YFF7C8	FLASH EEPROM CONTROL REGISTER (FEE1CTL)			
\$YFF7CA	RESERVED			
\$YFF7CC	RESERVED			
\$YFF7CE	RESERVED			
\$YFF7D0	FLASH EEPROM BOOTSTRAP WORD 0 (FEE1BS0)			
\$YFF7D2	FLASH EEPROM BOOTSTRAP WORD 1 (FEE1BS1)			
\$YFF7D4	FLASH EEPROM BOOTSTRAP WORD 2 (FEE1BS2)			
\$YFF7D6	FLASH EEPROM BOOTSTRAP WORD 3 (FEE1BS3)			
\$YFF7D8	RESERVED			
\$YFF7DA	RESERVED			
\$YFF7DC	RESERVED			
\$YFF7DE	RESERVED			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態を示します。

表 139 フラッシュ EEPROM2 レジスタ・ブロックのアドレス・マップ (32K バイト・モジュール)

ADDRESS	15	8	7	0
\$YFF7E0	FLASH EEPROM MODULE CONFIGURATION REGISTER (FEE2MCR)			
\$YFF7E2	FLASH EEPROM TEST REGISTER (FEE2TST)			
\$YFF7E4	FLASH EEPROM BASE ADDRESS HIGH REGISTER (FEE2BAH)			
\$YFF7E6	FLASH EEPROM BASE ADDRESS LOW REGISTER (FEE2BAL)			
\$YFF7E8	FLASH EEPROM CONTROL REGISTER (FEE2CTL)			
\$YFF7EA	RESERVED			
\$YFF7EC	RESERVED			
\$YFF7EE	RESERVED			
\$YFF7F0	FLASH EEPROM BOOTSTRAP WORD 0 (FEE2BS0)			
\$YFF7F2	FLASH EEPROM BOOTSTRAP WORD 1 (FEE2BS1)			
\$YFF7F4	FLASH EEPROM BOOTSTRAP WORD 2 (FEE2BS2)			
\$YFF7F6	FLASH EEPROM BOOTSTRAP WORD 3 (FEE2BS3)			
\$YFF7F8	RESERVED			
\$YFF7FA	RESERVED			
\$YFF7FC	RESERVED			
\$YFF7FE	RESERVED			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態を示します。

表 140 フラッシュ EEPROM3 レジスタ・ブロックのアドレス・マップ (32K バイト・モジュール)

ADDRESS	15	8	7	0
\$YFF800	FLASH EEPROM MODULE CONFIGURATION REGISTER (FEE3MCR)			
\$YFF802	FLASH EEPROM TEST REGISTER (FEE3TST)			
\$YFF804	FLASH EEPROM BASE ADDRESS HIGH REGISTER (FEE3BAH)			
\$YFF806	FLASH EEPROM BASE ADDRESS LOW REGISTER (FEE3BAL)			
\$YFF808	FLASH EEPROM CONTROL REGISTER (FEE3CTL)			
\$YFF80A	RESERVED			
\$YFF80C	RESERVED			
\$YFF80E	RESERVED			
\$YFF810	FLASH EEPROM BOOTSTRAP WORD 0 (FEE3BS0)			
\$YFF812	FLASH EEPROM BOOTSTRAP WORD 1 (FEE3BS1)			
\$YFF814	FLASH EEPROM BOOTSTRAP WORD 2 (FEE3BS2)			
\$YFF816	FLASH EEPROM BOOTSTRAP WORD 3 (FEE3BS3)			
\$YFF818	RESERVED			
\$YFF81A	RESERVED			
\$YFF81C	RESERVED			
\$YFF81E	RESERVED			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態を示します。

表 141 フラッシュ EEPROM4 レジスタ・ブロックのアドレス・マップ (32K バイト・モジュール)

ADDRESS	15	8	7	0
\$YFF820	FLASH EEPROM MODULE CONFIGURATION REGISTER (FEE4MCR)			
\$YFF822	FLASH EEPROM TEST REGISTER (FEE4TST)			
\$YFF824	FLASH EEPROM BASE ADDRESS HIGH REGISTER (FEE4BAH)			
\$YFF826	FLASH EEPROM BASE ADDRESS LOW REGISTER (FEE4BAL)			
\$YFF828	FLASH EEPROM CONTROL REGISTER (FEE4CTL)			
\$YFF82A	RESERVED			
\$YFF82C	RESERVED			
\$YFF82E	RESERVED			
\$YFF830	FLASH EEPROM BOOTSTRAP WORD 0 (FEE4BS0)			
\$YFF832	FLASH EEPROM BOOTSTRAP WORD 1 (FEE4BS1)			
\$YFF834	FLASH EEPROM BOOTSTRAP WORD 2 (FEE4BS2)			
\$YFF836	FLASH EEPROM BOOTSTRAP WORD 3 (FEE4BS3)			
\$YFF838	RESERVED			
\$YFF83A	RESERVED			
\$YFF83C	RESERVED			
\$YFF83E	RESERVED			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態を示します。



表 142 フラッシュ EEPROM5 レジスタ・ブロックのアドレス・マップ (32K バイト・モジュール)

ADDRESS	15	8	7	0
\$YFF840	FLASH EEPROM MODULE CONFIGURATION REGISTER (FEE5MCR)			
\$YFF842	FLASH EEPROM TEST REGISTER (FEE5TST)			
\$YFF844	FLASH EEPROM BASE ADDRESS HIGH REGISTER (FEE5BAH)			
\$YFF846	FLASH EEPROM BASE ADDRESS LOW REGISTER (FEE5BAL)			
\$YFF848	FLASH EEPROM CONTROL REGISTER (FEE5CTL)			
\$YFF84A	RESERVED			
\$YFF84C	RESERVED			
\$YFF84E	RESERVED			
\$YFF850	FLASH EEPROM BOOTSTRAP WORD 0 (FEE5BS0)			
\$YFF852	FLASH EEPROM BOOTSTRAP WORD 1 (FEE5BS1)			
\$YFF854	FLASH EEPROM BOOTSTRAP WORD 2 (FEE5BS2)			
\$YFF856	FLASH EEPROM BOOTSTRAP WORD 3 (FEE5BS3)			
\$YFF858	RESERVED			
\$YFF85A	RESERVED			
\$YFF85C	RESERVED			
\$YFF85E	RESERVED			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態を示します。

## 11.2 フラッシュ EEPROM コントロール・ブロック

各フラッシュ EEPROM コントロール・ブロックには、モジュール・コンフィギュレーション・レジスタ (FEEMCR)、テスト・レジスタ (FEETST)、2 個のアレイ・ベース・アドレス・レジスタ (FEEBAH と FEEBAL)、コントロール・レジスタ (FEECTL) の 5 個のレジスタが含まれています。また、コントロール・ブロックの 4 つの追加ワードには、フラッシュ EEPROM をブートストラップ・メモリとして使用するときのブートストラップ情報を収めることができます。

コントロール・ブロック内のレジスタには、予備フラッシュ EEPROM 行に物理的に配置されている関連のシャドウ・レジスタを持つものがあります。リセットの間、レジスタ内のフィールドには、シャドウ・レジスタからデフォルトのリセット情報がロードされます。シャドウ・レジスタは、対応するコントロール・レジスタのアドレスを使用して、フラッシュ EEPROM アレイのロケーションと同じ方法でプログラムまたは消去されます。シャドウ・レジスタにプログラムしても、対応するコントロール・レジスタにはデータは書き込まれません。新しいデータは、次のリセットまでコントロール・レジスタにはコピーされません。シャドウ・レジスタの内容は、フラッシュ EEPROM アレイが消去されるたびに消去されます。

フラッシュ EEPROM のコントロール・ブロックによるコンフィギュレーション情報はアレイとは別個に置かれ、書込みによりフラッシュ EEPROM の動作を制御します。リセット後に、書込み可能なビットをもつコントロール・ブロック内のレジスタを変更することができます。これらのレジスタに書き込んでも、関連のシャドウ・レジスタには影響を与えません。一部のレジスタは、FEEMCR の LOCK ビットがディセーブルされているとき、あるいは FEEMCR の STOP ビットがセットされているときにしか書き込めません。これらの制限は個々のレジスタの説明に記載されています。

## 11.3 フラッシュ EEPROM アレイ

ベース・アドレス・レジスタは、フラッシュ EEPROM アレイのベース・アドレスを指定します。デフォルトのリセット・ベース・アドレスを、ベース・アドレス・シャドウ・レジスタに書き込むことができます。アレイ・ベース・アドレスは、32K バイト・アレイの場合は 32K バイト境界になければなりません。ADDR[23:20] は ADDR19 と同じ論理状態にドライブされるため、CPU16 は \$080000 ~ \$F7FFFF の範囲のアドレスにはアクセスできません。フラッシュ EEPROM アレイがこれらのアドレスにマップさ

れた場合、フラッシュを再マップしないと、このアレイにはアクセスできません。

モジュールの専用アレイが自身のコントロール・レジスタ以外のレジスタにオーバーラップするようなベース・アドレス値は使わないでください。アレイの一部が自身のレジスタ・ブロックにオーバーラップする場合、これらのレジスタはアクセス可能ですが、アレイのオーバーラップ部分へのアクセスは無視されます。ただし、アレイが他のモジュールのコントロール・ブロックにオーバーラップする場合は、オーバーラップしているレジスタを読み出すと結果は不定になります。

## 11.4 フラッシュ EEPROM レジスタ

以下のレジスタ図で、リセット状態を示す SB という表記は、各コントロール・ビットがリセット時に関連のシャドウ・ビットの値をとることを示します。

FEE1MCR—フラッシュ EEPROM1 モジュール・コンフィギュレーション・レジスタ	\$YFF7C0
FEE2MCR—フラッシュ EEPROM2 モジュール・コンフィギュレーション・レジスタ	\$YFF7E0
FEE3MCR—フラッシュ EEPROM3 モジュール・コンフィギュレーション・レジスタ	\$YFF800
FEE4MCR—フラッシュ EEPROM4 モジュール・コンフィギュレーション・レジスタ	\$YFF820
FFE5MCR—フラッシュ EEPROM5 モジュール・コンフィギュレーション・レジスタ	\$YFF840
1514131211109876543210	
STOPFRZ0BOOTLOCK0ASPCWAITNOT USED	
RESET:	
SB00SB00SB00SB00000000	

このシャドウ・レジスタの消去後のデータは \$BFFF となります。

### STOP— ストップ

- 0 = 通常のフラッシュ EEPROM アレイ動作。
- 1 = フラッシュ EEPROM をディセーブルする。

STOP のリセット状態は、リセット中の DATA14 論理状態の反転値と STOP シャドウ・ビットとの論理和をとったものです。STOP がセットされていなければ、フラッシュ EEPROM アレイ・ベース・アドレスを変更することはできません。

### FRZ— フリーズ・モード制御

- 0 = FREEZE 信号のアサート中に、プログラム / 消去電圧をディセーブルする。
- 1 = FREEZE 信号のアサート中に、ENPE ビットでプログラム / 消去電圧を印加可能にする。

### BOOT— ブート ROM 制御

- 0 = リセット後に、CPU16 はフラッシュ EEPROM のブートストラップ・ワード・アドレスにアクセスする。
- 1 = リセット後に、CPU16 はフラッシュ EEPROM のブートストラップ・ワード・アドレスにアクセスできない。

BOOT のリセット状態はユーザが指定します。STOP = 1 の場合、ブートストラップ機能は無効です。

### LOCK— ロック・レジスタ

- 0 = ライト・ロック・ディセーブル。保護されているレジスタおよびフィールドに書き込むことができる。
- 1 = ライト・ロック・イネーブル。保護されているレジスタおよびフィールドに書き込むことはできない。

LOCK のリセット状態はユーザが指定します。LOCK のデフォルト・リセット状態がゼロの場合は、初期設定後にレジスタを保護できるように、マスタ・リセットの後に 1 回だけセットすることができます。LOCK は、ASPC および WAIT フィールド、FEEBAL および FEEBAH レジスタも保護します。ASPC、FEEBAL、および FEEBAH も STOP ビットによって保護されます。

### ASPC— フラッシュ EEPROM アレイ空間

MCU はスーパバイザ・モードでしか動作しないため、ASPC フィールドでアクセスがプログラム空間だけに限定されるか、あるいはプログラム空間とデータ空間の両方に行なわれるかを決定します。

ASPC のリセット状態はユーザが指定します。

表 143 ASPC のエンコーディング

ASPC[1:0]	指定されたステート
X0	Program and data access
X1	Program access only

#### WAIT— ウェイト・ステート・フィールド

WAIT は、フラッシュ EEPROM アレイへのアクセス中に FLASH EEPROM MODULE によって挿入されるウェイト・ステート数を指定します。また、内部 **DTACK** の生成前に挿入されるウェイト・ステート数を制御することによって、ユーザが特定のアプリケーションでバス速度を最適化することもできます。各ウェイト・ステートの長さは 1 システム・クロック・サイクルです。これによってユーザは、システムのタイミングを調整することなく、低速なエミュレーションまたは開発システム・メモリから EEPROM アレイにコードを移行することができます。WAIT のリセット状態はユーザが指定します。ノー・ウェイトのエンコーディング (%00) は、3 クロック・サイクル・バスに対応しています。高速終了エンコーディング (%11) は、2 クロック・サイクル・バスに対応しています。マイクロコントローラ・モジュールは、通常この速度で応答しますが、高速終了を使用して高速外部メモリにアクセスすることも可能です。

表 144 WAIT のエンコーディング

WAIT[1:0]	転送サイクル
00	3
01	4
10	5
11	2

FEE1TST— フラッシュ EEPROM1 テスト・レジスタ	\$YFF7C2
FEE2TST— フラッシュ EEPROM2 テスト・レジスタ	\$YFF7E2
FEE3TST— フラッシュ EEPROM3 テスト・レジスタ	\$YFF802
FEE4TST— フラッシュ EEPROM4 テスト・レジスタ	\$YFF822
FEE5TST— フラッシュ EEPROM5 テスト・レジスタ	\$YFF842

このレジスタは工場テスト専用です。

FEE1BAH— フラッシュ EEPROM1 ベース・アドレス上位レジスタ	\$YFF7C4
FEE2BAH— フラッシュ EEPROM2 ベース・アドレス上位レジスタ	\$YFF7E4
FEE3BAH— フラッシュ EEPROM3 ベース・アドレス上位レジスタ	\$YFF804
FEE4BAH— フラッシュ EEPROM4 ベース・アドレス上位レジスタ	\$YFF824
FEE5BAH— フラッシュ EEPROM5 ベース・アドレス上位レジスタ	\$YFF844

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								ADDR 23	ADDR 22	ADDR 21	ADDR 20	ADDR 19	ADDR 18	ADDR 17	ADDR 16

RESET:

SB SB SB SB SB SB SB SB

このシャドウ・レジスタの消去後のデータは \$FFFF となります。

FEEBAH には、フラッシュ EEPROM アレイ・ベース・アドレスの上位 16 ビットがあります。リセット時に、FEEBAH には関連のシャドウ・レジスタに書き込まれているデータが自動的にコピーされます。FEEBAH のデフォルト値は必ず関連のシャドウ・レジスタのデータとなります。リセット後に、LOCK = 0 および STOP = 1 の場合、ソフトウェアは FEEBAH と FEEBAL に書き込んで、フラッ

シュ EEPROM アレイを再配置することができます。ADDR[23:20] は ADDR19 と同じ論理状態にドライブされるため、CPU16 は \$080000 ~ \$F7FFFF の範囲のアドレスにはアクセスできません。フラッシュ EEPROM アレイがこれらのアドレスにマップされた場合、システムをリセットしてからでないと、アレイにアクセスすることはできません。

FEE1BAL—	フラッシュ EEPROM1 ベース・アドレス下位レジスタ	\$YFF7C6
FEE2BAL—	フラッシュ EEPROM2 ベース・アドレス下位レジスタ	\$YFF7E6
FEE3BAL—	フラッシュ EEPROM3 ベース・アドレス下位レジスタ	\$YFF806
FEE4BAL—	フラッシュ EEPROM4 ベース・アドレス下位レジスタ	\$YFF826
FEE5BAL—	フラッシュ EEPROM5 ベース・アドレス下位レジスタ	\$YFF846

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR 15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET:

SB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
----	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

このシャドウ・レジスタの消去後のデータは \$FFFF となります。

FEEBAL には、フラッシュ EEPROM アレイ・ベース・アドレスの下位 16 ビットがあります。リセット時に、FEEBAL には関連のシャドウ・レジスタに書き込まれているデータが自動的にコピーされます。FEEBAL のデフォルト値は必ず関連のシャドウ・レジスタのデータとなります。

FEE1CTL—	フラッシュ EEPROM1 コントロール・レジスタ	\$YFF7D8
FEE2CTL—	フラッシュ EEPROM2 コントロール・レジスタ	\$YFF7E8
FEE3CTL—	フラッシュ EEPROM3 コントロール・レジスタ	\$YFF808
FEE4CTL—	フラッシュ EEPROM4 コントロール・レジスタ	\$YFF828
FEE5CTL—	フラッシュ EEPROM5 コントロール・レジスタ	\$YFF848

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	VFPE	ERAS	LAT	ENPE

RESET:

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

FEECTL にはフラッシュ EEPROM のプログラミングと消去の制御に必要なビットが含まれています。このレジスタはスーパバイザ・モードでしかアクセスできません。

VFPE— プログラム / 消去の検証

0 = 通常のリード・サイクル

1 = プログラム検証回路起動する。

このビットは特別なプログラム検証回路を起動します。プログラミング・シーケンス (ERAS = 0) の間、VFPE は LAT ビットとともに、あるロケーションのプログラミングが完了したことを判断するのに使用されます。VFPE と LAT の両方がセットされている場合は、有効なフラッシュ EEPROM ロケーションを読み出すと、ラッチされたデータとプログラム中のロケーションのデータとのビット単位での排他的論理和がとられます。そのロケーションが完全にプログラムされている場合は、ゼロの値が読み出されます。ゼロ以外の値が読み出された場合は、そのロケーションが完全にプログラムされていないことを示します。

VFPE がクリアされているときには、有効なフラッシュ EEPROM ロケーションの通常の読出しが行なわれます。

ERAS— 消去制御

0 = フラッシュ EEPROM をプログラミングに設定する。

1 = フラッシュ EEPROM を消去に設定する。

ERAS をアサートすると、アレイの全ロケーションとシャドウ・レジスタが同時に消去に設定されます。

LAT ビットがセットされているときには、ERAS はさらに読出しによってアドレス指定されたロケーション (ERAS = 1) またはプログラム中のロケーション (ERAS = 0) のいずれの値を返すかも決定します。

プログラム / 消去電圧を印加( ENPE = 1 )している場合、ERAS の値を変更することはできません。

#### LAT— ラッチ制御

- 0 = プログラミング・ラッチをディセーブルする。
- 1 = プログラミング・ラッチをイネーブルする。

LAT がクリアされると、フラッシュ EEPROM アドレスとデータ・バスが IMB のアドレス・バスとデータ・バスに接続され、フラッシュ EEPROM は通常の読出しに設定されます。LAT がセットされているとき、フラッシュ EEPROM アドレスとデータ・バスはパラレル内部ラッチに接続され、フラッシュ EEPROM アレイはプログラミングまたは消去に設定されます。

LAT をセットした直後、フラッシュ EEPROM モジュール内の有効なアドレスへの書込みを行うと書込みアドレスとデータの両方がラッチされます。プログラミングに設定されている場合( ERAS = 0 ) ラッチされたアドレスに対してラッチされたデータがプログラムされます。消去に設定されている場合( ERAS = 1 ) ラッチされたアドレスがフラッシュ EEPROM の有効なアドレスであれば一括消去が行われます( ラッチさせるデータは任意です )。

プログラム / 消去電圧を印加しているとき( ENPE = 1 ) LAT の値は変更できません。

#### ENPE— プログラミング / 消去イネーブル

- 0 = プログラム / 消去電圧をディセーブルする。
- 1 = プログラム / 消去電圧を印加する。

ENPE は LAT がセットされ、データおよびアドレス・ラッチへの書込みが行なわれた後でしかセットできません。これらの条件が満足されなかった場合、ENPE はクリアされたままです。ENPE がセットされている間、LAT、VFPE、および ERAS ビットは変更できず、フラッシュ EEPROM モジュールのフラッシュ EEPROM アレイ・ロケーションを読み出そうとしても無視されます。

FEE1BS[0:3]	— フラッシュ EEPROM1 ブートストラップ・ワード	\$YFF7D0-\$YFF7D6
FEE2BS[0:3]	— フラッシュ EEPROM2 ブートストラップ・ワード	\$YFF7F0-\$YFF7F6
FEE3BS[0:3]	— フラッシュ EEPROM3 ブートストラップ・ワード	\$YFF810-\$YFF816
FEE4BS[0:3]	— フラッシュ EEPROM4 ブートストラップ・ワード	\$YFF830-\$YFF836
FEE5BS[0:3]	— フラッシュ EEPROM5 ブートストラップ・ワード	\$YFF850-\$YFF856

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BOOTSTRAP VECTOR															
RESET:															
PROGRAMMED VALUE															

このレジスタの消去後のデータは \$FFFF となります。

これらのワードはシステム・ブートストラップ・ベクタとして使用することができます。リセット時に FEEMCR の BOOT ビット = 0 のときは、フラッシュ EEPROM モジュールの FEEBS[0:3] が、リセット・ベクタの \$000000 ~ \$000006 に対して応答します。この応答は 1 回目のアクセスのみで、2 回目以降の \$000000 ~ \$000006 へのアクセスはアレイが対応します。BOOT = 1 のときには、リセット・ベクタに対してフラッシュ EEPROM モジュールのアレイが応答します。FEEBS[0:3] は、FEEMCR で STOP = 0 の場合はいつでも読み出すことができますが、ワード内の値は適切なロケーションをプログラムしないと変更できません。

## 11.5 フラッシュ EEPROM の動作

以下に、モジュールをシステム・ブートストラップ、通常動作、およびアレイ・プログラミング / 消去に使用したフラッシュ EEPROM モジュールのリセットについて説明します。

### 11.5.1 リセット動作

リセットによって、すべてのフラッシュ EEPROM のコントロール・レジスタが初期設定されます。このレジスタのビットには、固定デフォルト値または関連のフラッシュ EEPROM シャドウ・レジスタにプログラムされた値が設定されます。

STOP シャドウ・ビットの状態がゼロの場合、FEEMCR の STOP ビットはリセット中にクリアされ、モ

ジュールは FEEBAH および FEEBAL で指定される範囲のアクセスに応答します。 $\overline{\text{BOOT}}$  ビットがクリアされると、モジュールはブートストラップ・ベクタ・アクセスにも応答します。

STOP シャドウ・ビットの状態が 1 のときには、リセット時に FEEMCR の STOP ビットがセットされ、フラッシュ EEPROM アレイがディセーブルされます。モジュールは、STOP ビットがクリアされるまで、アレイまたはブートストラップ・ベクタ・アクセスには応答しません。これによって、外部デバイスはフラッシュ EEPROM アレイ・アドレス空間へのシャドウ・ビット・アクセスあるいはブートストラップ・アクセスに 대응することができます。シャドウ・ビットの消去状態は 1 です。消去されたモジュールは、リセット解除後は STOP モードになります。

## 11.5.2 ブートストラップ動作

CPU16 は、プログラム空間内のアドレス \$0000000 ~ \$0000006 に配置されている内部レジスタの初期値をフェッチすることによって、ブートストラップ動作を開始します。これらは例外ベクタ・テーブル内のブートストラップ・ベクタのアドレスです。リセット時に FEEMCR の STOP=0 かつ BOOT=0 の時、フラッシュ EEPROM モジュールは、ブートストラップ・ベクタ・アクセスに回答するように設定されます。ベクタ割当ては次のとおりです。

表 145 ブートストラップのマッピング

EEPROM ブートストラップ ワード	ベクタ・アドレス	MCU リセット・ベクタの内容
FEEBS0	\$0000000	Initial ZK, SK, and PK <sup>1</sup>
FEEBS1	\$0000002	Initial PC
FEEBS2	\$0000004	Reset-Initial SP
FEEBS3	\$0000006	Initial IZ

注：1. ビット [15:12]= 予約、ビット [11:8]=ZK 初期値、ビット [7:4]=SK 初期値、  
ビット [3:0]=PK 初期値

アドレス \$0000006 が読み出されると、フラッシュ EEPROM 動作は通常動作に復帰し、モジュールはブートストラップ・ベクタ・アクセスには応答しなくなります。

## 11.5.3 通常動作

フラッシュ EEPROM モジュールは、2 システム・クロックでバイトまたはアラインド・ワード・アクセスを実行し、連続実行される 1MB アクセスに回答してアラインド・ロング・ワード・アクセスまたはミスアラインド・ワード操作のために 4 システム・クロックを供給できます。ミスアラインド・ロング・ワードのための 3 バス・サイクル・アクセスは、32 ビット処理が可能な CPU に対するものです。

モジュールはファンクション・コードをチェックして、アドレス空間アクセス・タイプを確認します。アレイ・アクセスは FEEMCR の ASPC の状態によって定義されます。フラッシュ EEPROM モジュールを通常動作に設定したときには、アレイはリード・アクセスにしか応答しません。書込み操作は無視されます。

## 11.5.4 プログラム / 消去動作

プログラムされていないフラッシュ EEPROM ビットは論理 1 の状態になっています。ビットは状態を 1 から 0 に変更するようにプログラムしなければなりません。ビットを消去すると 1 の状態に戻ります。フラッシュ EEPROM をプログラム / 消去するには、一連のコントロール・レジスタへの書込みとプログラミング・ラッチへの書込みが必要です。同じ手順を使用して、シャドウ・レジスタをプログラムします。同時にプログラミングできるのは、1 バイトまたは 1 アラインド・ワードだけです。フラッシュ EEPROM アレイ全体とシャドウ・レジスタ・ビットは同時に消去されます。

注：アレイをプログラムするには、 $V_{FPE}$  ピンにプログラミング電圧を印加しなければなりません。印加する電圧は必ず  $12.6 \times V_{FPE}$  ( $V_{DD} - 0.35V$ ) の範囲内になければなりません。この範囲を超えると、フラッシュ EEPROM モジュールが損傷するおそれがあります。

## 11.5.4.1 プログラミング・シーケンス

フラッシュ EEPROM アレイをプログラムするには、以下の手順を実行します。図 39 はプログラミング動作のフローチャートです。

1.  $V_{FPE}$  ピンに印加する電圧をプログラム / 消去 / 検証レベルに上げます。
2. ソフトウェア上のパラメータである NPP カウンタをクリアし、マージン・フラグをクリアします。この NPP カウンタはプログラムの回数 (最大 50 回) を確認するために使います。マージン・フラグはプログラムできたデータに対して再度プログラムする是非のために使われるフラグです。
3. FEECTL の ERAS ビットをクリアし、LAT ビットをセットします。これによってアドレス・ラッチとデータ・ラッチのプログラムが可能です。またこのステップにおいて必要があれば  $V_{FPE}$  も同時にセットし、プログラム検証回路を起動することができます。
4. プログラムするアドレスにデータを書き込みます。これによってモジュールはプログラムに設定されます。
5. FEECTL の ENPE ビットをセットすることによりフラッシュへの書き込みをスタートします。その書き込み時間確認のために、プログラム・パルスを開始します。
6. プログラミング・パルスが 1 つ発生する時間だけ遅らせます。遅延はパラメータ PWPP で指定されます。
7. FEECTL の ENPE ビットをクリアします。これによって、プログラム・パルスが停止し、アレイ内部への高電圧供給を停止します。
8. アレイへの高電圧が定常電圧まで低下するのを待ちます。この待ち時間 (遅延時間) はパラメータ TPR によって指定されます。
9. マージン・フラグがまだセットされていない場合、NPP カウンタを増加し、プログラム・ロケーションを読み出してプログラムされているか検証します。 $V_{FPE}$  ビットがセットされている場合、正しくプログラムされると 0 が読み出されます。

プログラムされた場合は、マージン・フラグをセットし、ステップ 5 の "ENPE をセット" へ行きます。

プログラムされていない場合は、NPP カウンタ値が最大プログラム・パルス数 NPPMAX (50 回) に到達していなければステップ 5 の "ENPE をセット" へ行きます。

NPP=NPPMAX (50 回) に到達した場合、プログラムが失敗となります。停止手続きのために FEECTL の LAT ビットをクリアし、 $V_{FPE}$  ピンに印加されているプログラム電圧を通常の読み出しレベル ( $V_{DD}$  レベル) まで下げます。プログラム・シーケンスを終了します。

マージン・フラグがセットされている場合、NPP カウンタ値を 1 減少させ、NPP=0 になるまでステップ 5 の "ENPE をセット" からこのステップの "NPP カウンタを減少" を繰り返します。これによって 100% のプログラム・マージンを与えます。

この後、再びプログラム・ロケーションを読み出して検証します。

プログラムされていない場合、プログラムが失敗となります。停止手続きのために FEECTL の LAT ビットをクリアし、 $V_{FPE}$  ピンに印加されているプログラム電圧を通常の読み出しレベル ( $V_{DD}$  レベル) まで下げます。プログラム・シーケンスを終了します。

プログラムされている場合、FEECTL の LAT ビットをクリアしてステップ 10 の "すべて書き込み終了" へ行きます。

10. すべて書き込みが終了していなければ、次のロケーションをプログラムするために、そのアドレスを設定し、フローの "NPP カウンタをクリア / マージン・フラグをクリア" から再び繰り返

します。

すべて書込みが終了していれば、書込みが正常に終了したことになります。終了手続きとして  $V_{FPE}$  ピンに印加されている電圧を通常の読出しレベルにまで下げて、正常終了となります。

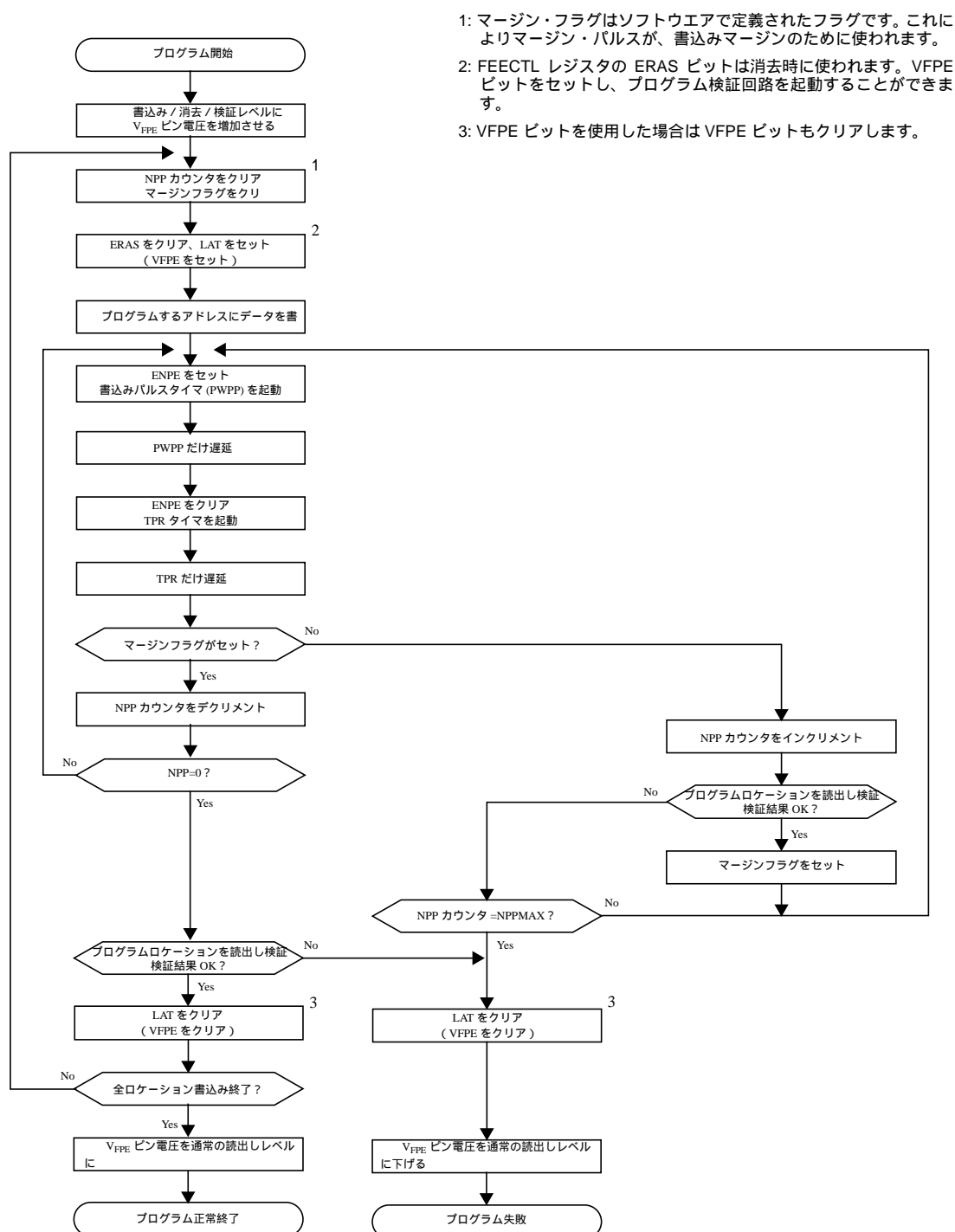


図 39 フラッシュ・プログラムのフローチャート (表 178 参照)



## 11.5.4.2 消去動作

フラッシュ EEPROM アレイを消去するには、以下の手順を実行します。図 40 は消去動作のフローチャートです。

1.  $V_{FPE}$  ピンに印加する電圧をプログラム / 消去 / 検証レベルに上げます。
2. ソフトウェア上のパラメータである消去パルスカウンタ NEP を 1 にセット、マージン・フラグをクリアします。
3. FEECTL の VFPE ビットをクリアし、ERAS ビットと LAT ビットをセットします。これによって、FLASH モジュールは消去モードに設定されます。
4. アレイまたはコントロール・ブロック (シャドウ) の任意の有効アドレスに書込みを実行します。書込むデータは何でもかまいません。
5. FEECTL の ENPE ビットをセットします。これによってアレイおよびシャドウに消去電圧を印加します。
6. 1個の消去パルスに相応した時間だけ遅延します。遅延はパラメータTEPKによって指定されます。
7. FEECTL の ENPE ビットをクリアします。これによってアレイおよびシャドウのアレイ内部への高電圧供給を停止します。
8. アレイおよびシャドウへの高電圧が定常電圧まで低下するのを待ちます。この待ち時間 (遅延時間) はパラメータ TER によって指定されます。
9. マージン・フラグがまだセットされていない場合、アレイ全体とシャドウを読み出してすべてのロケーションが消去されているか検証します (FEEMCR のシャドウの消去値は \$BFFF ですので注意してください)。

すべて消去された場合は、消去マージン EM を計算しマージン・フラグをセットしてステップ 5 の "ENPE をセット" へ行きます。

すべて消去されていない場合は、NEP カウンタを 1 増加し、NEP カウンタ値が最大消去パルス数 NEPMAX(5 回) を越えていなければ新しい TEPK 値を計算し、ステップ 5 の "ENPE をセット" へ行きます。

NEP カウンタ値が NEPMAX(5 回) を越えた場合、消去が失敗となります。停止手続きのために FEECTL の LAT ビットと ERAS ビットをクリアし、 $V_{FPE}$  ピンに印加されている消去電圧を通常の読出しレベル (VDD レベル) まで下げます。

マージン・フラグがセットされている場合、FEECTL の LAT ビットと ERAS ビットをクリアします。

10. 消去は正常終了となります。終了手続きとして  $V_{FPE}$  ピンに印加されている消去電圧を通常の読出しレベル (VDD レベル) まで下げます。

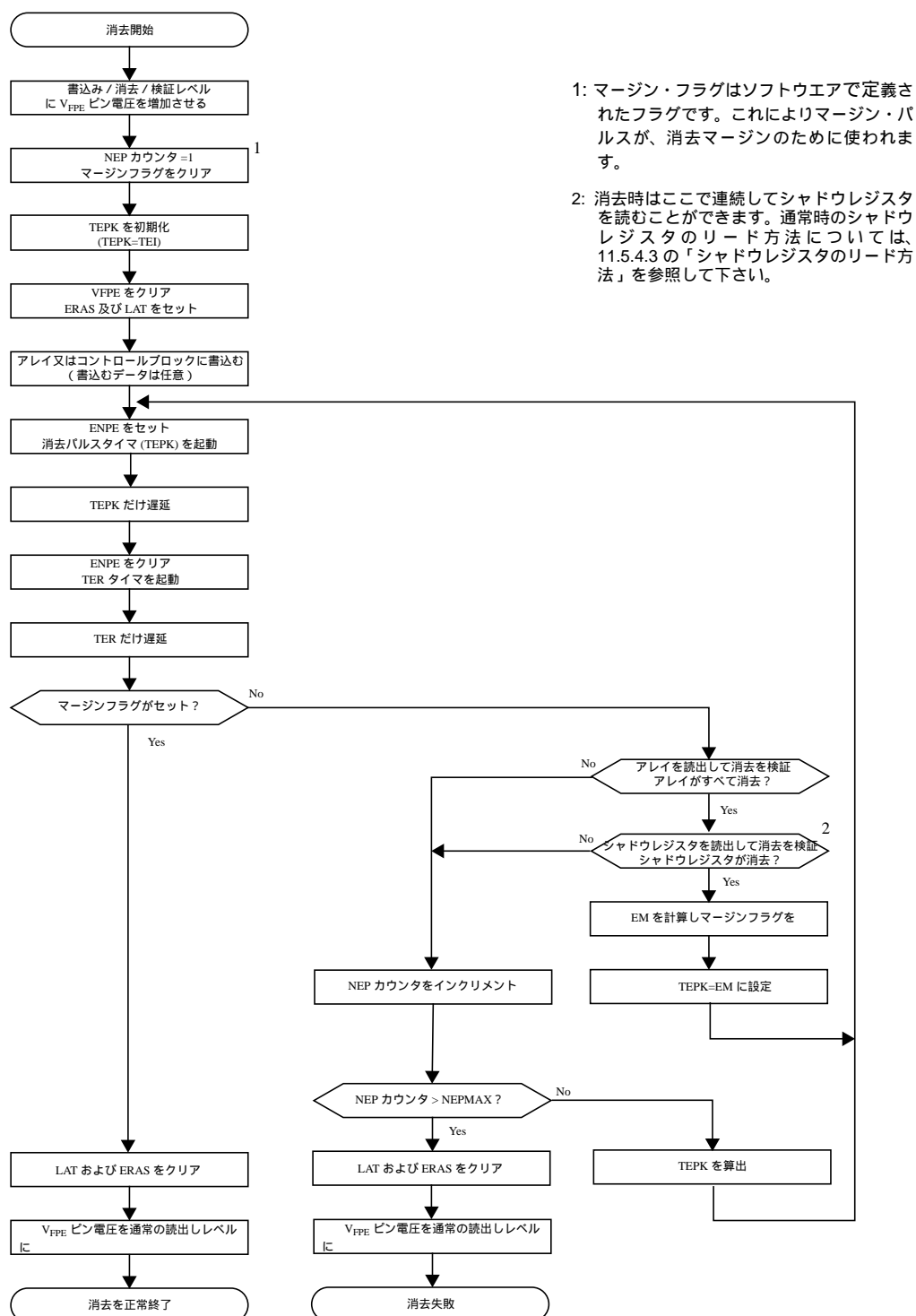


図 40 フラッシュ消去のフローチャート (表 178 参照)

### 11.5.4.3 シャドウレジスタのリード方法

MC68HC916 シリーズ用フラッシュ EEPROM モジュール (HD FLASH、FLASH、BE FLASH および TPU FLASH) のシャドウレジスタのデータを通常時 (プログラム時または消去時以外) にリードする必要がある場合は次に示すステップを実行してください。

1. コントロールレジスタ (FEECTL, HDFCTL, TFCTL, BEFCTL) のすべてのビットをクリアします。
2. コントロールレジスタの LAT ビットのみをセットします。
3. リードするシャドウレジスタのアドレスに対して書き込みを行ないます。書き込むデータは何でもかまいません。この操作によりそのアドレスとデータがラッチされます。
4. 書き込みを行なったシャドウ・ロケーションをリードします。読み出されたデータがシャドウレジスタのデータです。
5. LAT ビットをクリアします。これによりフラッシュ EEPROM モジュールは通常動作にもどり、アレイ領域とコントロール・ブロックへのアクセスが可能となります。
6. さらにリードしたいシャドウレジスタがあればステップ 2 から 5 までを繰り返します。

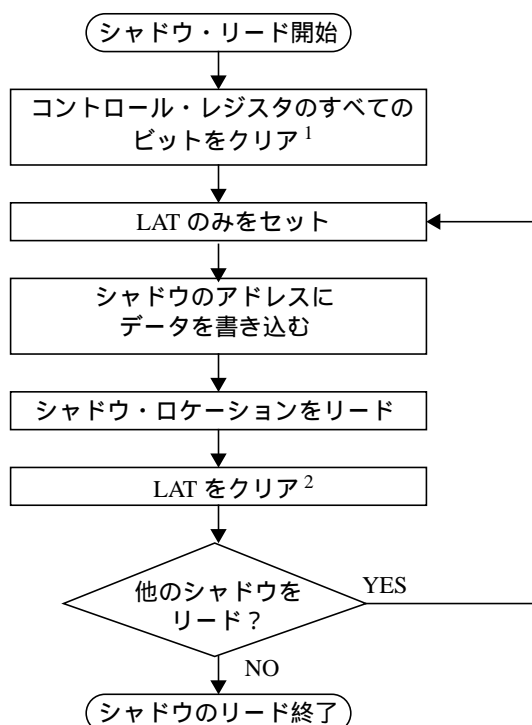


図 41 シャドウ・レジスタの読出し方法

- 注: 1. フラッシュ・モジュールがイネーブル (STOP ビットがクリア) されていることが必要です。
2. LAT をセットした直後に書き込まれたシャドウのアドレスはプログラムラッチ回路に保持され、以後のフラッシュへのリードアクセスはラッチされたシャドウのデータとして読まれます。従って次のシャドウをリードするには一度 LAT をクリアし、再度 LAT をセットしてリードするシャドウのアドレスを書き込む必要があります。

## 11.5.5 フラッシュ EEPROM 書込み / 消去電圧信号の条件

$V_{FPE}$  ピンには、最小の  $V_{DD} - 0.35V$  の電圧を常時加えておく必要があります。この条件が満たされないと、FLASH モジュールを損傷することがあります。FLASH モジュールは、 $V_{FPE}$  のパワー・オン時またはパワー・オフ時の過度応答で損傷を受けることがあります。 $V_{DD}$  が規定最小電圧より低い電圧にある間に、 $V_{FPE}$  を書込みレベルまで上げることはできません。また、 $V_{DD}$  が供給されている間に、 $V_{FPE}$  を規定最小電圧より下げることはできません。図 42 に、 $V_{FPE}$  と  $V_{DD}$  の動作波形を示します。

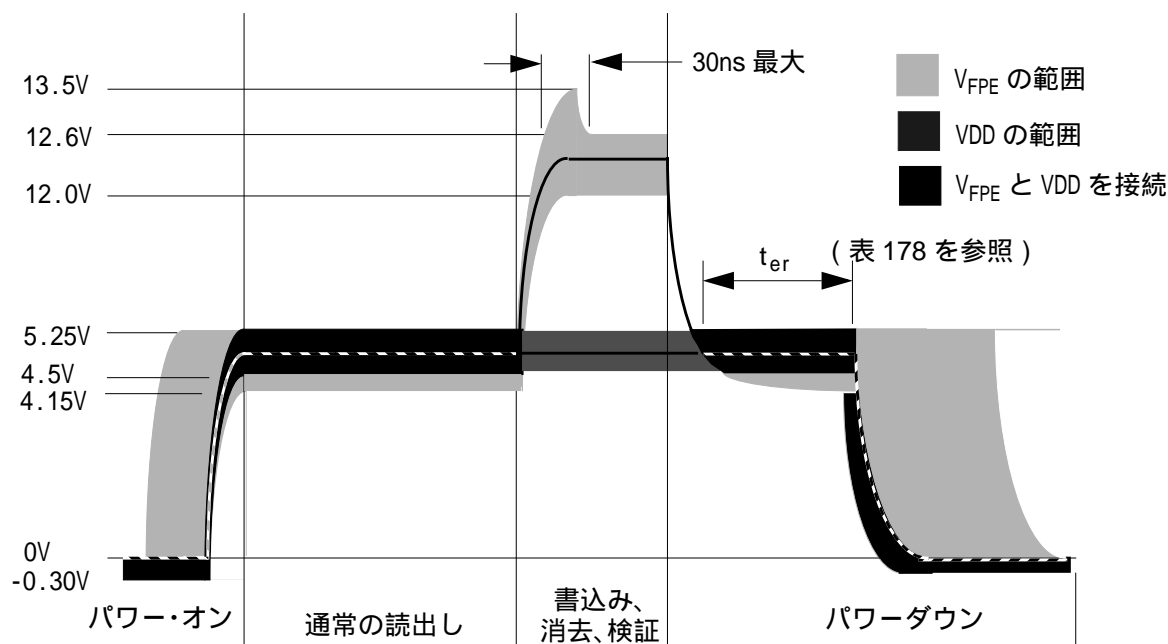
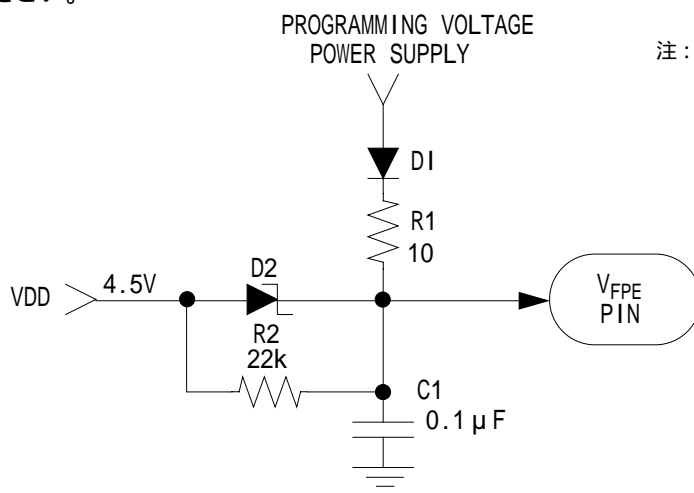


図 42 書込み電圧の波形

外部回路を使用した  $V_{FPE}$  のコンディショニングが推奨されます。図 43 に、必要な電圧を維持して過渡信号をフィルタする単純な回路を示します。 $V_{FPE}$  はショットキ・ダイオード D2 を通して  $V_{DD}$  にプルアップされます。ダイオード D1 を通してプログラミング電圧を印加すると、D2 が逆バイアスされ、過剰な逆電流から  $V_{DD}$  を保護します。D2 はまた、万一プログラミング電圧がゼロになった場合に FLASH が損傷を受けないよう保護します。プログラミング電源電圧を調整して、D1 での順バイアス降下を補償しなければなりません。R1 および C1 の充電時定数で過渡信号をフィルタし、R2 で C1 の放電経路を提供します。

電源の投入・遮断時にこの RC 充・放電時定数を有効に利用できます。この回路を使用するときには、ダイオード電圧降下を小さくするために、 $V_{FPE}$  ピンに接続される外部デバイスからのリーク電流を低く抑えてください。



注： $V_{FPE}$  ピンに 12V 系の電圧が印可される場合、RC 回路 (R1 と C1) はノイズ低減のために働きます。そのため、この RC 回路は  $V_{FPE}$  ピン側に配置しなければいけません。また、複数の  $V_{FPE}$  ピンがある場合は個々に RC 回路の取付けを推奨します。

図 43  $V_{FPE}$  のコンディショニング回路

---

## 第 12 章

# HD フラッシュ EEPROM

### (MC68HC916Y6)

---

電氣的消去可能プログラマブル読取り専用フラッシュ・メモリ (HD フラッシュ EEPROM) モジュールは、160K バイトの不揮発性高速アクセス・メモリとして動作します。

オペレーティング・システムのカーネルや標準サブルーチンなど、高速で実行する必要のあるプログラム・コードや頻繁に実行されるコードに使用できます。

HD フラッシュ EEPROM は、頻繁に読み出されるスタティック・データに使用したり、システム・リセット用のブートストラップ・ベクタを提供するように設定することもできます。

MC68HC916Y6 は、この他に 4K バイトの TPU-FLASH EEPROM も搭載しています。この内容については第 13 章「TPU フラッシュ EEPROM」を参照してください。

## 12.1 概 要

HD フラッシュ EEPROM モジュールは、MCU アドレス空間で決まった位置を占有する 3 つの 64 バイト・コントロール・レジスタ・ブロックと (2 つの 64K バイト + 1 つの 32K バイト) ・HD フラッシュ EEPROM アレイで構成されています。64K バイト・HD フラッシュ EEPROM アレイは、任意の均等な 64K バイト境界にマップ可能です。32K バイト・HD フラッシュ EEPROM アレイは、任意の均等な 32K バイト境界にマップ可能です。これらのアレイは、プログラム空間とデータ空間の両方、あるいはプログラム空間だけに常駐するように構成できます。

HD フラッシュ EEPROM アレイは、バイト、ワード、またはロング・ワードとして読み出すことができます。モジュールは連続して 1MB アクセスに応答し、アラインド・ロング・ワードへの 2 バス・サイクル (4 システム・クロック) でアクセスを可能にします。また、各アクセスにウェイト・ステートを挿入するようにプログラムできるため、システムのタイミングを変更せずに、低速の外部開発メモリからの移行が可能です。

シャドウ・ビットをもつ個々のコントロール・レジスタ・ビットとアレイの両方を、ソフトウェア制御によりプログラムおよび消去可能です。プログラム / 消去電圧は、外部  $V_{FPE}$  ピンを通して供給しなければなりません。プログラミングは、バイトまたはアラインド・ワードでのみ行なわれます。このモジュールは 16K ブロックごとのブロック消去機能をサポートしています。ハードウェア・インタロックは、HD フラッシュ EEPROM アレイへのプログラム / 消去電圧が偶発的にイネーブルされた場合に、ストアされているデータが破壊されないよう保護します。

この MCU は、複数の HD フラッシュ EEPROM モジュールで構成しているためにリセット・ベクタも複数用意されることとなりますが、マッピングの重複を禁止しているため、リセット・ベクタのソースは、1 つにしなければなりません。

表 146 HD フラッシュ EEPROM1 レジスタ・ブロックのアドレス・マップ (64K バイト・モジュール)

ADDRESS	15	8	7	0
\$YFF780	HD FLASH EEPROM MODULE CONFIGURATION REGISTER (HDF1MCR)			
\$YFF782	HD FLASH EEPROM TEST REGISTER (HDF1TST)			
\$YFF784	HD FLASH EEPROM BASE ADDRESS HIGH REGISTER (HDF1BAH)			
\$YFF786	HD FLASH EEPROM BASE ADDRESS LOW REGISTER (HDF1BAL)			
\$YFF788	HD FLASH EEPROM CONTROL REGISTER (HDF1CTL)			
\$YFF78A	RESERVED			
\$YFF78C	RESERVED			
\$YFF78E	RESERVED			
\$YFF790	HD FLASH EEPROM BOOTSTRAP WORD 0 (HDF1BS0)			
\$YFF792	HD FLASH EEPROM BOOTSTRAP WORD 1 (HDF1BS1)			
\$YFF794	HD FLASH EEPROM BOOTSTRAP WORD 2 (HDF1BS2)			
\$YFF796	HD FLASH EEPROM BOOTSTRAP WORD 3 (HDF1BS3)			
\$YFF798	RESERVED			
\$YFF79A	RESERVED			
\$YFF79C	RESERVED			
\$YFF79E	RESERVED			
\$YFF7A0	RESERVED			
\$YFF7A2	RESERVED			
\$YFF7A4	RESERVED			
\$YFF7A6	RESERVED			
\$YFF7A8	RESERVED			
\$YFF7AA	RESERVED			
\$YFF7AC	RESERVED			
\$YFF7AE	RESERVED			
\$YFF7B0	RESERVED			
\$YFF7B2	RESERVED			
\$YFF7B4	RESERVED			
\$YFF7B6	RESERVED			
\$YFF7B8	RESERVED			
\$YFF7BA	RESERVED			
\$YFF7BC	RESERVED			
\$YFF7BE	RESERVED			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態を示します。

表 147 HD フラッシュ EEPROM2 レジスタ・ブロックのアドレス・マップ (64K バイト・モジュール)

ADDRESS	15	8	7	0
\$YFF7C0	HD FLASH EEPROM MODULE CONFIGURATION REGISTER (HDF2MCR)			
\$YFF7C2	HD FLASH EEPROM TEST REGISTER (HDF2TST)			
\$YFF7C4	HD FLASH EEPROM BASE ADDRESS HIGH REGISTER (HDF2BAH)			
\$YFF7C6	HD FLASH EEPROM BASE ADDRESS LOW REGISTER (HDF2BAL)			
\$YFF7C8	HD FLASH EEPROM CONTROL REGISTER (HDF2CTL)			
\$YFF7CA	RESERVED			
\$YFF7CC	RESERVED			
\$YFF7CE	RESERVED			
\$YFF7D0	HD FLASH EEPROM BOOTSTRAP WORD 0 (HDF2BS0)			
\$YFF7D2	HD FLASH EEPROM BOOTSTRAP WORD 1 (HDF2BS1)			
\$YFF7D4	HD FLASH EEPROM BOOTSTRAP WORD 2 (HDF2BS2)			
\$YFF7D6	HD FLASH EEPROM BOOTSTRAP WORD 3 (HDF2BS3)			
\$YFF7D8	RESERVED			
\$YFF7DA	RESERVED			
\$YFF7DC	RESERVED			
\$YFF7DE	RESERVED			
\$YFF7E0	RESERVED			
\$YFF7E2	RESERVED			
\$YFF7E4	RESERVED			
\$YFF7E6	RESERVED			
\$YFF7E8	RESERVED			
\$YFF7EA	RESERVED			
\$YFF7EC	RESERVED			
\$YFF7EE	RESERVED			
\$YFF7F0	RESERVED			
\$YFF7F2	RESERVED			
\$YFF7F4	RESERVED			
\$YFF7F6	RESERVED			
\$YFF7F8	RESERVED			
\$YFF7FA	RESERVED			
\$YFF7FC	RESERVED			
\$YFF7FE	RESERVED			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態を示します。

表 148 HD フラッシュ EEPROM3 レジスタ・ブロックのアドレス・マップ (32K バイト・モジュール)

ADDRESS	15	8	7	0
\$YFF800	HD FLASH EEPROM MODULE CONFIGURATION REGISTER (HDF3MCR)			
\$YFF802	HD FLASH EEPROM TEST REGISTER (HDF3TST)			
\$YFF804	HD FLASH EEPROM BASE ADDRESS HIGH REGISTER (HDF3BAH)			
\$YFF806	HD FLASH EEPROM BASE ADDRESS LOW REGISTER (HDF3BAL)			
\$YFF808	HD FLASH EEPROM CONTROL REGISTER (HDF3CTL)			
\$YFF80A	RESERVED			
\$YFF80C	RESERVED			
\$YFF80E	RESERVED			
\$YFF810	HD FLASH EEPROM BOOTSTRAP WORD 0 (HDF3BS0)			
\$YFF812	HD FLASH EEPROM BOOTSTRAP WORD 1 (HDF3BS1)			
\$YFF814	HD FLASH EEPROM BOOTSTRAP WORD 2 (HDF3BS2)			
\$YFF816	HD FLASH EEPROM BOOTSTRAP WORD 3 (HDF3BS3)			
\$YFF818	RESERVED			
\$YFF81A	RESERVED			
\$YFF81C	RESERVED			
\$YFF81E	RESERVED			
\$YFF820	RESERVED			
\$YFF822	RESERVED			
\$YFF824	RESERVED			
\$YFF826	RESERVED			
\$YFF828	RESERVED			
\$YFF82A	RESERVED			
\$YFF82C	RESERVED			
\$YFF82E	RESERVED			
\$YFF830	RESERVED			
\$YFF832	RESERVED			
\$YFF834	RESERVED			
\$YFF836	RESERVED			
\$YFF838	RESERVED			
\$YFF83A	RESERVED			
\$YFF83C	RESERVED			
\$YFF83E	RESERVED			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態を示します。

## 12.2 HD フラッシュ EEPROM コントロール・ブロック

各 HD フラッシュ EEPROM コントロール・ブロックには、モジュール・コンフィギュレーション・レジスタ (HDFMCR)、テスト・レジスタ (HDF3TST)、2 個のアレイ・ベース・アドレス・レジスタ (HDFBAH と HDFBAL)、コントロール・レジスタ (HDF3CTL) の 5 個のレジスタが含まれています。また、コントロール・ブロックの 4 つの追加ワードには、HD フラッシュ EEPROM をブートストラップ・メモリとして使用するときのブートストラップ情報を収めることができます。

コントロール・ブロック内のレジスタには、予備 HD フラッシュ EEPROM 行に物理的に配置されている関連のシャドウ・レジスタを持つものがあります。リセットの間、レジスタ内のフィールドには、



シャドウ・レジスタからデフォルトのリセット情報がロードされます。シャドウ・レジスタは、対応するコントロール・レジスタのアドレスを使用して、HD フラッシュ EEPROM アレイのロケーションと同じ方法でプログラムまたは消去されます。シャドウ・レジスタにプログラムしても、対応するコントロール・レジスタにはデータは書き込まれません。新しいデータは、次のリセットまでコントロール・レジスタにはコピーされません。

HD フラッシュ EEPROM のコントロール・ブロックによるコンフィギュレーション情報はアレイとは別個に置かれ、書き込みにより HD フラッシュ EEPROM の動作を制御します。リセット後に、書き込み可能なビットをもつコントロール・ブロック内のレジスタを変更することができます。これらのレジスタに書き込んで、関連のシャドウ・レジスタには影響を与えません。一部のレジスタは、HDFMCR の LOCK ビットがディセーブルされているとき、あるいは HDFMCR の STOP ビットがセットされているときにしか書き込めません。これらの制限は個々のレジスタの説明に記載されています。

## 12.3 HD フラッシュ EEPROM アレイ

ベース・アドレス・レジスタは、HD フラッシュ EEPROM アレイのベース・アドレスを指定します。デフォルトのリセット・ベース・アドレスを、ベース・アドレス・シャドウ・レジスタに書き込むことができます。アレイ・ベース・アドレスは、64K バイト・アレイの場合は 64K バイト境界に、32K バイト・アレイの場合は 32K バイト境界になければなりません。ADDR[23:20] は ADDR19 と同じ論理状態にドライブされるため、CPU16 は \$080000 ~ \$F7FFFF の範囲のアドレスにはアクセスできません。HD フラッシュ EEPROM アレイがこれらのアドレスにマップされた場合、HD フラッシュを再マップしないと、このアレイにはアクセスできません。

モジュールの専用アレイが自身のコントロール・レジスタ以外のレジスタにオーバーラップするようなベース・アドレス値は使わないでください。アレイの一部が自身のレジスタ・ブロックにオーバーラップする場合、これらのレジスタはアクセス可能ですが、アレイのオーバーラップ部分へのアクセスは無視されます。ただし、アレイが他のモジュールのコントロール・ブロックにオーバーラップする場合は、オーバーラップしているレジスタを読み出すと結果は不定になります。

## 12.4 HD フラッシュ EEPROM レジスタ

以下のレジスタ図で、リセット状態を示す SB という表記は、各コントロール・ビットがリセット時に関連のシャドウ・ビットの値をとることを示します。

HDF1MCR—HD フラッシュ EEPROM モジュール・コンフィギュレーション・レジスタ															\$YFF780
HDF2MCR—HD フラッシュ EEPROM モジュール・コンフィギュレーション・レジスタ															\$YFF7C0
HDF3MCR—HD フラッシュ EEPROM モジュール・コンフィギュレーション・レジスタ															\$YFF800
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP	FRZ	0	BOOT	LOCK	EMUL	ASPC		WAIT		NOT USED					
RESET:															
SB	0	0	SB	SB	0	SB	SB	SB	SB	0	0	0	0	0	0

このシャドウ・レジスタの消去後のデータは \$FFFF となります。

### STOP— ストップ

0 = 通常の HD フラッシュ EEPROM アレイ動作。

1 = HD フラッシュ EEPROM をディセーブルする。

STOP のリセット状態は、リセット中の DATA14 論理状態の反転値と STOP シャドウ・ビットとの論理和をとったものです。STOP がセットされていなければ、HD フラッシュ EEPROM アレイ・ベース・アドレスを変更することはできません。

### FRZ— フリーズ・モード制御

0 = FREEZE 信号のアサート中に、プログラム / 消去電圧をディセーブルする。

1 = FREEZE 信号のアサート中に、EHV ビットでプログラム / 消去電圧を印加可能にする。

**BOOT— ブート ROM 制御**

- 0 = リセット後に、CPU16 は HD フラッシュ EEPROM のブートストラップ・ワード・アドレスにアクセスする。
- 1 = リセット後に、CPU16 は HD フラッシュ EEPROM のブートストラップ・ワード・アドレスにアクセスできない。

BOOT のリセット状態はユーザが指定します。STOP = 1 の場合、ブートストラップ機能は無効です。

**LOCK— ロック・レジスタ**

- 0 = ライト・ロック・ディセーブル。保護されているレジスタおよびフィールドに書き込むことができる。
- 1 = ライト・ロック・イネーブル。保護されているレジスタおよびフィールドに書き込むことはできない。

LOCK のリセット状態はユーザが指定します。LOCK のデフォルト・リセット状態がゼロの場合は、初期設定後にレジスタを保護できるように、マスタ・リセットの後に 1 回だけセットすることができます。LOCK は、ASPC および WAIT フィールド、HDFBAL および HDFBAH レジスタも保護します。ASPC、HDFBAL、および HDFBAH も STOP ビットによって保護されます。

**EMUL— エミュレーション・ステータス・ビット**

現在このビットは使用できません。

**ASPC—HD フラッシュ EEPROM アレイ空間**

MCU はスーパーバイザ・モードでしか動作しないため、ASPC フィールドでアクセスがプログラム空間だけに限定されるか、あるいはプログラム空間とデータ空間の両方に行なわれるかを決定します。

ASPC のリセット状態はユーザが指定します。

表 149 ASPC のエンコーディング

ASPC[1:0]	指定されたステート
X0	Program and data access
X1	Program access only

**WAIT— ウェイト・ステート・フィールド**

WAIT は、HD フラッシュ EEPROM アレイへのアクセス中に FLASH EEPROM MODULE によって挿入されるウェイト・ステート数を指定します。また、内部 DTACK の生成前に挿入されるウェイト・ステート数を制御することによって、ユーザが特定のアプリケーションでバス速度を最適化することもできます。各ウェイト・ステートの長さは 1 システム・クロック・サイクルです。これによってユーザは、システムのタイミングを調整することなく、低速なエミュレーションまたは開発システム・メモリから EEPROM アレイにコードを移行することができます。WAIT のリセット状態はユーザが指定します。ノー・ウェイトのエンコーディング (%00) は、3 クロック・サイクル・バスに対応しています。高速終了エンコーディング (%11) は、2 クロック・サイクル・バスに対応しています。マイクロコントローラ・モジュールは、通常この速度で応答しますが、高速終了を使用して高速外部メモリにアクセスすることも可能です。

表 150 WAIT のエンコーディング

WAIT[1:0]	転送サイクル
00	3
01	4
10	5
11	2

HDF1TST—HD フラッシュ EEPROM テスト・レジスタ \$YFF782  
HDF2TST—HD フラッシュ EEPROM テスト・レジスタ \$YFF7C2  
HDF3TST—HD フラッシュ EEPROM テスト・レジスタ \$YFF802

このレジスタは工場テスト専用です。

HDF1BAH—HD フラッシュ EEPROM ベース・アドレス上位レジスタ \$YFF784  
HDF2BAH—HD フラッシュ EEPROM ベース・アドレス上位レジスタ \$YFF7C4  
HDF3BAH—HD フラッシュ EEPROM ベース・アドレス上位レジスタ \$YFF804

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								ADDR 23	ADDR 22	ADDR 21	ADDR 20	ADDR 19	ADDR 18	ADDR 17	ADDR 16

RESET:

SB SB SB SB SB SB SB SB

このシャドウ・レジスタの消去後のデータは \$FFFF となります。

HDFBAH には、HD フラッシュ EEPROM アレイ・ベース・アドレスの上位 16 ビットがあります。リセット時に、HDFBAH には関連のシャドウ・レジスタに書き込まれているデータが自動的にコピーされます。HDFBAH のデフォルト値は必ず関連のシャドウ・レジスタのデータとなります。リセット後に、LOCK = 0 および STOP = 1 の場合、ソフトウェアは HDFBAH と HDFBAL に書き込んで、HD フラッシュ EEPROM アレイを再配置することができます。ADDR[23:20] は ADDR19 と同じ論理状態にドライブされるため、CPU16 は \$080000 ~ \$F7FFFF の範囲のアドレスにはアクセスできません。HD フラッシュ EEPROM アレイがこれらのアドレスにマップされた場合、システムをリセットしてからでないと、アレイにアクセスすることはできません。

HDF1BAL—HD フラッシュ EEPROM ベース・アドレス下位レジスタ \$YFF786  
HDF2BAL—HD フラッシュ EEPROM ベース・アドレス下位レジスタ \$YFF7C6

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

このシャドウ・レジスタの消去後のデータは \$FFFF となります。

任意の均等な 64K バイト境界にマップとなるため、HD フラッシュ EEPROM アレイ・ベース・アドレスの下位 16 ビットは使用されません。

HDF3BAL—HD フラッシュ EEPROM ベース・アドレス下位レジスタ \$YFF806

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR 15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET:

SB 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

このシャドウ・レジスタの消去後のデータは \$FFFF となります。

任意の均等な 32K バイト境界にマップとなるため、HD フラッシュ EEPROM アレイ・ベース・アドレスの下位 15 ビットは使用されません。

HDF1CTL—HD フラッシュ EEPROM コントロール・レジスタ

\$YFF788

HDF2CTL—HD フラッシュ EEPROM コントロール・レジスタ

\$YFF7C8

HDF3CTL—HD フラッシュ EEPROM コントロール・レジスタ

\$YFF808

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	VPE	PE	LAT	EHV

RESET:

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

HDFCTL には HD フラッシュ EEPROM のプログラミングと消去の制御に必要なビットが含まれています。このレジスタはスーパバイザ・モードでしかアクセスできません。

## VPE— プログラム / 消去の検証

0 = 通常のリード・サイクル

1 = プログラム検証回路起動する。

このビットは特別なプログラム検証回路を起動します。LAT (ビット 1) と本ビットをセットしてフラッシュ上のロケーションを読み出すと、ラッチされたデータの反転値と実アレイ上のデータの論理積を読み出します。

なお、VPE ビットをセットしてデータを読み出すとしきい値が上がる (厳しい方向へずらされる) ので、他のフラッシュ・モジュールとセル特性の互換性を保つために VPE = 0 で使用されることを推奨します。

以下に LAT をセット時における VPE および PE の設定により読み出される値を示します。

表 151 検証回路起動時のフラッシュ読出し値

ラッチ中のデータ		0	0	1	1
現在のセル状態		0	1	0	1
VPE	PE				
0	0	0	1	0	1
0	1	0	1	0	1
1	0	0	1	0	0
1	1	0	1	0	1

注: VPE = 1、PE = 0 の場合はアレイがプログラム状態 (0) でラッチ中のデータが 1 の場合ベリファイできない (ラッチとセルの値が一致していないが、読出し結果が 0 になってしまう) ため注意が必要です。ただし、消去してからプログラムすることを守れば本状態になることはありません。

## PE— 消去制御

0 = HD フラッシュ EEPROM をプログラミングに設定する。

1 = HD フラッシュ EEPROM を消去に設定する。

PE をアサートすると、アレイのロケーションと、コントロール・ブロックのシャドウ・ビットが消去に設定されます。

LAT ビットがセットされているときには、PE はさらに読出しによってアドレス指定されたロケーション (PE = 1) またはプログラム中のロケーション (PE = 0) のいずれの値を返すかも決定します。プログラム / 消去電圧を印加 (EHV = 1) している場合、PE の値を変更することはできません。なお、本フラッシュ・メモリは消去時のブロック選択をすることが可能です。

表 152 消去時のブロック選択 (64KB ブロック)

選択ブロック	開始アドレス	LAT ビットをセット後の書込みデータ								
		D8	D7	D6	D5	D4	D3	D2	D1	D0
BLOCK #0 (16KB)	Base_Address*	X	X	X	X	X	X	X	X	1
BLOCK #1 (16KB)	Base_Address+\$4000	X	X	X	X	X	X	X	1	X
BLOCK #2 (16KB)	Base_Address+\$8000	X	X	X	X	X	X	1	X	X
BLOCK #3 (16KB)	Base_Address+\$C000	X	X	X	X	X	1	X	X	X
Shadow Registers		1	X	X	X	X	X	X	X	X

注：\*の Base\_Address は HDFBAH および HDFBAL で定義したフラッシュ・アレイの  
スタート・アドレスを意味します。

#### LAT— ラッチ制御

- 0 = プログラミング・ラッチをディセーブルする。
- 1 = プログラミング・ラッチをイネーブルする。

LAT がクリアされると、HD フラッシュ EEPROM アドレスとデータ・バスが IMB のアドレス・バスとデータ・バスに接続され、HD フラッシュ EEPROM は通常の読出しに設定されます。LAT がセットされているとき、HD フラッシュ EEPROM アドレスとデータ・バスはパラレル内部ラッチに接続され、HD フラッシュ EEPROM アレイはプログラミングまたは消去に設定されます。

LAT をセットした直後、HD フラッシュ EEPROM モジュール内の有効なアドレスへの書込みを行うと書込みアドレスとデータの両方がラッチされます。プログラミングに設定されている場合 (PE = 0) ラッチされたアドレスに対してラッチされたデータがプログラムされます。消去に設定されている場合 (PE = 1) ラッチされたアドレスが HD フラッシュ EEPROM の有効なアドレスであれば指定されたブロックの消去が行われます。消去ブロックの指定はラッチさせるデータで行います。

プログラム / 消去電圧を印加しているとき (EHV = 1) LAT の値は変更できません。

#### EHV— プログラミング / 消去イネーブル

- 0 = プログラム / 消去電圧をディセーブルする。
- 1 = プログラム / 消去電圧を印加する。

EHV は LAT がセットされ、データおよびアドレス・ラッチへの書込みが行なわれた後でしかセットできません。これらの条件が満足されなかった場合、EHV はクリアされたままです。EHV がセットされている間、LAT、VPE、および PE ビットは変更できず、HD フラッシュ EEPROM モジュールの HD フラッシュ EEPROM アレイ・ロケーションを読み出そうとしても無視されます。

HDF1BS[0:3]	—HD	フラッシュ	EEPROM	ブートストラップ・ワード											\$YFF790-\$YFF796	
HDF2BS[0:3]	—HD	フラッシュ	EEPROM	ブートストラップ・ワード											\$YFF7D0-\$YFF7D6	
HDF3BS[0:3]	—HD	フラッシュ	EEPROM	ブートストラップ・ワード											\$YFF810-\$YFF816	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

BOOTSTRAP VECTOR

RESET:

PROGRAMMED VALUE

このレジスタの消去後のデータは \$FFFF となります。

これらのワードはシステム・ブートストラップ・ベクタとして使用することができます。リセット時に HDFMCR の STOP=0 かつ BOOT ビット = 0 のときは、HD フラッシュ EEPROM モジュールの HDFBS[0:3] が、リセット・ベクタの \$000000 ~ \$000006 に対して応答します。この応答は 1 回目のアクセスのみで、2 回目以降の \$000000 ~ \$000006 へのアクセスはアレイが対応します。STOP=0 かつ BOOT = 1 のときには、リセット・ベクタに対して HD フラッシュ EEPROM モジュールのアレイが応答します。HDFBS[0:3] は、HDFMCR で STOP = 0 の場合はいつでも読み出すことができますが、ワード内の値は適切なロケーションをプログラムしないと変更できません。

## 12.5 HD フラッシュ EEPROM の動作

以下に、モジュールをシステム・ブートストラップ、通常動作、およびアレイ・プログラミング / 消去に使用した HD フラッシュ EEPROM モジュールのリセットについて説明します。

### 12.5.1 リセット動作

リセットによって、すべての HD フラッシュ EEPROM のコントロール・レジスタが初期設定されます。このレジスタのビットには、固定デフォルト値または関連の HD フラッシュ EEPROM シャドウ・レジスタにプログラムされた値が設定されます。

STOP シャドウ・ビットの状態がゼロの場合、HDFMCR の STOP ビットはリセット中にクリアされ、モジュールは HDFBAH および HDFBAL で指定される範囲のアクセスに応答します。BOOT ビットがクリアされると、モジュールはブートストラップ・ベクタ・アクセスにも応答します。

STOP シャドウ・ビットの状態が 1 のときには、リセット時に HDFMCR の STOP ビットがセットされ、HD フラッシュ EEPROM アレイがディセーブルされます。モジュールは、STOP ビットがクリアされるま

で、アレイまたはブートストラップ・ベクタ・アクセスには応答しません。これによって、外部デバイスは HD フラッシュ EEPROM アレイ・アドレス空間へのシャドウ・ビット・アクセスあるいはブートストラップ・アクセスに応答することができます。シャドウ・ビットの消去状態は 1 です。消去されたモジュールは、リセット解除後は STOP モードになります。

## 12.5.2 ブートストラップ動作

CPU16 は、プログラム空間内のアドレス \$000000 ~ \$000006 に配置されている内部レジスタの初期値をフェッチすることによって、ブートストラップ動作を開始します。これらは例外ベクタ・テーブル内のブートストラップ・ベクタのアドレスです。リセット時に HDFMCR の STOP=0 かつ BOOT=0 の時、HD フラッシュ EEPROM モジュールは、ブートストラップ・ベクタ・アクセスに応答するように設定されます。ベクタ割当ては次のとおりです。

表 153 ブートストラップのマッピング

EEPROM ブートストラップ ワード	ベクタ・アドレス	MCU リセット・ベクタの内容
HDFBS0	\$000000	Initial ZK, SK, and PK <sup>1</sup>
HDFBS1	\$000002	Initial PC
HDFBS2	\$000004	Reset-Initial SP
HDFBS3	\$000006	Initial IZ

注：1. ビット [15:12]= 予約、ビット [11:8]=ZK 初期値、ビット [7:4]=SK 初期値、  
ビット [3:0]=PK 初期値

アドレス \$000006 が読み出されると、HD フラッシュ EEPROM 動作は通常動作に復帰し、モジュールはブートストラップ・ベクタ・アクセスには応答しなくなります。

## 12.5.3 通常動作

HD フラッシュ EEPROM モジュールは、2 システム・クロックでバイトまたはアラインド・ワード・アクセスを実行し、連続実行される 1MB アクセスに応答してアラインド・ロング・ワード・アクセスまたはミスアラインド・ワード操作のために 4 システム・クロックを供給できます。ミスアラインド・ロング・ワードのための 3 バス・サイクル・アクセスは、32 ビット処理が可能な CPU に対するものです。

モジュールはファンクション・コードをチェックして、アドレス空間アクセス・タイプを確認します。アレイ・アクセスは FFEMCR の ASPC の状態によって定義されます。HD フラッシュ EEPROM モジュールを通常動作に設定したときには、アレイはリード・アクセスにしか応答しません。書込み操作は無視されます。

## 12.5.4 プログラム / 消去動作

プログラムされていない HD フラッシュ EEPROM ビットは論理 1 の状態になっています。ビットは状態を 1 から 0 に変更するようにプログラムしなければなりません。ビットを消去すると 1 の状態に戻ります。HD フラッシュ EEPROM をプログラム / 消去するには、一連のコントロール・レジスタへの書込みとプログラミング・ラッチへの書込みが必要です。同じ手順を使用して、シャドウ・レジスタをプログラムします。同時にプログラミングできるのは、1 バイトまたは 1 アラインド・ワードだけです。

注：アレイをプログラムするには、 $V_{FPE}$  ピンにプログラミング電圧を印加しなければなりません。印加する電圧は必ず 12.6  $V_{FPE}$  ( $V_{DD} - 0.35V$ ) の範囲内になければなりません。この範囲を超えると、HD フラッシュ EEPROM モジュールが損傷するおそれがあります。

### 12.5.4.1 プログラミング・シーケンス

HD フラッシュ EEPROM アレイをプログラムするには、以下の手順を実行します。図 44 はプログラミング動作のフローチャートです。

1.  $V_{FPE}$  ピンに印加する電圧をプログラム / 消去 / 検証レベルに上げます。
2. ソフトウェア上のパラメータである NPP カウンタをクリアし、マージン・フラグをクリアします。この NPP カウンタはプログラムの回数 ( 最大 50 回 ) を確認するために使います。マージン・フラグはプログラムできたデータに対して再度プログラムする是非のために使われるフラグです。
3. HDFCTL の PE ビットをクリアし、LAT ビットをセットします。これによってアドレス・ラッチとデータ・ラッチのプログラムが可能です。またこのステップにおいて必要があれば VPE も同時にセットし、プログラム検証回路を起動することができます。
4. プログラムするアドレスにデータを書き込みます。これによってモジュールはプログラムに設定されます。
5. HDFCTL の EHV ビットをセットすることにより HD フラッシュへの書込みをスタートします。その書込み時間確認するために、プログラム・パルスを開始します。
6. プログラミング・パルスが 1 つ発生する時間だけ遅らせます。遅延はパラメータ PWPP で指定されます。
7. HDFCTL の EHV ビットをクリアします。これによって、プログラム・パルスが停止し、アレイ内部への高電圧供給を停止します。
8. アレイへの高電圧が定常電圧まで低下するのを待ちます。この待ち時間 ( 遅延時間 ) はパラメータ TPR によって指定されます。
9. マージン・フラグがまだセットされていない場合、NPP カウンタを増加し、プログラム・ロケーションを読み出してプログラムされているか検証します。VPE ビットがセットされている場合、正しくプログラムされると 0 が読み出されます。

プログラムされた場合は、マージン・フラグをセットし、ステップ 5 の "EHV をセット" へ行きます。

プログラムされていない場合は、NPP カウンタ値が最大プログラム・パルス数 NPPMAX ( 50 回 ) に到達していなければステップ 5 の "EHV をセット" へ行きます。

NPP=NPPMAX ( 50 回 ) に到達した場合、プログラムが失敗となります。停止手続きのために HDFCTL の LAT ビットをクリアし、 $V_{FPE}$  ピンに印加されているプログラム電圧を通常の読出しレベル (VDD レベル) まで下げます。プログラム・シーケンスを終了します。

マージン・フラグがセットされている場合、NPP カウンタ値を 1 減少させ、NPP=0 になるまでステップ 5 の "EHV をセット" からこのステップの "NPP カウンタを減少" を繰り返します。これによって 100% のプログラム・マージンを与えます。

この後、再びプログラム・ロケーションを読み出して検証します。

プログラムされていない場合、プログラムが失敗となります。停止手続きのために HDFCTL の LAT ビットをクリアし、 $V_{FPE}$  ピンに印加されているプログラム電圧を通常の読出しレベル (VDD レベル) まで下げます。プログラム・シーケンスを終了します。

プログラムされている場合、HDFCTL の LAT ビットをクリアしてステップ 10 の "すべて書込み終了?" へ行きます。

10. すべて書込みが終了していなければ、次のロケーションをプログラムするために、そのアドレスを設定し、フローの "NPP カウンタをクリア / マージン・フラグをクリア" から再び繰り返します。

すべて書込みが終了していれば、書込みが正常に終了したことになります。終了手続きとして  $V_{FPE}$  ピンに印加されている電圧を通常の読出しレベルにまで下げて、正常終了となります。

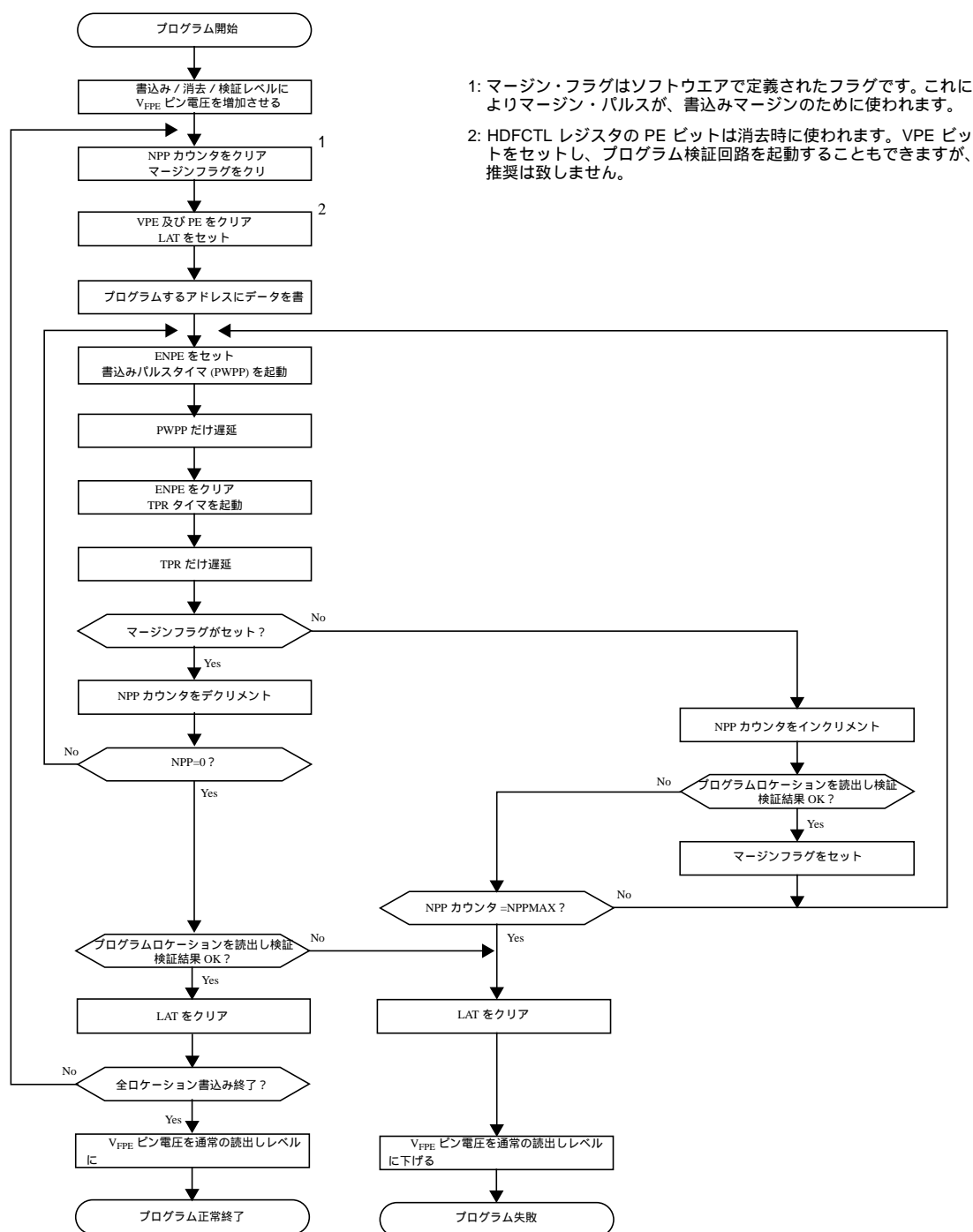


図 44 HD フラッシュ・プログラムのフローチャート (表 180 参照)



## 12.5.4.2 消去動作

HD フラッシュ EEPROM アレイを消去するには、以下の手順を実行します。図 45 は消去動作のフローチャートです。

1.  $V_{FPE}$  ピンに印加する電圧をプログラム / 消去 / 検証レベルに上げます。
2. ソフトウェア上のパラメータである消去パルスカウンタ NEP を 1 にセット、マージン・フラグをクリアします。
3. HDFCTL の VPE ビットをクリアし、PE ビットと LAT ビットをセットします。これによって、FLASH モジュールは消去モードに設定されます。
4. アレイまたはコントロール・ブロック (シャドウ) の任意の有効アドレスに書込みを実行します。書込むアドレスにより消去ブロックを選択します。
5. HDFCTL の EHV ビットをセットします。これによってアレイまたはシャドウに消去電圧を印加します。
6. 1個の消去パルスに相応した時間だけ遅延します。遅延はパラメータTEPKによって指定されます。
7. HDFCTL の EHV ビットをクリアします。これによってアレイまたはシャドウのアレイ内部への高電圧供給を停止します。
8. アレイまたはシャドウへの高電圧が定常電圧まで低下するのを待ちます。この待ち時間 (遅延時間) はパラメータ TER によって指定されます。
9. マージン・フラグがまだセットされていない場合、アレイ全体とシャドウを読み出してすべてのロケーションが消去されているか検証します (HDFMCR のシャドウの消去値は \$FFFF ですので注意してください)。

すべて消去された場合は、消去マージン EM を計算しマージン・フラグをセットしてステップ 5 の "EHV をセット" へ行きます。

すべて消去されていない場合は、NEP カウンタを 1 増加し、NEP カウンタ値が最大消去パルス数 NEPMAX(5 回) を越えていなければ新しいTEPK値を計算し、ステップ 5 の "EHV をセット" へ行きます。

NEP カウンタ値が NEPMAX(5 回) を越えた場合、消去が失敗となります。停止手続きのために HDFCTL の LAT ビットと PE ビットをクリアし、 $V_{FPE}$  ピンに印加されている消去電圧を通常の読出しレベル (VDD レベル) まで下げます。

マージン・フラグがセットされている場合、HDFCTL の LAT ビットと PE ビットをクリアします。

10. 消去は正常終了となります。終了手続きとして  $V_{FPE}$  ピンに印加されている消去電圧を通常の読出しレベル (VDD レベル) まで下げます。

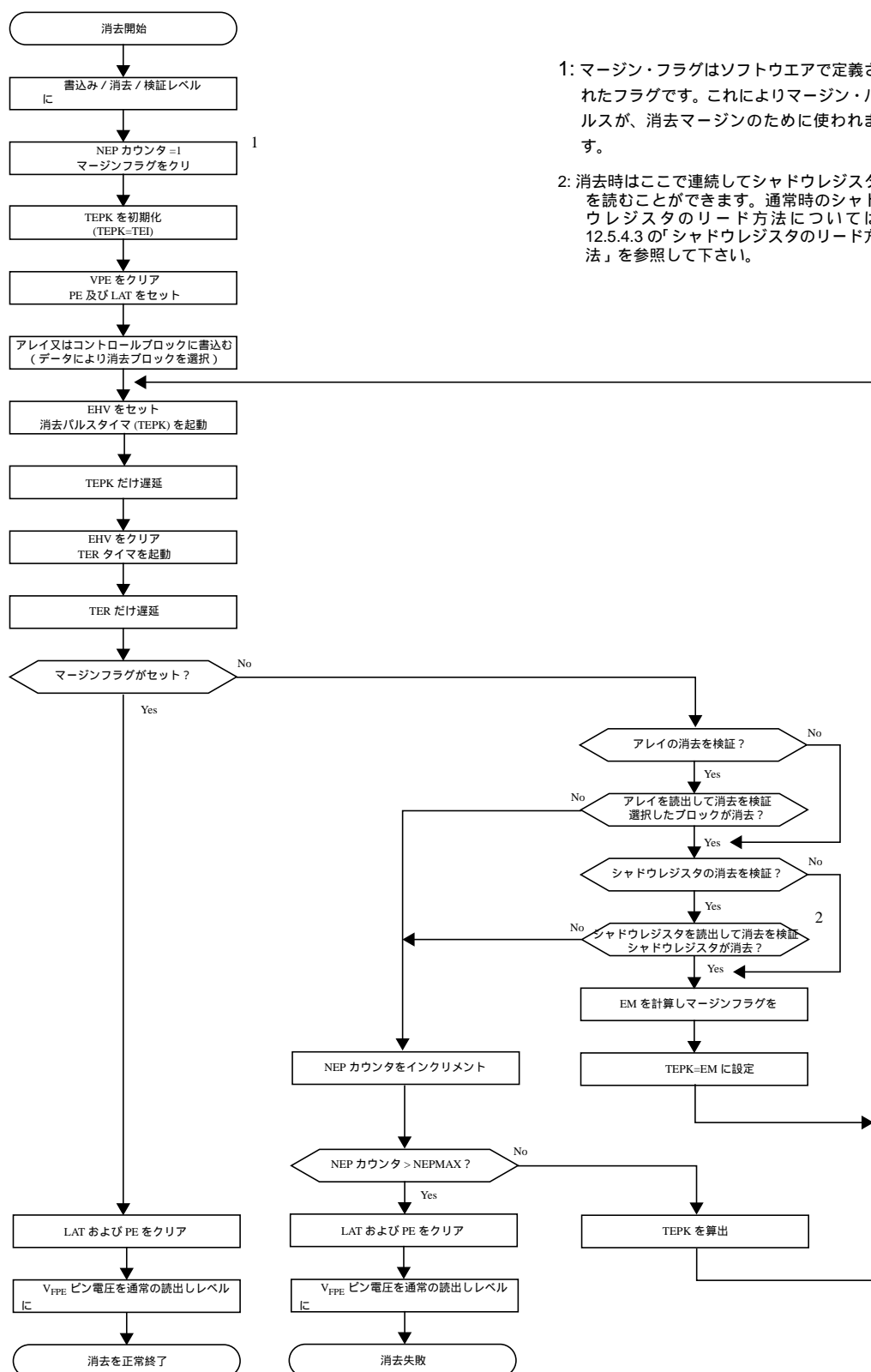


図 45 HD フラッシュ消去のフローチャート (表 180 参照)

### 12.5.4.3 シャドウレジスタのリード方法

MC68HC916 シリーズ用フラッシュ EEPROM モジュール (HD FLASH、FLASH、BE FLASH および TPU FLASH) のシャドウレジスタのデータを通常時 (プログラム時または消去時以外) にリードする必要がある場合は次に示すステップを実行してください。

1. コントロールレジスタ (FEECTL, HDFCTL, TFCTL, BEFCTL) のすべてのビットをクリアします。
2. コントロールレジスタの LAT ビットのみをセットします。
3. リードするシャドウレジスタのアドレスに対して書き込みを行ないます。書き込むデータは何でもかまいません。この操作によりそのアドレスとデータがラッチされます。
4. 書き込みを行なったシャドウ・ロケーションをリードします。読み出されたデータがシャドウレジスタのデータです。
5. LAT ビットをクリアします。これによりフラッシュ EEPROM モジュールは通常動作にもどり、アレイ領域とコントロール・ブロックへのアクセスが可能となります。
6. さらにリードしたいシャドウレジスタがあればステップ 2 から 5 までは繰り返します。

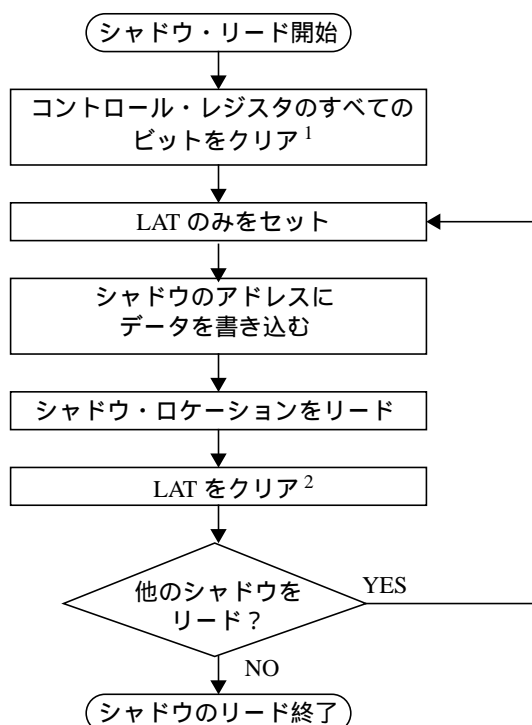


図 46 シャドウ・レジスタの読出し方法

- 注: 1. フラッシュ・モジュールがイネーブル (STOP ビットがクリア) されていることが必要です。
2. LAT をセットした直後に書き込まれたシャドウのアドレスはプログラムラッチ回路に保持され、以後のフラッシュへのリードアクセスはラッチされたシャドウのデータとして読まれます。従って次のシャドウをリードするには一度 LAT をクリアし、再度 LAT をセットしてリードするシャドウのアドレスを書き込む必要があります。

## 12.5.5 HD フラッシュ EEPROM 書込み / 消去電圧信号の条件

$V_{FPE}$  ピンには、最小の  $V_{DD} - 0.35V$  の電圧を常時加えておく必要があります。この条件が満たされないと、FLASH モジュールを損傷することがあります。FLASH モジュールは、 $V_{FPE}$  のパワー・オン時またはパワー・オフ時の過度応答で損傷を受けることがあります。 $V_{DD}$  が規定最小電圧より低い電圧にある間に、 $V_{FPE}$  を書込みレベルまで上げることはできません。また、 $V_{DD}$  が供給されている間に、 $V_{FPE}$  を規定最小電圧より下げることはできません。図 47 に、 $V_{FPE}$  と  $V_{DD}$  の動作波形を示します。

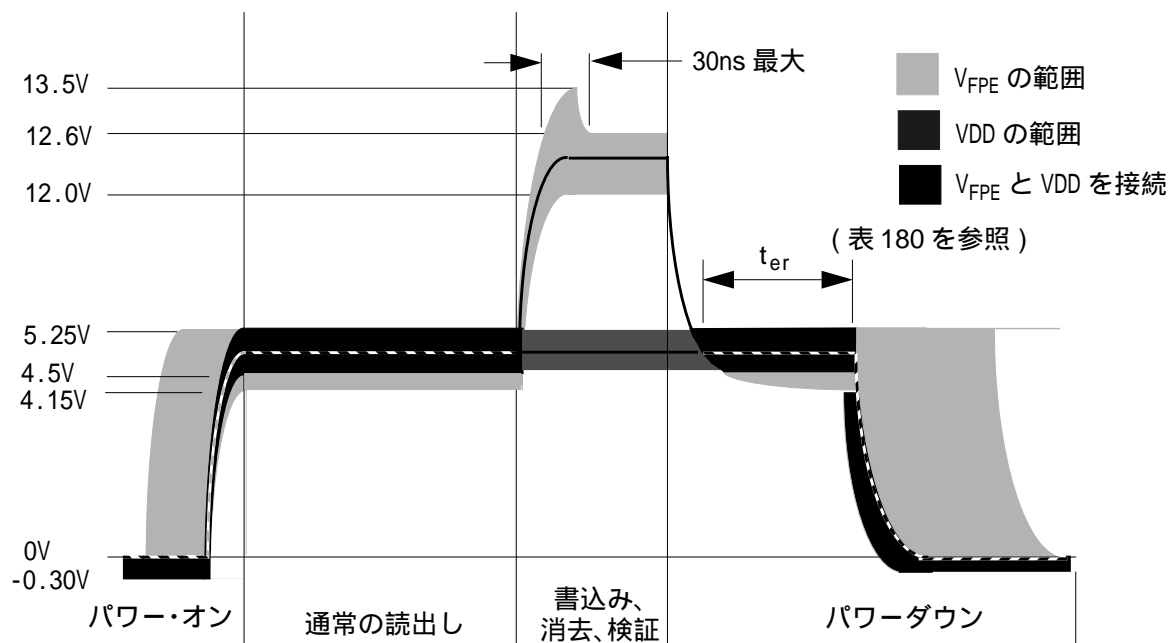


図 47 書込み電圧の波形

外部回路を使用した  $V_{FPE}$  のコンディショニングが推奨されます。図 48 に、必要な電圧を維持して過渡信号をフィルタする単純な回路を示します。 $V_{FPE}$  はショットキ・ダイオード D2 を通して  $V_{DD}$  にプルアップされます。ダイオード D1 を通してプログラミング電圧を印加すると、D2 が逆バイアスされ、過剰な逆電流から  $V_{DD}$  を保護します。D2 はまた、万一プログラミング電圧がゼロになった場合に FLASH が損傷を受けないよう保護します。プログラミング電源電圧を調整して、D1 での順バイアス降下を補償しなければなりません。R1 および C1 の充電時定数で過渡信号をフィルタし、R2 で C1 の放電経路を提供します。

電源の投入・遮断時にこの RC 充・放電時定数を有効に利用できます。この回路を使用するときには、ダイオード電圧降下を小さくするために、 $V_{FPE}$  ピンに接続される外部デバイスからのリーク電流を低く抑えてください。

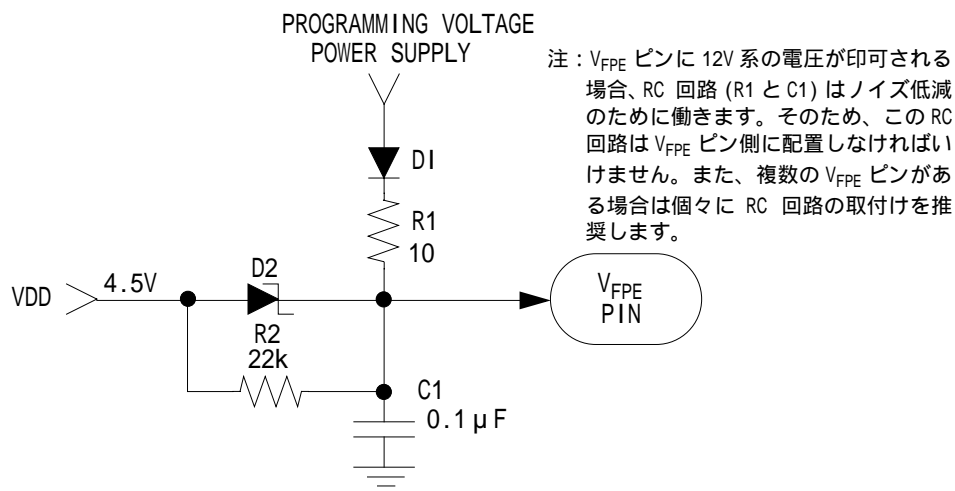


図 48  $V_{FPE}$  のコンディショニング回路

---

## 第 13 章

# TPU フラッシュ EEPROM

---

TPU フラッシュ・メモリ (ブロック消去可能フラッシュ EEPROM) モジュールは、4K バイトの不揮発性高速アクセス・メモリとして動作します。また TPU2 へのプログラム可能な不揮発性マイクロコード保存空間としても使えます。このモジュールは、TPU2 マイクロコードの開発環境 (TPU モード) として 1K ブロック単位で消去できるフラッシュ・モジュールです。TPU2 を CPU のプログラム・アレイ (IMB モード) として使用するとき、TPU フラッシュ・モジュールは TPU マイクロコード保存のエミュレーションには使用できず、一般的なブロック単位で消去可能なフラッシュ EEPROM (BEFLASH) として使用できます。

TPU モードのとき、CPU はアレイのデータを書き込むことも消去することもできません。制御レジスタはリードのみでライトすることはできません。TPU モードに入れるには、TPU2 のエミュレーション・モード・ビットをセットするか、このモジュールの TFMCR レジスタの TPU モード・シャドウ・ビットを 1 にプログラムすることにより可能です。

TPU モードでなければ、オペレーティング・システムのカーネルや標準サブルーチンなど、高速で実行する必要のあるプログラム・コードや頻繁に実行されるコードに使用できます。

TPU フラッシュ EEPROM は、頻繁に読み出されるスタティック・データに使用したり、システム・リセット用のブートストラップ・ベクタを提供するように設定することもできます。

### 13.1 概 要

TPU フラッシュ EEPROM (TPUFLASH EEPROM) モジュールは、MCU アドレス空間で決まった位置を占有する 32 バイト・コントロール・レジスタ・ブロックと 4K バイト TPUFLASH EEPROM アレイで構成されています。4K バイト TPUFLASH EEPROM アレイは、任意の均等な 4K バイト境界にマップ可能です。これらのアレイは、プログラム空間とデータ空間の両方、あるいはプログラム空間だけに常駐するように構成できます。

TPU フラッシュ EEPROM アレイは、バイト、ワード、またはロング・ワードとして読み出すことができます。モジュールは連続して IMB アクセスに応答し、アラインド・ロング・ワードへの 2 バス・サイクル (4 システム・クロック) でアクセスを可能にします。

シャドウ・ビットをもつ個々のコントロール・レジスタ・ビットとアレイの両方を、ソフトウェア制御によりプログラムおよび消去可能です。プログラム / 消去電圧は、外部  $V_{FPE}$  ピンを通して供給しなければなりません。プログラミングは、バイトまたはアラインド・ワードでのみ行なわれます。このモジュールは一括消去およびブロック消去モードをサポートしており、最小プログラム / 消去寿命は 100 サイクルです。ハードウェア・インタロックは、TPU フラッシュ EEPROM アレイへのプログラム / 消去電圧が偶発的にイネーブルされた場合に、ストアされているデータが破壊されないよう保護します。

TPUFLASH アレイは、DATA12 とリセット後の STOP シャドウ・ビットの組合せによって、イネーブル / ディセーブルされます。ただし、シングルチップ・モード選択時は STOP シャドウ・ビットの論理によりのみ TPUFLASH アレイのイネーブル / ディセーブルを制御します。

この MCU は、複数のフラッシュ EEPROM モジュールで構成しているためにリセット・ベクタも複数用意されることとなりますが、マッピングの重複を禁止しているため、リセット・ベクタのソースは、1 つにしなければなりません。

TPU フラッシュ EEPROM モジュールのプログラミング / 消去時は、 $V_{FPE1}$  ピンが使用され、その他フラッシュ EEPROM モジュールの場合は、 $V_{FPE2}$  ピンが使用されることに注意してください。

表 154 TPU フラッシュ EEPROM レジスタ・ブロックのアドレス・マップ

ADDRESS	15	8	7	0
\$YFF860	TPU FLASH EEPROM MODULE CONFIGURATION REGISTER (TFMCR)			
\$YFF862	TPU FLASH EEPROM TEST REGISTER (TFTST)			
\$YFF864	TPU FLASH EEPROM BASE ADDRESS HIGH REGISTER (TFBAH)			
\$YFF866	TPU FLASH EEPROM BASE ADDRESS LOW REGISTER (TFBAL)			
\$YFF868	FLASH EEPROM CONTROL REGISTER (TFCTL)			
\$YFF86A	RESERVED			
\$YFF86C	RESERVED			
\$YFF86E	RESERVED			
\$YFF870	TPU FLASH EEPROM BOOTSTRAP WORD 0 (TFBS0)			
\$YFF872	TPU FLASH EEPROM BOOTSTRAP WORD 1 (TFBS1)			
\$YFF874	TPU FLASH EEPROM BOOTSTRAP WORD 2 (TFBS2)			
\$YFF876	TPU FLASH EEPROM BOOTSTRAP WORD 3 (TFBS3)			
\$YFF878	RESERVED			
\$YFF87A	RESERVED			
\$YFF87C	RESERVED			
\$YFF87E	RESERVED			

Y = M111。ただし、M は SLIMCR のモードマップ (MM) ビットの論理状態を示します。

## 13.2 TPU フラッシュ EEPROM コントロール・ブロック

TPU フラッシュ EEPROM コントロール・ブロックには、モジュール・コンフィギュレーション・レジスタ (TFMCR)、テスト・レジスタ (TFTST)、2 個のアレイ・ベース・アドレス・レジスタ (TFBAH と TFBAL)、コントロール・レジスタ (TFCTL) の 5 個のレジスタが含まれています。また、コントロール・ブロックの 4 つの追加ワードには、TPU フラッシュ EEPROM をブートストラップ・メモリとして使用するときのブートストラップ情報を収めることができます。

コントロール・ブロック内のレジスタには、予備 TPU フラッシュ EEPROM 行に物理的に配置されている関連のシャドウ・レジスタを持つものがあります。リセットの間、レジスタ内のフィールドには、シャドウ・レジスタからデフォルトのリセット情報がロードされます。シャドウ・レジスタは、対応するコントロール・レジスタのアドレスを使用して、TPU フラッシュ EEPROM アレイのロケーションと同じ方法でプログラムまたは消去されます。シャドウ・レジスタにプログラムしても、対応するコントロール・レジスタにはデータは書き込まれません。新しいデータは、次のリセットまでコントロール・レジスタにはコピーされません。シャドウ・レジスタの内容は、TPU フラッシュ EEPROM アレイが消去されるたびに消去されます。

TPU フラッシュ EEPROM のコントロールブロックによるコンフィギュレーション情報はアレイとは別個に置かれ、書込みにより TPU フラッシュ EEPROM の動作を制御します。リセット後に、書込み可能なビットをもつコントロール・ブロック内のレジスタを変更することができます。これらのレジスタに書き込んでも、関連のシャドウ・レジスタには影響を与えません。一部のレジスタは、TFMCR の LOCK ビットがディセーブルされているとき、あるいは TFMCR の STOP ビットがセットされているときにしか書き込めません。これらの制限は個々のレジスタの説明に記載されています。

## 13.3 TPU フラッシュ EEPROM アレイ

ベース・アドレス・レジスタは、TPU フラッシュ EEPROM アレイのベース・アドレスを指定します。デフォルトのリセット・ベース・アドレスを、ベース・アドレス・シャドウ・レジスタに書き込むことができます。アレイ・ベース・アドレスは、4K バイト・アレイの場合は 4K バイト境界になければなりません。ADDR[23:20] は ADDR19 と同じ論理状態にドライブされるため、CPU16 は \$080000 ~ \$F7FFFF の範囲のアドレスにはアクセスできません。TPU フラッシュ EEPROM アレイがこれらのアドレスにマップされた場合、TPU フラッシュを再マップしないと、このアレイにはアクセスできません。

モジュールの専用アレイが自身のコントロール・レジスタ以外のレジスタにオーバーラップするようなベース・アドレス値は使わないでください。アレイの一部が自身のレジスタ・ブロックにオーバーラップする場合、これらのレジスタはアクセス可能ですが、アレイのオーバーラップ部分へのアクセスは無視されます。ただし、アレイが他のモジュールのコントロール・ブロックにオーバーラップする場合は、オーバーラップしているレジスタを読み出すと結果は不定になります。

## 13.4 TPU フラッシュ EEPROM レジスタ

以下のレジスタ図で、リセット状態を示す SB という表記は、各コントロール・ビットがリセット時に関連のシャドウ・ビットの値をとることを示します。

TFMCR—TPU フラッシュ EEPROM モジュール・コンフィギュレーション・レジスタ														\$YFF860	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP	FRZ	0	$\overline{\text{BOOT}}$	LOCK	0	ASPC		0	0	0	$\overline{\text{TME}}$	TPU	BUSY	0	0
RESET:															
SB	0	0	SB	SB	0	SB	SB	0	0	0	SB	0	0	0	0

このシャドウ・レジスタの消去後のデータは \$BFFF となります。

### STOP— ストップ

0 = 通常の TPU フラッシュ EEPROM アレイ動作。

1 = TPU フラッシュ EEPROM をディセーブルする。

STOP のリセット状態は、リセット中の DATA12 論理状態の反転値と STOP シャドウ・ビットとの論理和をとったものです。STOP がセットされていないければ、TPU フラッシュ EEPROM アレイ・ベース・アドレスを変更することはできません。

### FRZ— フリーズ・モード制御

0 = FREEZE 信号のアサート中に、プログラム / 消去電圧をディセーブルする。

1 = FREEZE 信号のアサート中に、ENPE ビットでプログラム / 消去電圧を印加可能にする。

### BOOT— ブート ROM 制御

0 = リセット後に、CPU16 は TPU フラッシュ EEPROM のブートストラップ・ワード・アドレスにアクセスする。

1 = リセット後に、CPU16 は TPU フラッシュ EEPROM のブートストラップ・ワード・アドレスにアクセスできない。

BOOT のリセット状態はユーザが指定します。STOP = 1 の場合、ブートストラップ機能は無効です。

### LOCK— ロック・レジスタ

0 = ライト・ロック・ディセーブル。保護されているレジスタおよびフィールドに書き込むことができる。

1 = ライト・ロック・イネーブル。保護されているレジスタおよびフィールドに書き込むことはできない。

LOCK のリセット状態はユーザが指定します。LOCK のデフォルト・リセット状態がゼロの場合は、初期設定後にレジスタを保護できるように、マスタ・リセットの後に 1 回だけセットすることができます。LOCK は、ASPC および WAIT フィールド、TFBAL および TFBAH レジスタも保護します。ASPC、TFBAL、および TFBAH も STOP ビットによって保護されます。

### ASPC—TPU フラッシュ EEPROM アレイ空間

MCU はスーパバイザ・モードでしか動作しないため、ASPC フィールドでアクセスがプログラム空間だけに限定されるか、あるいはプログラム空間とデータ空間の両方に行なわれるかを決定します。

ASPC のリセット状態はユーザが指定します。

表 155 ASPC のエンコーディング

ASPC[1:0]	指定されたステート
X0	Program and data access
X1	Program access only

**TME—TPU モード・イネーブル・シャドウ・ビット**

0 = TPU フラッシュ EEPROM がリセットを出た後 TPU2MCR の EMU ビットを自動的にセットする。  
CPU から TPU フラッシュへのリード / ライトは不可になります。

1 = TPU フラッシュ EEPROM は通常動作する。TPU2MCR の EMU ビットをセットすると TPU モードに入る。

TME がゼロにプログラムされたとき、TPU フラッシュ EEPROM 機能は TPUROM と同様になります。このビットは TFMCR レジスタのビットではなく TFMCR に対応するシャドウ・レジスタのビットです。このビットは通常の読み方では読めません。このビットを読むにはユーザがシャドウ・レジスタを読むときと同じ手順に従わなければなりません。

**TPU—TPU ステータス・ビット**

0 = TPU フラッシュ EEPROM モジュールは IMB モードの状態。

1 = TPU フラッシュ EEPROM モジュールは TPU モードの状態。

**BUSY—BUSY ステータス・ビット**

このビットは TPU フラッシュ EEPROM モジュールが TPU モードのときに、ユーザが TPU フラッシュにプログラムをしようとしたときの警告フラグであり、このような操作を行なってはいけません。これを示すため、TPU フラッシュ・モジュールはこのビットをセットします。これにより TPU フラッシュ・モジュールが TPU2 にマイクロコードを供給している最中で "BUSY" だということをユーザに示します。

0 = TPU フラッシュ EEPROM がマイクロコードにアクセス可能かマイクロコードのアクセスに必要な状態。

1 = TPU フラッシュ EEPROM が TPU モードであり使用できない状態。これは TFCTL レジスタの LAT ビットがセットされ、TPU2 が TPU フラッシュからデータを要求しているときに起こる。

**TFTST—TPU フラッシュ EEPROM テスト・レジスタ**

\$YFF862

このレジスタは工場テスト専用です。

**TFBAH—TPU フラッシュ EEPROM ベース・アドレス上位レジスタ**

\$YFF864

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								ADDR 23	ADDR 22	ADDR 21	ADDR 20	ADDR 19	ADDR 18	ADDR 17	ADDR 16
RESET:															
								SB	SB	SB	SB	SB	SB	SB	SB

このシャドウ・レジスタの消去後のデータは \$FFFF となります。

TFBAH には、TPU フラッシュ EEPROM アレイ・ベース・アドレスの上位 16 ビットがあります。リセット時に、TFBAH には関連のシャドウ・レジスタに書き込まれているデータが自動的にコピーされます。TFBAH のデフォルト値は必ず関連のシャドウ・レジスタのデータとなります。リセット後に、LOCK = 0 および STOP = 1 の場合、ソフトウェアは TFBAH と TFBAL に書き込んで、TPU フラッシュ EEPROM アレイを再配置することができます。ADDR[23:20] は ADDR19 と同じ論理状態にドライブされるため、CPU16 は \$080000 ~ \$F7FFFF の範囲のアドレスにはアクセスできません。TPU フラッシュ EEPROM アレイがこれらのアドレスにマップされた場合、システムをリセットしてからでないと、アレイにアクセスすることはできません。

**TFBAL—TPU フラッシュ EEPROM ベース・アドレス下位レジスタ**

\$YFF866

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR 15	ADDR 14	ADDR 13	ADDR 12	0	0	0	0	0	0	0	0	0	0	0	0
RESET:															
SB	SB	SB	SB	0	0	0	0	0	0	0	0	0	0	0	0

このシャドウ・レジスタの消去後のデータは \$FFFF となります。

TFBAL には、TPU フラッシュ EEPROM アレイ・ベース・アドレスの下位 16 ビットがあります。リ



セット時に、TFBAL には関連のシャドウ・レジスタに書き込まれているデータが自動的にコピーされます。TFBAL のデフォルト値は必ず関連のシャドウ・レジスタのデータとなります。

#### TFCTL—TPU フラッシュ EEPROM コントロール・レジスタ

\$YFF868

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	VFPE	ERAS	LAT	ENPE

RESET:

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

TFCTL には TPU フラッシュ EEPROM のプログラミングと消去の制御に必要なビットが含まれています。このレジスタはスーパバイザ・モードでしかアクセスできません。

#### VFPE—プログラム / 消去の検証

0 = 通常のリード・サイクル

1 = プログラム検証回路起動する。

このビットは特別なプログラム検証回路を起動します。プログラミング・シーケンス (ERAS = 0) の間、VFPE は LAT ビットとともに、あるロケーションのプログラミングが完了したことを判断するのに使用されます。VFPE と LAT の両方がセットされている場合は、有効な TPU フラッシュ EEPROM ロケーションを読み出すと、ラッチされたデータとプログラム中のロケーションのデータとのビット単位での排他的論理和がとられます。そのロケーションが完全にプログラムされている場合は、ゼロの値が読み出されます。ゼロ以外の値が読み出された場合は、そのロケーションが完全にプログラムされていないことを示します。

VFPE がクリアされているときには、有効な TPU フラッシュ EEPROM ロケーションの通常の読出しが行なわれます。

#### ERAS—消去制御

0 = TPU フラッシュ EEPROM をプログラミングに設定する。

1 = TPU フラッシュ EEPROM を消去に設定する。

ERAS をアサートすると、選択した 1 アレイブロック (ブロック消去) またはアレイの全ロケーションとシャドウ・レジスタ (一括消去) が消去に設定されます。

LAT ビットがセットされているときには、ERAS の値に関係なくアレイのアドレスがラッチされていれどどのアレイへのアクセスに対してもそのラッチされたアドレスのデータが返ってきます。シャドウ・レジスタのアドレスがラッチされていれどどのアレイまたはシャドウへのアクセスに対してもそのラッチされたシャドウのデータが読めます。

プログラム / 消去電圧を印加 (ENPE = 1) している場合、ERAS の値を変更することはできません。

#### LAT—ラッチ制御

0 = プログラミング・ラッチをディセーブルする。

1 = プログラミング・ラッチをイネーブルする。

LAT がクリアされると、TPU フラッシュ EEPROM アドレスとデータ・バスが IMB のアドレス・バスとデータ・バスに接続され、TPU フラッシュ EEPROM は通常の読出しに設定されます。LAT がセットされているとき、TPU フラッシュ EEPROM アドレスとデータ・バスはパラレル内部ラッチに接続され、TPU フラッシュ EEPROM アレイはプログラミングまたは消去に設定されます。

LAT をセットした直後、TPU フラッシュ EEPROM モジュール内の有効なアドレスへの書き込みを行うと書き込みアドレスとデータの両方がラッチされます。プログラミングに設定されている場合 (ERAS = 0) ラッチされたアドレスに対してラッチされたデータがプログラムされます。消去に設定されている場合 (ERAS = 1) ラッチされたアドレスが TPU フラッシュ EEPROM の有効なアドレスであれば一括消去またはブロック消去が行われます。(ラッチさせるデータは任意です。)

プログラム / 消去電圧を印加しているとき (ENPE = 1) LAT の値は変更できません。

#### ENPE—プログラミング / 消去イネーブル

0 = プログラム / 消去電圧をディセーブルする。

1 = プログラム / 消去電圧を印加する。

ENPE は LAT がセットされ、データおよびアドレス・ラッチへの書き込みが行なわれた後でしかセットできません。これらの条件が満足されなかった場合、ENPE はクリアされたままです。ENPE がセットされている間、LAT、VFPE、および ERAS ビットは変更できず、TPU フラッシュ EEPROM モジュールの TPU フラッシュ EEPROM アレイ・ロケーションを読み出そうとしても無視されます。

TFBS[0:3]—TPU フラッシュ EEPROM ブートストラップ・ワード															\$YFF870-\$YFF876	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
BOOTSTRAP VECTOR																
RESET:																
PROGRAMMED VALUE																

このレジスタの消去後のデータは \$FFFF となります。

これらのワードはシステム・ブートストラップ・ベクタとして使用することができます。リセット時に TFMCR の BOOT ビット = 0 のときは、TPU フラッシュ EEPROM モジュールの TFBS[0:3] が、リセット・ベクタの \$000000 ~ \$000006 に対して応答します。この応答は 1 回目のアクセスのみで、2 回目以降の \$000000 ~ \$000006 へのアクセスはアレイが対応します。BOOT = 1 のときには、リセット・ベクタに対して TPU フラッシュ EEPROM モジュールのアレイが応答します。TFBS[0:3] は、TFMCR で STOP = 0 の場合はいつでも読み出すことができますが、ワード内の値は適切なロケーションをプログラムしないと変更できません。

## 13.5 TPU フラッシュ EEPROM の動作

以下に、モジュールをシステム・ブートストラップ、通常動作、およびアレイ・プログラミング / 消去に使用した TPU フラッシュ EEPROM モジュールのリセットについて説明します。

### 13.5.1 リセット動作

リセットによって、すべての TPU フラッシュ EEPROM のコントロール・レジスタが初期設定されます。このレジスタのビットには、固定デフォルト値または関連の TPU フラッシュ EEPROM シャドウ・レジスタにプログラムされた値が設定されます。

STOP シャドウ・ビットの状態がゼロの場合、TFMCR の STOP ビットはリセット中にクリアされ、モジュールは TFBAH および TFBAL で指定される範囲のアクセスに応答します。BOOT ビットがクリアされると、モジュールはブートストラップ・ベクタ・アクセスにも応答します。

STOP シャドウ・ビットの状態が 1 のときには、リセット時に TFMCR の STOP ビットがセットされ、TPU フラッシュ EEPROM アレイがディセーブルされます。モジュールは、STOP ビットがクリアされるまで、アレイまたはブートストラップ・ベクタ・アクセスには応答しません。これによって、外部デバイスは TPU フラッシュ EEPROM アレイ・アドレス空間へのアクセスあるいはブートストラップ・アクセスに応答することができます。シャドウ・ビットの消去状態は 1 です。消去されたモジュールは、リセット解除後は STOP モードになります。

### 13.5.2 ブートストラップ動作

CPU16 は、プログラム空間内のアドレス \$000000 ~ \$000006 に配置されている内部レジスタの初期値をフェッチすることによって、ブートストラップ動作を開始します。これらは例外ベクタ・テーブル内のブートストラップ・ベクタのアドレスです。リセット時に TFMCR の STOP=0 かつ BOOT=0 の時、TPU フラッシュ EEPROM モジュールは、ブートストラップ・ベクタ・アクセスに応答するように設定されます。ベクタ割当ては次のとおりです。

表 156 ブートストラップのマッピング

EEPROM ブートストラップ ワード	ベクタ・アドレス	MCU リセット・ベクタの内容
TFBS0	\$000000	Initial ZK, SK, and PK <sup>1</sup>
TFBS1	\$000002	Initial PC
TFBS2	\$000004	Reset-Initial SP
TFBS3	\$000006	Initial IZ

注：1. ビット [15:12]= 予約、ビット [11:8]=ZK 初期値、ビット [7:4]=SK 初期値、  
ビット [3:0]=PK 初期値

アドレス \$000006 が読み出されると、TPU フラッシュ EEPROM 動作は通常動作に復帰し、モジュール

はブートストラップ・ベクタ・アクセスには応答しくなくなります。

### 13.5.3 通常動作

TPU フラッシュ EEPROM モジュールは、2 システム・クロックでバイトまたはアラインド・ワード・アクセスを実行し、連続実行される IMB アクセスにตอบสนองしてアラインド・ロング・ワード・アクセスまたはミスアラインド・ワード操作のために 4 システム・クロックを供給できます。ミスアラインド・ロング・ワードのための 3 バス・サイクル・アクセスは、32 ビット処理が可能な CPU に対するものです。

モジュールはファンクション・コードをチェックして、アドレス空間アクセス・タイプを確認します。アレイ・アクセスは FFEMCR の ASPC の状態によって定義されます。TPU フラッシュ EEPROM モジュールを通常動作に設定したときには、アレイはリード・アクセスにしか応答しません。書込み操作は無視されます。

### 13.5.4 TPU モード動作

TPU フラッシュは TPU2 のあるビットをセットすることにより、TPU2 にマイクロコード・データを供給することができます。また、シャドウ・ビット (TME) により リセット後、自動的に TPU モードに入ることも可能です。

### 13.5.5 プログラム / 消去動作

プログラムされていない TPU フラッシュ EEPROM ビットは論理 1 の状態になっています。ビットは状態を 1 から 0 に変更するようにプログラムしなければなりません。ビットを消去すると 1 の状態に戻ります。TPU フラッシュ EEPROM をプログラム / 消去するには、一連のコントロール・レジスタへの書込みとプログラミング・ラッチへの書込みが必要です。同じ手順を使用して、シャドウ・レジスタをプログラムします。同時にプログラミングできるのは、1 バイトまたは 1 アラインド・ワードだけです。消去は一括またはブロックで行なわれます。ブロック消去モードでは、アレイで選択された 1 ブロックだけが消去されます。一括消去モードでは、TPU フラッシュ EEPROM アレイ全体とシャドウ・レジスタ・ビットが同時に消去されます。TPU フラッシュ EEPROM を完全に消去してから、最終データ値をプログラムしなければなりません。

注：アレイをプログラムするには、 $V_{FPE}$  ピンにプログラミング電圧を印加しなければなりません。印加する電圧は必ず  $12.6 \quad V_{FPE} \quad (VDD - 0.35V)$  の範囲内になければなりません。この範囲を超えると、TPU フラッシュ EEPROM モジュールが損傷するおそれがあります。

消去時の一括消去またはブロック消去の指定は以下の表 157 の「TPU フラッシュのブロック構成」を参照してください。

表 157 TPU フラッシュのブロック構成

消去モード	A23-A9	A8-A6	A5	A4	A3	A2	A1	A0	ブロック
ブロック消去	ベース・ドレス	X	1	0	0	0	X	X	ブロック 0 (1KByte)
		X	1	0	0	1	X	X	ブロック 1 (1KByte)
		X	1	0	1	0	X	X	ブロック 2 (1KByte)
		X	1	0	1	1	X	X	ブロック 3 (1KByte)
一括消去		X	0	X	X	X	X	X	すべてのブロックとシャドウ・レジスタ

ブロック番号はアレイの 4k バイトを 1k バイトごとに分割し、低いアドレス側からブロック 0, 1, 2, 3 に割り当てられています。

### 13.5.5.1 プログラミング・シーケンス

TPU フラッシュ EEPROM アレイをプログラムするには、以下の手順を実行します。図 49 はプログラミング動作のフローチャートです。

1.  $V_{FPE}$  ピンに印加する電圧をプログラム / 消去 / 検証レベルに上げます。
2. ソフトウェア上のパラメータである NPP カウンタをクリアし、マージン・フラグをクリアします。この NPP カウンタはプログラムの回数 ( 最大 50 回 ) を確認するために使います。マージン・フラグはプログラムできたデータに対して再度プログラムする是非のために使われるフラグです。
3. TFCTL の ERAS ビットをクリアし、LAT ビットをセットします。これによってアドレス・ラッチとデータ・ラッチのプログラムが可能です。またこのステップにおいて必要があれば VFPE も同時にセットし、プログラム検証回路を起動することができます。
4. プログラムするアドレスにデータを書き込みます。これによってモジュールはプログラムに設定されます。
5. TFCTL の ENPE ビットをセットすることにより TPU フラッシュへの書き込みをスタートします。その書き込み時間確認するために、プログラム・パルスを開始します。
6. プログラミング・パルスが 1 つ発生する時間だけ遅らせます。遅延はパラメータ PWPP で指定されます。
7. TFCTL の ENPE ビットをクリアします。これによって、プログラム・パルスが停止し、アレイ内部への高電圧供給を停止します。
8. アレイへの高電圧が定常電圧まで低下するのを待ちます。この待ち時間 ( 遅延時間 ) はパラメータ TPR によって指定されます。
9. マージン・フラグがまだセットされていない場合、NPP カウンタを増加し、プログラム・ロケーションを読み出してプログラムされているか検証します。VFPE ビットがセットされている場合、正しくプログラムされると 0 が読み出されます。

プログラムされた場合は、マージン・フラグをセットし、ステップ 5 の "ENPE をセット" へ行きます。

プログラムされていない場合は、NPP カウンタ値が最大プログラム・パルス数 NPPMAX ( 50 回 ) に到達していなければステップ 5 の "ENPE をセット" へ行きます。

NPP=NPPMAX ( 50 回 ) に到達した場合、プログラムが失敗となります。停止手続きのために TFCTL の LAT ビットをクリアし、 $V_{FPE}$  ピンに印加されているプログラム電圧を通常の読出しレベル (VDD レベル) まで下げます。プログラム・シーケンスを終了します。

マージン・フラグがセットされている場合、NPP カウンタ値を 1 減少させ、NPP=0 になるまでステップ 5 の "ENPE をセット" からこのステップの "NPP カウンタを減少" を繰り返します。これによって 100% のプログラムマージンを与えます。

この後、再びプログラム・ロケーションを読み出して検証します。

プログラムされていない場合、プログラムが失敗となります。停止手続きのために TFCTL の LAT ビットをクリアし、 $V_{FPE}$  ピンに印加されているプログラム電圧を通常の読出しレベル (VDD レベル) まで下げます。プログラム・シーケンスを終了します。

プログラムされている場合、TFCTL の LAT ビットをクリアしてステップ 10 の "すべて書き込み終了" へ行きます。

10. すべて書き込みが終了していなければ、次のロケーションをプログラムするために、そのアドレスを設定し、フローの "NPP カウンタをクリア / マージン・フラグをクリア" から再び繰り返します。

すべて書込みが終了していれば、書込みが正常に終了したことになります。終了手続きとして  $V_{FPE}$  ピンに印加されている電圧を通常の読出しレベルにまで下げて、正常終了となります。

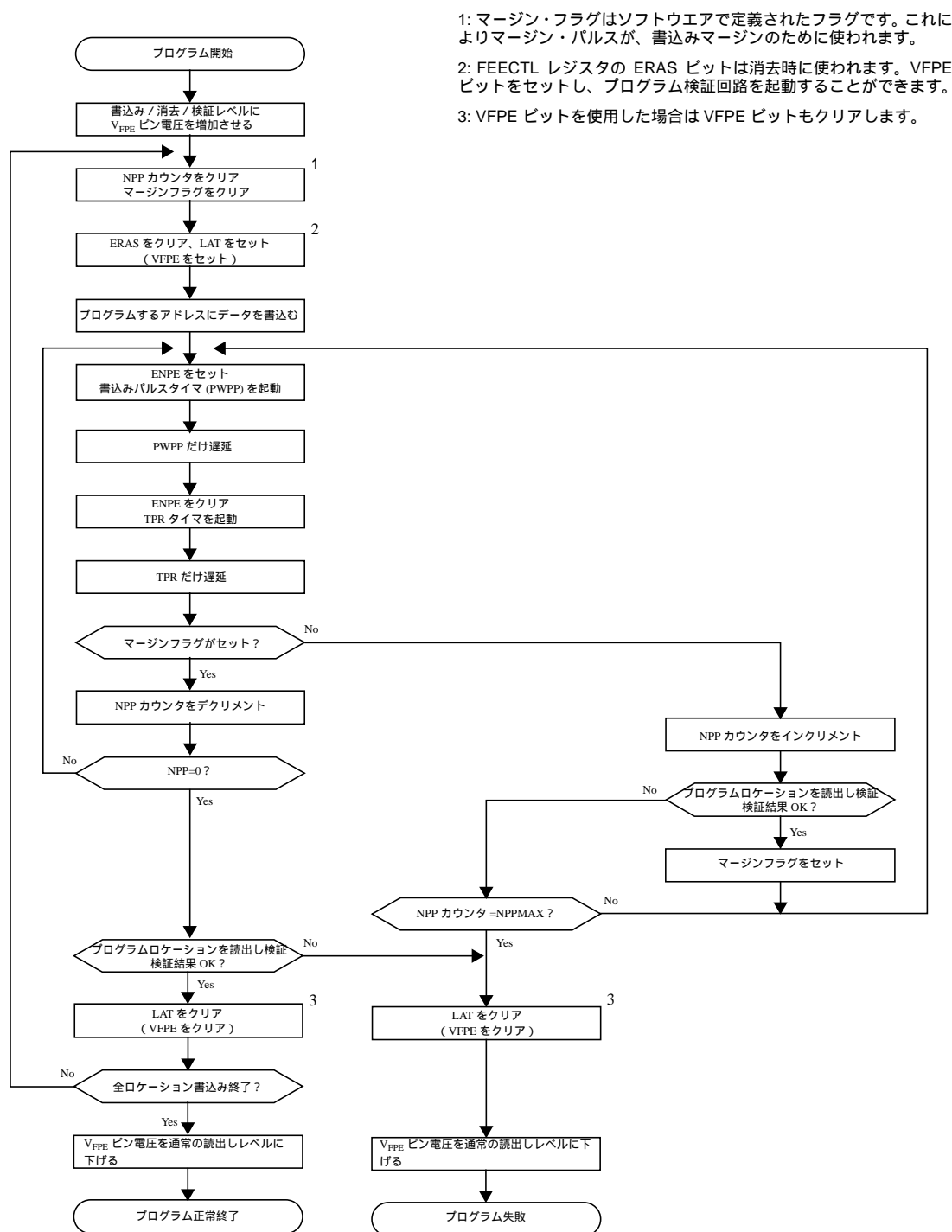


図 49 TPU フラッシュ・プログラムのフローチャート (表 112 参照)

## 13.5.5.2 消去動作

TPU フラッシュ EEPROM アレイを消去するには、以下の手順を実行します。図 50 は消去動作のフローチャートです。

1.  $V_{FPE}$  ピンに印加する電圧をプログラム / 消去 / 検証レベルに上げます。
2. ソフトウェア上のパラメータである消去パルスカウンタ NEP を 1 にセット , マージン・フラグをクリアします。
3. TFCTL の VFPE ビットをクリアし、ERAS ビットと LAT ビットをセットします。これによって、モジュールは消去モードに設定されます。
4. アレイの有効アドレスに書込みを実行します。書込むデータは何でもかまいません。書込むアドレスは消去するブロックを決定します。
5. TFCTL の ENPE ビットをセットします。これによってアレイおよびシャドウに消去電圧を印加します。
6. 1個の消去パルスに相応した時間だけ遅延します。遅延はパラメータTEPKによって指定されます。
7. TFCTL の ENPE ビットをクリアします。これによってアレイおよびシャドウのアレイ内部への高電圧供給を停止します。
8. アレイおよびシャドウへの高電圧が定常電圧まで低下するのを待ちます。この待ち時間 ( 遅延時間 ) はパラメータ TER によって指定されます。
9. ERAS ビットと LAT ビットをクリアします。
10. マージン・フラグがまだセットされていない場合、消去選択したブロック ( ブロック消去 ) またはアレイ全体 ( 一括消去 ) を読み出してすべてのロケーションが消去されているかを検証します。一括消去の場合はシャドウの検証も行います。詳しくは図 51 「シャドウ・レジスタの読出し方法」を参照してください。TFMCR のシャドウの消去値は \$BFFF ですので注意してください。

当該ロケーションがすべて消去された場合は、消去マージン EM を計算しマージン・フラグをセットしてステップ 3 の "ERAS ビットと LAT ビットのセット" へ行きます。

すべて消去されていない場合は、NEP カウンタを 1 増加し、NEP カウンタ値が最大消去パルス数 NEPMAX (5 回) を越えていなければ新しい TEPK 値を計算し、ステップ 3 の "ERAS ビットと LAT ビットのセット" へ行きます。

NEP カウンタ値が NEPMAX (5 回) を越えた場合、消去が失敗となります。停止手続きのために TFCTL の LAT ビットと ERAS ビットをクリアし、 $V_{FPE}$  ピンに印加されている消去電圧を通常の読出しレベル (VDD レベル) まで下げます。

マージン・フラグがセットされている場合はステップ 11 の正常終了へ行きます。

11. 消去は正常終了となります。終了手続きとして  $V_{FPE}$  ピンに印加されている消去電圧を通常の読出しレベル (VDD レベル) まで下げます。

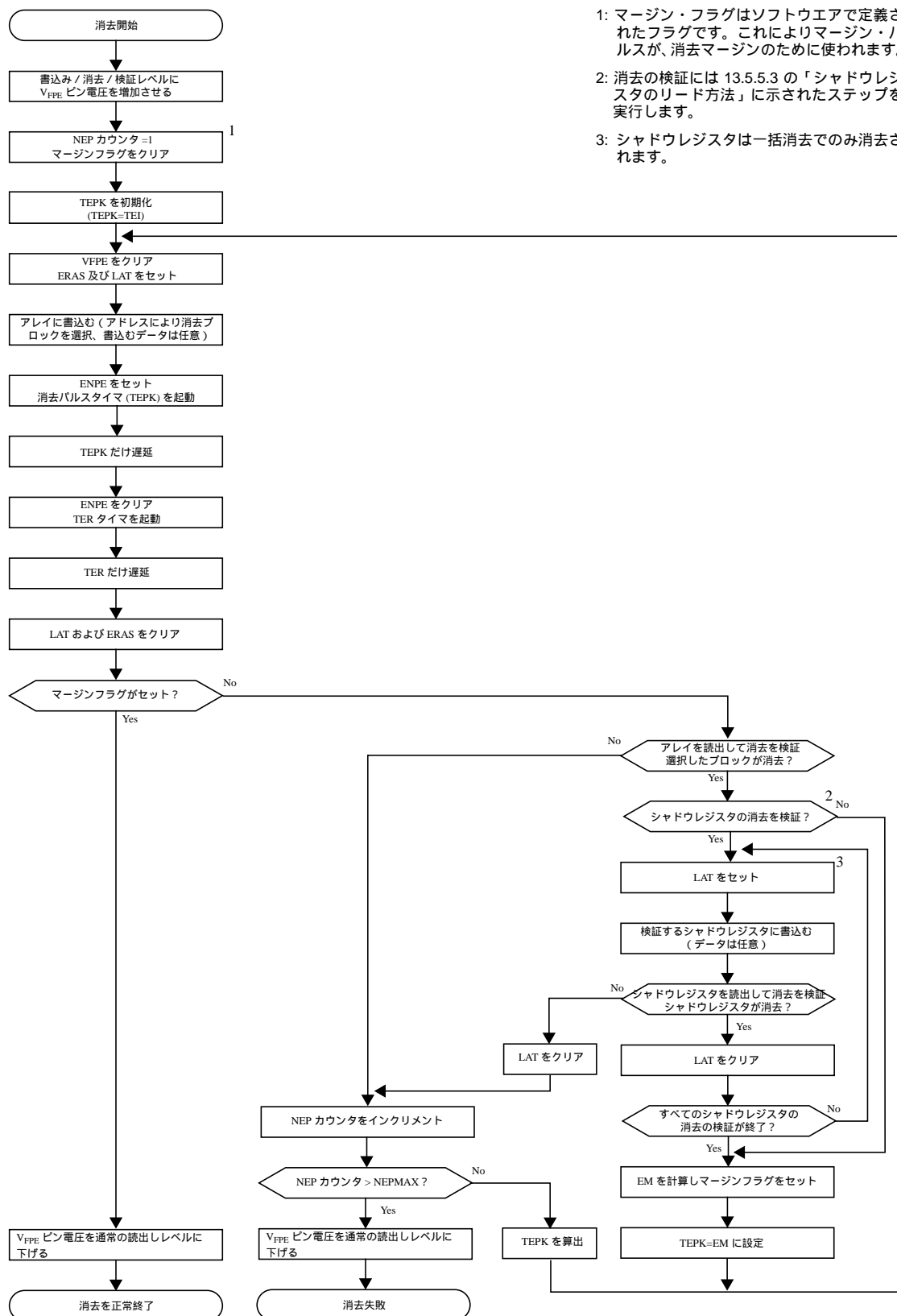


図 50 TPU フラッシュ消去のフローチャート (表 112 参照)

### 13.5.5.3 シャドウレジスタのリード方法

MC68HC916 シリーズ用フラッシュ EEPROM モジュール (HD FLASH、FLASH、BE FLASH および TPU FLASH) のシャドウレジスタのデータを通常時 (プログラム時または消去時以外) にリードする必要がある場合は次に示すステップを実行してください。

1. コントロールレジスタ (FEECTL, HDFCTL, TFCTL, BEFCTL) のすべてのビットをクリアします。
2. コントロールレジスタの LAT ビットのみをセットします。
3. リードするシャドウレジスタのアドレスに対して書き込みを行ないます。書き込むデータは何でもかまいません。この操作によりそのアドレスとデータがラッチされます。
4. 書き込みを行なったシャドウ・ロケーションをリードします。読み出されたデータがシャドウレジスタのデータです。
5. LAT ビットをクリアします。これによりフラッシュ EEPROM モジュールは通常動作にもどり、アレイ領域とコントロール・ブロックへのアクセスが可能となります。
6. さらにリードしたいシャドウレジスタがあればステップ 2 から 5 ままでを繰り返します。

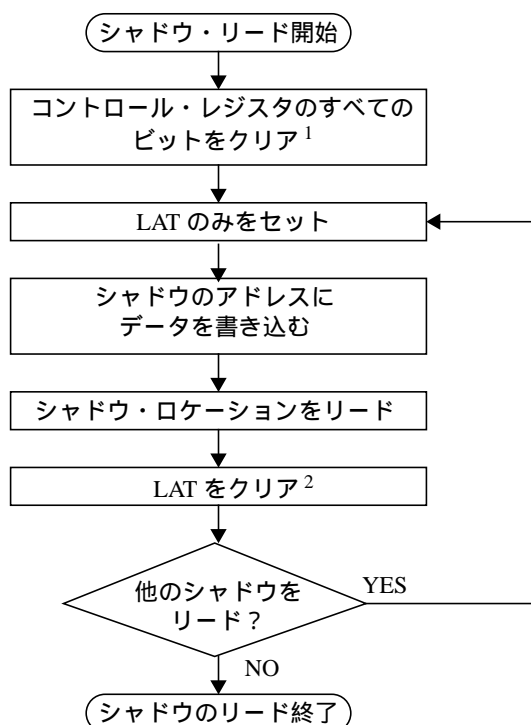


図 51 シャドウ・レジスタの読出し方法

注:1. フラッシュ・モジュールがイネーブル (STOP ビットがクリア) されていることが必要です。

2. LAT をセットした直後に書き込まれたシャドウのアドレスはプログラムラッチ回路に保持され、以後のフラッシュへのリードアクセスはラッチされたシャドウのデータとして読まれます。従って次のシャドウをリードするには一度 LAT をクリアし、再度 LAT をセットしてリードするシャドウのアドレスを書き込む必要があります。



## 13.5.6 TPU フラッシュ EEPROM 書込み / 消去電圧信号の条件

$V_{FPE}$  ピンには、最小の  $V_{DD} - 0.35V$  の電圧を常時加えておく必要があります。この条件が満たされないと、FLASH モジュールを損傷することがあります。FLASH モジュールは、 $V_{FPE}$  のパワー・オン時またはパワー・オフ時の過度応答で損傷を受けることがあります。 $V_{DD}$  が規定最小電圧より低い電圧にある間に、 $V_{FPE}$  を書込みレベルまで上げることはできません。また、 $V_{DD}$  が供給されている間に、 $V_{FPE}$  を規定最小電圧より下げることはできません。図 52 に、 $V_{FPE}$  と  $V_{DD}$  の動作波形を示します。

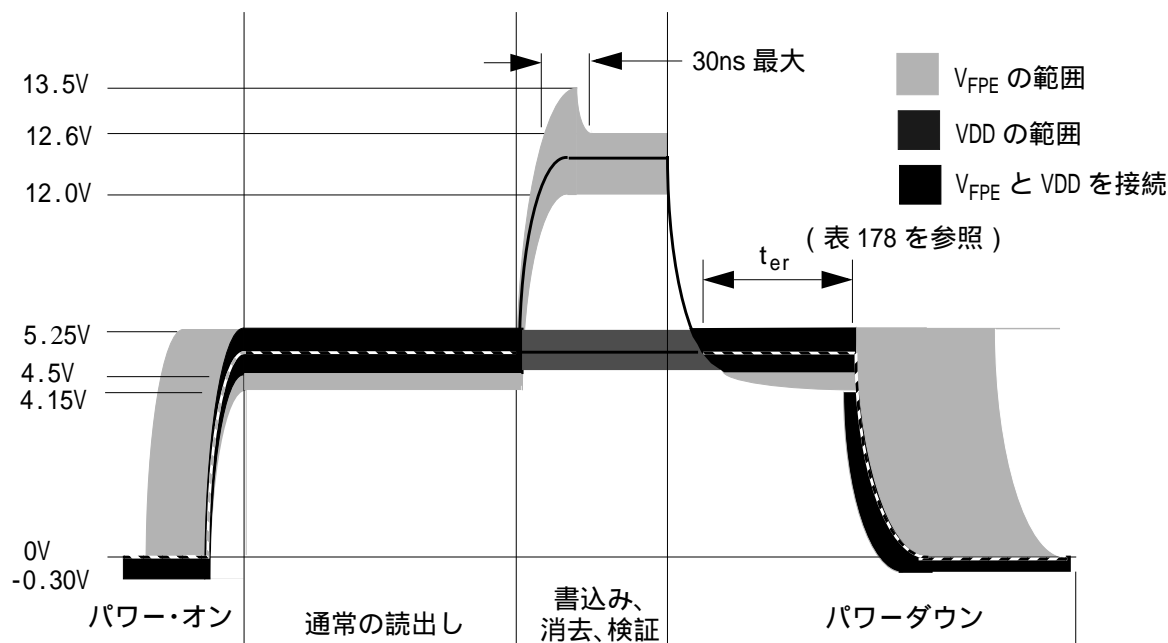
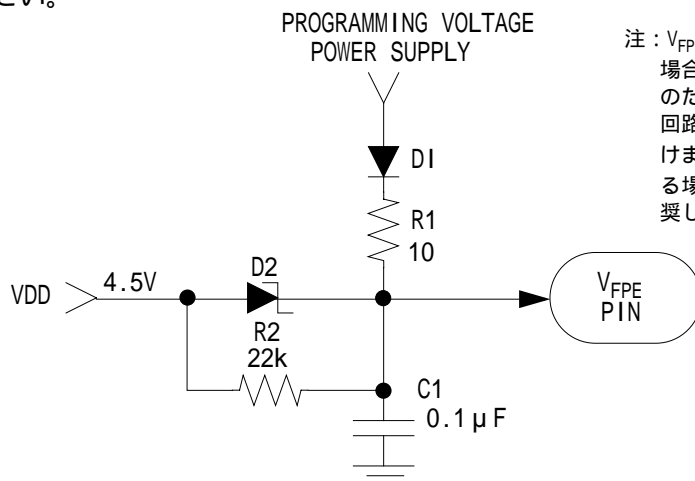


図 52 書込み電圧の波形

外部回路を使用した  $V_{FPE}$  のコンディショニングが推奨されます。図 53 に、必要な電圧を維持して過渡信号をフィルタする単純な回路を示します。 $V_{FPE}$  はショットキ・ダイオード D2 を通して  $V_{DD}$  にプルアップされます。ダイオード D1 を通してプログラミング電圧を印加すると、D2 が逆バイアスされ、過剰な逆電流から  $V_{DD}$  を保護します。D2 はまた、万一プログラミング電圧がゼロになった場合に FLASH が損傷を受けないよう保護します。プログラミング電源電圧を調整して、D1 での順バイアス降下を補償しなければなりません。R1 および C1 の充電時定数で過渡信号をフィルタし、R2 で C1 の放電経路を提供します。

電源の投入・遮断時にこの RC 充・放電時定数を有効に利用できます。この回路を使用するときには、ダイオード電圧降下を小さくするために、 $V_{FPE}$  ピンに接続される外部デバイスからのリーク電流を低く抑えてください。



注： $V_{FPE}$  ピンに 12V 系の電圧が印可される場合、RC 回路 (R1 と C1) はノイズ低減のために働きます。そのため、この RC 回路は  $V_{FPE}$  ピン側に配置しなければなりません。また、複数の  $V_{FPE}$  ピンがある場合は個々に RC 回路の取付けを推奨します。

図 53  $V_{FPE}$  のコンディショニング回路

## 第 14 章 スタンバイ RAM モジュール

MC68HC(9)16Y5/916Y6 は 7K バイト・スタンバイ RAM モジュール( 4K バイト・スタンバイ SRAM と RSPI モジュールの 3K バイト・スタンバイ SRAM ) を搭載しています。4K バイト SRAM モジュールは、システム・メモリ・マップ内で任意の 4K バイト境界にマップが可能です。この SRAM は、通常動作中は  $V_{DD}$  から給電されます。スタンバイ・モード時に  $V_{DD}$  が消失した場合でもスタンバイ電源 ( $V_{STBY}$ ) から電源が供給されるためデータを失うことはありません。 $V_{DD}$  が規定レベル以下に低下すると、自動的に  $V_{STBY}$  に切り替わります。4K 側の SRAM には  $V_{STBY}$  の消失フラグがあります。この消失フラグは 4KSRAM にのみ存在しますが、4KSRAM と RSPI の 3KSRAM の両アレイのステータスとなります。

### 14.1 概 要

SRAM は、 $V_{DD}$  から給電されたときには、通常モードになります。このアレイはバイト、ワード、またはロング・ワードでアクセスできます。バイト・アクセスまたはアラインド・ワード(上位バイトが偶数アドレスにある)アクセスは、1 バス・サイクルつまり 2 システム・クロックしか必要ありません。ロング・ワードまたはミスアラインド・ワード・アクセスには、2 バス・サイクルが必要です。

スタンバイ・モードでは、 $V_{DD}$  がなくなっても RAM 内容が保持されます。SRAM 内容は  $V_{STBY}$  によって維持されます。SRAM モジュール内の回路はデータを保持したまま、 $V_{DD}$  または  $V_{STBY}$  のうち高いほうに切り替わります。SRAM が  $V_{STBY}$  から給電されているときには、アレイへのアクセスは保証されません。

リセット・モードにおいて、CPU はリセットが実行される前に現在実行中のバス・サイクルを完了することができます。バイトまたはワード SRAM アクセスの進行中に、同期リセットが発生すると、そのアクセスは完了します。ロング・ワード操作の最初のワード・アクセスの間にリセットが発生した場合、最初のワード・アクセスだけが完了します。ロング・ワード操作の 2 番目のワード・アクセスの間にリセットが発生した場合、そのアクセス全体が完了します。RAM から読み出されている、あるいは RAM に書き込まれているデータは、非同期リセットが発生すると破壊されることがあります。

テスト・モードは、**SLIM** のテスト機能と関連して動作します。テスト・モードは、MCU の工場テストで使用されます。

SRAMMCR の STOP ビットに書き込むと、SRAM モジュールはストップ・モードに入ります。RAM アレイがディセーブルされ、必要に応じて外部ロジックで SRAM アドレスをデコードできますが、データはすべて保持されます。ストップ・モード中に、 $V_{DD}$  が  $V_{STBY}$  以下に低下すると、内部回路はスタンバイ・モードと同様に  $V_{STBY}$  に切り替わります。ストップ・モードは、STOP ビットをクリアすれば解除されます。

### 14.2 SRAM レジスタ・ブロック

SRAM コントロール・レジスタは、8 バイト・ブロックを占有します。このブロックには、SRAM モジュール・コンフィギュレーション・レジスタ (SRAMMCR)、SRAM テスト・レジスタ (SRAMTST) および RAM アレイ・ベース・アドレス・レジスタ (SRAMBAH、SRAMBAL) の 4 個のコントロール・レジスタがあります。レジスタ・ブロックの残りの部分には、未実装のレジスタ・ロケーションがあります。

表 158 SRAM のアドレス・マップ

ADDRESS	15	8	7	0
\$YFFB00	SRAM MODULE CONFIGURATION REGISTER (SRAMMCR)			
\$YFFB02	SRAM TEST REGISTER (SRAMTST)			
\$YFFB04	SRAM BASE ADDRESS REGISTER HIGH (SRAMBAH)			
\$YFFB06	SRAM BASE ADDRESS REGISTER LOW (SRAMBAL)			

## 14.3 SRAM のレジスタ

以下、SRAM のレジスタについて説明します。

SRAMMCR — SRAM モジュール・コンフィギュレーション・レジスタ \$YFFB00

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOP			PDS	RLCK		RASP1	RASP0	NOT USED							

RESET:

1                      U                      0                      1                      1

モジュール・コンフィギュレーション・レジスタのビットは、RAM モジュールが低消費電力ストップ・モードまたは通常モードのいずれになるかを決定し、またスタンバイ RAM 電源の障害を示します。さらに、アレイが常駐するアドレス空間を決定します。未実装ビットを読み出すと、常にゼロが返されます。未実装ビットに書き込んでも影響はありません。

STOP — ストップ制御ビット

0 = RAM アレイは通常動作を行なう。

1 = RAM アレイは低消費電力ストップ・モードに入る。

このビットは、RAM アレイが低消費電力モードに入るか通常動作を行なうかを制御します。リセット状態は 1 で、低消費電力モードに構成されます。ストップ・モードでは、RAM アレイの内容が保持されますが、CPU は読出しまたは書き込みを行なうことができません。

PDS — スタンバイ電源ステータス・ビット

0 = スタンバイ電源の消失あり。

1 = スタンバイ電源の消失なし。

SRAM アレイには、マイクロコントローラの  $V_{DD}$  がオフになっているときにスタンバイ電源 ( $V_{STBY}$ ) から給電することができます。PDS は  $V_{STBY}$  の電圧が基準レベル以下になったことを示します。もし、スタンバイ・モード時に PDS が 1 から 0 になるようなことがあれば  $V_{STBY}$  に電源消失ありとみなされ、その時のアレイのデータは保証されません。なお、電源消失のために 0 になった PDS は、ソフトウェアで 1 に書き込むことはできません。書き込むことができるのはリセット後のみとなります。

PDS はリセット後にソフトウェアでセットし、スタンバイ・モードに入り、そして復帰後にそのビットの状態を確認することになります。

このフラグは 4KSRAM にのみ存在し、RSP1 の 3KSRAM 側には存在していませんがスタンバイ状態の確認は 4KSRAM の PDS フラグで兼用することが可能です。

RLCKS — RAM ベース・アドレス・ロック

SRAM ベース・アドレス・レジスタには、RLCK がセットされるまで書き込むことができます。RLCK は IMB しかセットできず、マスタ・リセットによってのみリセットされます。

0 = SRAM ベース・アドレス・レジスタは、IMB から書き込むことができる。

1 = SRAM ベース・アドレス・レジスタへの書き込みはロックされる。

RASP[1:0] — RAM アレイ空間フィールド

X0 = RAM アレイはプログラム / データ空間に配置される。

X1 = RAM アレイはプログラム空間に配置される。

これらのビットは、ユーザ動作モードとスーパーバイザ動作モードを別々にサポートするマイクロコントローラの SRAM アレイへのアクセスを制御します。CPU16 は、スーパーバイザ・モードでしか動作しないため、RASP1 は無効です。

表 159 RASP のエンコーディング

RASP[1:0]	空 間
X0	プログラム / データ空間
X1	プログラム空間

## SRAMTST — SRAM テスト・レジスタ

\$YFFB02

SRAMTST は SRAM モジュールの工場テストに使用されます。

## SRAMBAH — SRAM ベース・アドレス、上位

\$YFFB04

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOT USED								ADDR 23	ADDR 22	ADDR 21	ADDR 20	ADDR 19	ADDR 18	ADDR 17	ADDR 16
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## SRAMBAL — SRAM ベース・アドレス、下位

\$YFFB06

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR 15	ADDR 14	ADDR 13	ADDR 12	NOT USED											
RESET:															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アレイ・ベース・アドレス・レジスタは、システムのメモリ・マップのアレイ・ベース・アドレスを指定します。SRAMBAH/SRAMBAL は、SRAM が STOP モードになっていて (STOP = 1)、かつロック・ビットがセットされていないとき (RCLK = 0) にのみ書き込むことができます。一度 RCLK ビットがセットされると、SRAMBAH および SRAMBAL に書き込みを行っても無効であり、これによって誤ってアレイが再マップされないようにしています。2K バイトの SRAM のアレイは 2K バイトというアレイ境界の制約があるため、ADDR[10:0] は固定されており、書き込みを行なうことはできません。4K バイトの SRAM のアレイは 4K バイトというアレイ境界の制約があるため、ADDR[11:0] は固定されており、書き込みを行なうことはできません。

モジュールのアレイが自身のコントロール・レジスタ以外のレジスタにオーバーラップするようなベース・アドレス値は使わないでください。アレイの一部が自身のレジスタ・ブロックにオーバーラップする場合、これらのレジスタはアクセス可能ですが、アレイのオーバーラップ部分へのアクセスは無視されます。ただし、アレイが他のモジュールのコントロール・ブロックにオーバーラップする場合は、オーバーラップしているレジスタを読み出すと結果は不定になります。

---

## 第 15 章 ブート ROM

---

### 15.1 ブート ROM コードの目的

SLIM ブート ROM コードの目的は、プログラムを簡単にダウンロードして実行する手段を提供し、新しいアプリケーションで MC68HC(9)16Y5/916Y6 やプロトタイプを簡単にテストできるようにすることです。

### 15.2 サイズ

ブート ROM のサイズは 512 バイトです。

現在、ブート ROM コードは \$0012 から始まっています（どのシステム割込みベクタともオーバラップしません）。

### 15.3 特 長

#### 15.3.1 初期設定

##### 15.3.1.1 CPU レジスタ

EK、X、Y、Z レジスタはブート ROM コードによって次の値に設定されます。

- EK = \$F (SLIM、MCCI、および SRAM のコントロール・レジスタをアドレス指定します)
- XK、X=\$000000 (ベース・ページおよび SRAM をアドレス指定します)
- YK、Y=\$000000 (未使用)
- ZK、Z=\$000000 (SRAM をアドレス指定します)

スタック・ポインタはオンチップ SRAM をアクセスするよう設定されます。これは、SRAM がイネーブルされる前に発生した割込みが異常終了する場合があることを意味します。スタックより上の空間は次のブート ROM コード変数に予約されています。

- Warmstart 3 バイトウォーム・リブート時のジャンプ先アドレス
- Baudrate 2 バイトウォーム・リブート時に再ロードするボー・レート
- Buffer 1 バイトS レコードの読出しに使用するバッファ
- Len 1 バイトS レコードの読出しに使用する変数

##### 15.3.1.2 オンチップ SRAM

ブート ROM は、MC68HC(9)16Y5/916Y6 のオンチップ SRAM をベース・アドレス \$001000 に初期設定してイネーブルします。ブート ROM コードは、SRAM のサイズを 4K バイトと想定しています。

### 15.3.1.3 SLIM MCR

ブート ROM はショウ・サイクル (SHEN) をイネーブルせず、SLIM MCR の値を変更しません。

### 15.3.1.4 SLIM SYNCR(VCO/PLL)

ブート ROM は SLIM SYNCR レジスタの設定値を変更しません。リセット後、ブート ROM コードは "autobaud" ルーチンを実行して、MCCI の SCIB のボー・レートを自動的に設定します (309 ページの「オートボー / ホストとの通信」を参照)。ただし、自動ボー・レート設定機能 (オートボー機能) は、次の 2 点において SYNCR で設定されるシステム・クロック周波数の影響を受けます。すなわち、システム・クロック周波数は、特定のボー・レートを一致させる精度と、正確に一致できる最大ボー・レートを決定します。

### 15.3.1.5 ポート

ブート ROM はどの SLIM ポート・レジスタも変更しません。ブート ROM は、立上り時にポート F がレベル・センシティブ割込みに設定するため、IRQ[6:1] は HC16 CPU でマスクされることになります。IPQ7 は NMI であるため "L" にしたまま MC68HC(9)16Y5/916Y6 がリセットを抜け出すのは禁止しています。現時点では、ブート ROM はこの状況に対応できません (現在のところ割込みハンドルが定義されていません)。

### 15.3.1.6 SLIM SYPCR

ブート ROM は SLIM のどのシステム保護レジスタも変更しません。ソフトウェア・ウォッチドッグがディセーブルされた状態でリセットを抜け出すと仮定しています。ブート ROM はセキュリティ・モードのロックまたはアンロックは行いません。MC68HC(9)16Y5/916Y6 がロックされている場合、ユーザがプログラムをダウンロードしてセキュリティ・モードをアンロックし、次にブート ROM コードに戻るか (可能な場合) セキュリティ・モードをロックしないでデバイスをリセットする必要があります。

### 15.3.1.7 チップ・セレクト

ブート ROM は SLIM のどのチップ・セレクト・レジスタも変更しません。

## 15.3.2 ウォーム・リブート

ブート ROM は、HC16 CPU のレジスタ (EK、X、Y) を設定し SRAM をイネーブルした後、MCCI の PORTMC のビット 6 のピン状態をチェックします。このビットは汎用入力ピンとして使用されます。PORTMC[6]==0 (ウォーム・スタートを示します) の場合、ブート ROM は変数 Warmstart で指定されるロケーションにジャンプします ('S' および 'G' コマンドであらかじめ初期設定されていると仮定します)。PORTMC[6]==1 (ウォーム・スタートでないことを示します) の場合、ブート ROM はオートボー機能を実行し、ホストからの 'S' および 'G' コマンドを待ちます。

## 15.3.3 オートボー / ホストとの通信

リセット後、ブート ROM は MC68HC(9)16Y5/916Y6 MCCI の SCIB をパリティなし、8 データ・ビット、1 ストップ・ビットに初期設定します。次にボー・レートを最大値に設定し、TXDB および RXDB ピンをイネーブルし、ブレイクを送出します。これによって、ホストはブート ROM がキャラクタ \$7F (DEL キーに対応) を待っていることを知ります。ホストは \$7F を応答し、ブート ROM はホストのボー・レートを計算します。\$7F を受信した後、ブート ROM はブレイク・キャラクタをターン・オフしてオートボー・プロセスを終了します。オートボー・プロセスを終了すると、ブート ROM は確認メッセージ ('Ready!>') を送出处、ホストにコマンドを受信可能であることを通知します。

### 15.3.4 コマンド・ループ・ステート・マシンとエラー処理

オートボー・プロセスが終了すると、ブート ROM はホストから送信されるコマンドの処理が可能な状態になります。オートボー・プロセス後は、ブート ROM は単純ステート・マシンとなってコマンドを処理します。ホストが受入れ可能なコマンドは、'G'、'g'、'S'、's' の 4 つです。一般に、ブート ROM が正しいコマンドとして受信した文字は、ホストにエコー・バックされます。不正な文字はすべて '?' でエコー・バックされます。ただし、ブート ROM コードが検出できるエラーには限界があります。'S' または 's' コマンドは "S レコードの読出し" を示します。ブート ROM は 'S' または 's' の後続バイトを S レコード・タイプ・インジケータと解釈します。ブート ROM は、モトローラの S レコード形式 (S1 か S2) の読出しを予期しています。他の形式 (S0、S3、S7、S8、または S9) は無視されます。S レコード・タイプが予期したものでなければ、ホストに '?' をエコー・バックします。予期したものであれば、ホストにタイプ・インジケータ・バイトがエコー・バックされ、制御はブート ROM から所定の処理サブルーチンに移ります。

例 S224001000274C.....35  
S224001020F500.....7B

'G' または 'g' コマンドは "指定アドレスに進む" を示します。ブート ROM は 'G' または 'g' の後続の 16 進文字を読み出しそれをアドレスとして解釈します。各文字は読み出したとおりにエコーされ、'G' または 'g' とアドレスの間にはスペースを入れることができます。アドレスはキャリッジ・リターンまたは改行で終わります (最後に入力した 5 つの 16 進数が解釈され、他の数字は無視されます)。制御のフローはすぐに指定されたアドレスに移ります。

例 G01000 (ブート・プログラムは CPU PC を \$01000 に変更します)

### 15.3.5 接続例

ホストの接続例を次に示します。

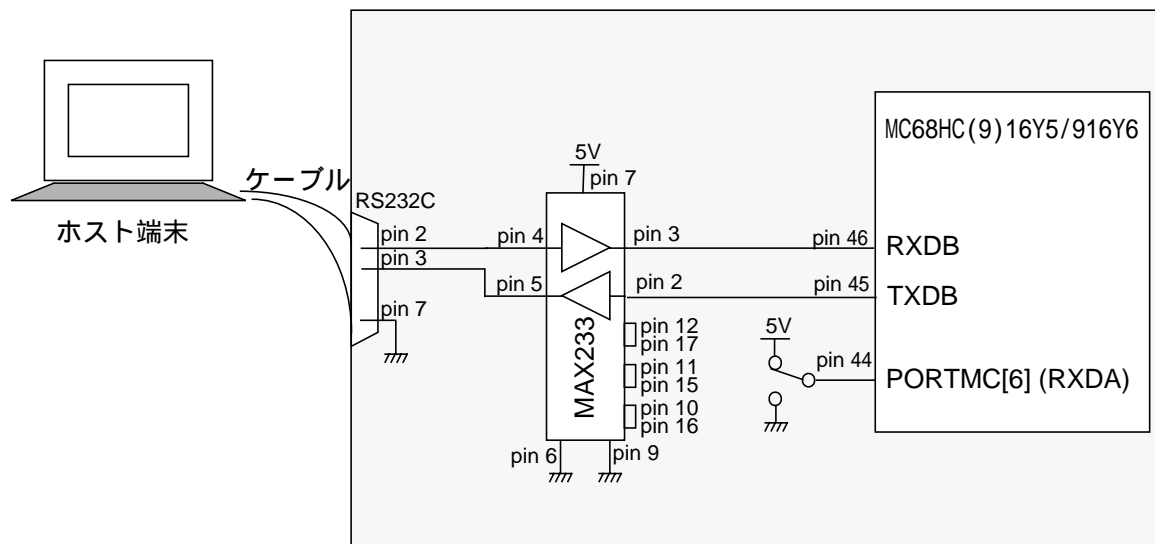


図 54 接続例

## 15.3.6 マッピング

ブート ROM コードのマッピングは次のとおりです。

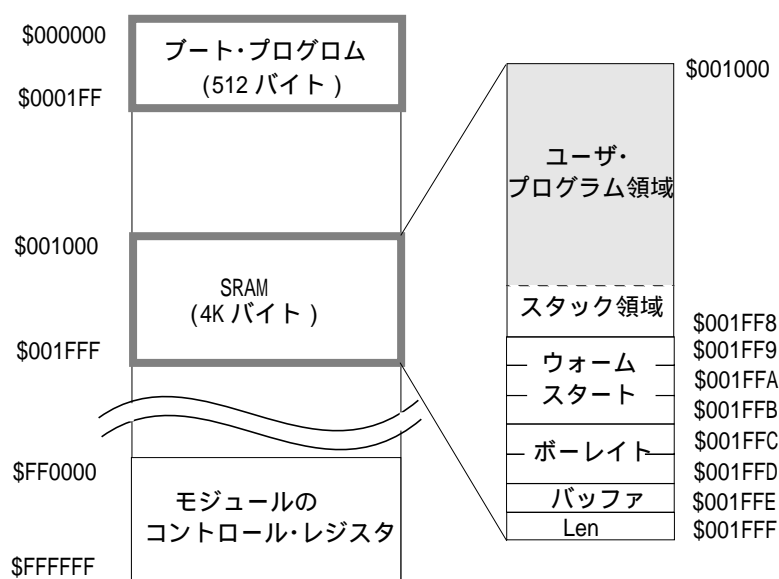


図 55 ブート ROM コードのマッピング

ユーザはアドレスが他のモジュールと衝突しないよう注意しなければなりません。ブート ROM には \$0 から \$1FF が割り当てられます。SRAM は \$01000 から \$01FFF に割り当てられます。ブート ROM コードは、\$01FF9 から \$01FFF をユーザ・プログラムのダウンロード用に予約しています。スタック領域には \$01FF8 から数バイトが必要です。

## 15.3.7 簡単なブート・オペレーション

### 15.3.7.1 接 続

ボードの設定は、図 54「接続例」に示してあります。

### 15.3.7.2 ボー・レートの設定

PORTMC[6] がプルアップされます。ユーザはホスト端末から 'DEL' 文字 (\$7F) を送信します。SCIB ボー・レートが計算されて SCIB ボー・レート・レジスタに書き込まれ、ウォーム・スタートの場合は同じ値が SRAM の \$01FFC と \$01FFD (ボー・レート) に入れられます。ボー・レートが設定されると、ブート ROM コードはホスト端末に 'Ready!>' を返します。

### 15.3.7.3 プログラムのダウンロード

'Ready!>' プロンプトが現れると、ユーザはホスト端末から MC68HC(9)16Y5/916Y6 の SRAM に S レコードを送信することができます。たとえば、Kermit ソフトウェアを使用している場合は、単純な送信コマンドで S レコードを送信できます。

### 15.3.7.4 プログラム・カウンタの設定

S レコードをロードしたら、PC (CPU のプログラム・カウンタ) を変更して、ホスト端末から S レコードで指定されたユーザ・プログラムを実行することができます。PC の変更は 'G' コマンドで行なえます。たとえば、ユーザが 'G01000' を MC68HC(9)16Y5/916Y6 の SCIB に送信すると、ブート ROM



コードは、PC を \$01000 に変更します。ウォーム・スタートの場合は同じ PC 値が SRAM の \$01FF9、\$01FFA、および \$01FFB(ウォーム・スタート)に入れられます。ついで、ユーザ・プログラムが起動します。

### 15.3.7.5 ウォーム・スタート

ユーザはパワーオン時に外部リセットにより、ユーザ・プログラムをリスタートできます。PORTMC[6] がプルダウンされると、SRAM にストアされていたボー・レート値 (Baudrate) が SCIB ボー・レート・レジスタに転送され、SRAM にストアされていた PC 値 (Warmstart) が CPU のプログラム・カウンタに転送されます。

つぎに、ユーザ・プログラムが起動します。

---

## 付録 A

# 電気的特性

---

この付録では、電気的特性の仕様表と基準タイミング図を記載します。各タイミング図には、仕様表に詳述するパラメータに対応する数値が記載されています。この関連タイミング仕様表には、該当する注意事項も含まれています。MC68HC(9)16Y5/916Y6 では、特定のオプション・ピンを使用しないため、これらのピンを ” 接続なし ” として取り扱います。

表 160 最大定格

Num	Rating	Symbol	Value	Unit
1	Supply Voltage <sup>1, 2</sup>	$V_{DD}$	– 0.3 to + 6.5	V
2	Input Voltage <sup>1, 2, 3, 5</sup>	$V_{in}$	– 0.3 to + 6.5	V
3	Instantaneous Maximum Current Single pin limit (applies to all pins) <sup>1, 5, 6, 7</sup>	$I_D$	25	mA
4	Operating Maximum Current Digital Input Disruptive Current <sup>4, 5, 6, 7</sup> $V_{NEGCLAMP} \approx -0.3 \text{ V}$ $V_{POSCLAMP} \approx V_{DD} + 0.3 \text{ V}$	$I_{ID}$	– 500 to + 500	$\mu\text{A}$
5	Operating Temperature Range MC68HC16Y5 C Suffix MC68HC916Y5 C Suffix MC68HC916Y6 C Suffix	$T_A$	$T_L$ to $T_H$ – 40 to + 85	$^{\circ}\text{C}$
	Operating Temperature Range MC68HC16Y5 VSuffix MC68HC916Y5 VSuffix MC68HC916Y6 VSuffix		$T_L$ to $T_H$ – 40 to + 105	
6	Storage Temperature Range	$T_{stg}$	– 55 to + 150	$^{\circ}\text{C}$

## NOTES:

1. Permanent damage can occur if maximum ratings are exceeded. Exposure to voltages or currents in excess of recommended values affects device reliability. Device modules may not operate normally while being exposed to electrical extremes.
2. Although sections of the device contain circuitry to protect against damage from high static voltages or electrical fields, take normal precautions to avoid exposure to voltages higher than maximum-rated voltages.
3. All functional non-supply pins are internally clamped to  $V_{SS}$ . All functional pins except EXTAL and XFC are internally clamped to  $V_{DD}$ .
4. Input must be current limited to the value specified. To determine the value of the required current-limiting resistor, calculate resistance values for positive and negative clamp voltages, then use the larger of the two values.
5. Power supply must maintain regulation within operating  $V_{DD}$  range during instantaneous and operating maximum current condition.
6. This parameter is periodically sampled rather than 100% tested.
7. Total input current for all digital input-only and all digital input/output pins must not exceed 10mA. Exceeding this limit can cause disruption of normal operation.

表 161 熱特性

Num	Characteristic	Symbol	Value	Unit
1	Thermal Resistance Plastic 160-Pin Surface Mount	$\Theta_{JA}$		°C/W
			MC68HC916Y5 MC68HC916Y6	
			MC68HC16Y5	
			26	
			37	

The average chip-junction temperature ( $T_J$ ) in °C can be obtained from:

$$T_J = T_A + (P_D \times \Theta_{JA}) \quad (1)$$

where:

$T_A$  = Ambient Temperature, °C

$\Theta_{JA}$  = Package Thermal Resistance, Junction-to-Ambient, °C/W

$P_D = P_{INT} + P_{I/O}$

$P_{INT} = I_{DD} \times V_{DD}$ , Watts — Chip Internal Power

$P_{I/O}$  = Power Dissipation on Input and Output Pins — User Determined

For most applications  $P_{I/O} < P_{INT}$  and can be neglected. An approximate relationship between  $P_D$  and  $T_J$  (if  $P_{I/O}$  is neglected) is:

$$P_D = K \div (T_J + 273^\circ\text{C}) \quad (2)$$

Solving equations 1 and 2 for K gives:

$$K = P_D \times (T_A + 273^\circ\text{C}) + \Theta_{JA} \times P_D^2 \quad (3)$$

where K is a constant pertaining to the particular part. K can be determined from equation (3) by measuring  $P_D$  (at equilibrium) for a known  $T_A$ . Using this value of K, the values of  $P_D$  and  $T_J$  can be obtained by solving equations (1) and (2) iteratively for any value of  $T_A$ .

表 162 クロック・コントロール・タイミング  
 $(4.5\text{Vdc} \leq (V_{DD} \text{ and } V_{DDSYN}) \leq 5.25\text{Vdc}, V_{SS} = 0\text{Vdc}, T_A = T_L \text{ to } T_H)$

Num	Characteristic	Symbol	Min	Max	Unit
1	PLL Reference Frequency Range	$f_{ref}$	3.2	8.0	MHz
2	System Frequency(MC68HC916Y5/916Y6) Fast On-Chip PLL System Frequency External Clock Operation	$f_{sys}$	3.2 3.2	25.0 25.0	MHz
	System Frequency(MC68HC16Y5) Fast On-Chip PLL System Frequency External Clock Operation		$(f_{ref})/128_{dc}$	25.0 25.0	MHz
3	PLL Startup Time <sup>1, 2, 3, 4</sup>	$t_{spil}$	—	50	ms
4	PLL Lock Time <sup>1, 3, 4, 5</sup>	$t_{pll}$	—	20	ms
5	Limp Mode Clock Frequency <sup>6</sup>	$f_{limp}$	0.1	$f_{sys} \text{ max}/2$	MHz
6	CLKOUT Stability <sup>1, 3, 4, 7</sup> Short term (5 $\mu\text{s}$ interval) Long term (500 $\mu\text{s}$ interval)	$C_{stab}$	− 0.5 − 0.05	0.5 0.05	%

## NOTES:

1. This parameter is periodically sampled rather than 100% tested.
2. Parameter measured from the time  $V_{DD}$  and  $V_{DDSYN}$  are valid to release.
3. Assumes that a low-leakage external filter capacitor with value of 0.1 $\mu\text{F}$  is attached to the XFC pin. Total external resistance from the XFC pin due to external leakage sources must be greater than 15M $\Omega$  to guarantee this specification.
4. Proper layout procedures must be followed to achieve the specifications.
5. Assumes that stable  $V_{DDSYN}$  is applied, and that the crystal oscillator is stable. Lock time is measured from the time  $V_{DD}$  and  $V_{DDSYN}$  valid to release. This specification also applies to the period required for PLL lock after changing the W and Y frequency control bits in the synthesizer control register(SYNCR) while the PLL is running, and to the period required for the clock to lock after LPSTOP.
6. Determined by the initial control voltage applied to the on-chip VCO.
7. Stability is the average deviation from the programmed frequency measured over the specified interval at maximum  $f_{sys}$ . Measurements are made with the device powered by filtered supplies and clocked by a stable external clock signal. Noise injected into the PLL circuitry via  $V_{DDSYN}$  and  $V_{SS}$  and variation in crystal oscillator frequency increase the  $C_{stab}$  percentage for a given interval.

表 163 DC 特性

(4.5Vdc  $\leq$  ( $V_{DD}$  and  $V_{DDSYN}$ )  $\leq$  5.25Vdc,  $V_{SS} = 0$  Vdc,  $T_A = T_L$  to  $T_H$ )

Num	Characteristic	Symbol	Min	Max	Unit
0	Supply Voltage	$V_{DD}$	4.5 ( $V_{DDmin}$ )	5.25 ( $V_{DDmax}$ )	V
1	Input High Voltage	$V_{IH}$	0.7 ( $V_{DD}$ )	$V_{DD} + 0.3$	V
2	Input Low Voltage	$V_{IL}$	$V_{SS} - 0.3$	0.2 ( $V_{DD}$ )	V
3	Input Hysteresis <sup>1,8</sup>	$V_{HYS}$	0.5	—	V
4	Input Leakage Current <sup>2</sup> $V_{in} = V_{DD}$ or $V_{SS}$ All input-only pins except ADC pins	$I_{IN}$	-2.5	2.5	$\mu$ A
5	High Impedance (Off-State) Leakage Current <sup>2</sup> $V_{in} = V_{DD}$ or $V_{SS}$ All input/output pins	$I_{OZ}$	-2.5	2.5	$\mu$ A
6	CMOS Output High Voltage <sup>2,3</sup> $I_{OH} = -10.0 \mu$ A Group 1, 2 pins	$V_{OH}$	$V_{DD} - 0.2$	—	V
7	CMOS Output Low Voltage <sup>2</sup> $I_{OL} = 10.0 \mu$ A Group 1, 2 pins	$V_{OL}$	—	0.2	V
8	Output High Voltage <sup>2,3</sup> $I_{OH} = -0.8$ mA Group 1, 2 pins	$V_{OH}$	$V_{DD} - 0.8$	—	V
9	Output Low Voltage <sup>2</sup> $I_{OL} = 1.6$ mA Group 1 pins $I_{OL} = 5.3$ mA Group 2 pins $I_{OL} = 12$ mA Group 3 pins	$V_{OL}$	— — —	0.4 0.4 0.4	V
10	Mode Select Pull-up Current <sup>3</sup> $V_{in} = V_{IL}$ $V_{in} = V_{IH}$	$I_{MSP}$	— -15	-120 —	$\mu$ A
11	MC68HC16Y5 $V_{DD}$ Supply Current Run <sup>6</sup> LPSTOP, crystal, VCO Off (STSLIM = 0) LPSTOP, external clock input frequency = maximum $f_{sys}$	$I_{DD}$	— — —	230 5 10	mA mA mA
	MC68HC916Y5 $V_{DD}$ Supply Current Run <sup>6</sup> LPSTOP, crystal, VCO Off (STSLIM = 0) LPSTOP, external clock input frequency = maximum $f_{sys}$	$I_{DD}$	— — —	300 5 10	mA mA mA
	MC68HC916Y6 $V_{DD}$ Supply Current Run <sup>6</sup> LPSTOP, crystal, VCO Off (STSLIM = 0) LPSTOP, external clock input frequency = maximum $f_{sys}$	$I_{DD}$	— — —	270 5 10	mA mA mA
12	Clock Synthesizer Operating Voltage	$V_{DDSYN}$	4.5	5.25	V
13	$V_{DDSYN}$ Supply Current <sup>5</sup> VCO on, maximum $f_{sys}$ : Fast reference mode (6MHz) LPSTOP, VCO off (STSLIM = 0), 6MHz crystal $V_{DD}$ powered down, 6MHz crystal	$I_{DDSYN}$	— — —	3 1 3	mA mA mA
14	RAM Standby Voltage <sup>9</sup> Normal mode <sup>10</sup> ( $V_{DDmin} \leq V_{DD} \leq V_{DDmax}$ ) Standby mode <sup>11</sup> ( $V_{DD} = 0$ V) Power down status negation (PDS flag)	$V_{SB}$	0.0 3.0 —	$V_{DD}$ $V_{DDmax}$ 3.5	V
15	RAM Standby Current Normal RAM operation: $V_{DD} > V_{SB} - 0.2$ V Transient condition: $V_{SB} - 0.2$ V $\geq V_{DD} \geq V_{SS} + 0.5$ V Standby operation: $V_{DD} < V_{SS} + 0.5$ V	$I_{SB}$	— — —	50 2 200	$\mu$ A mA $\mu$ A

表 163 DC 特性 ( 続き )

$$(4.5\text{Vdc} \leq (V_{DD} \text{ and } V_{DDSYN}) \leq 5.25\text{Vdc}, V_{SS} = 0\text{Vdc}, T_A = T_L \text{ to } T_H)$$

Num	Characteristic	Symbol	Min	Max	Unit
16	MC68HC16Y5 Power Dissipation <sup>6</sup>	P <sub>D</sub>	—	1210	mW
	MC68HC916Y5 Power Dissipation <sup>6</sup>	P <sub>D</sub>	—	1575	mW
	MC68HC916Y6 Power Dissipation <sup>6</sup>	P <sub>D</sub>	—	1420	mW
17	Input Capacitance <sup>2,8</sup> All input-only pins except ADC pins All input/output pins	C <sub>IN</sub>	— —	10 20	pF
18	Load Capacitance <sup>2</sup> Group 1 I/O pins, half load Group 1 I/O pins, full load Group 2 I/O pins, half load Group 2 I/O pins, full load Group 3 I/O Pins Group 4 I/O Pins	C <sub>L</sub>	— — — — — —	45 90 50 100 100 130	pF

## NOTES:

## 1.Parameter applies to the following pins:

Port A/B: A[15:8]/AD[15:8]/PA[7:0], A[7:0]/AD[7:0]/PB[7:0]

Port C: A[23]/ECLK/PC[7], A[18:16]/PC[2:0]

Port D:  $\overline{\text{CSA}}/\text{PD7}$ ,  $\overline{\text{CSB}}/\text{PD6}$ ,  $\overline{\text{CSC}}/\text{PD5}$ ,  $\overline{\text{DTACK}}/\text{PD4}$ ,  $\overline{\text{FREEZE}}/\text{QOUT}/\overline{\text{FASTREF}}/\text{CSE1}/\text{PD3}$ ,  
 $\overline{\text{BKPT}}/\text{DSCLK}/\text{CSE0}/\text{PD2}$ ,  $\overline{\text{IPIPE1}}/\text{DSI}/\text{PD1}$ ,  $\overline{\text{IPIPE0}}/\text{DSO}/\text{PD0}$ Port E: FC[1:0]/PE[6:5], CLKOUT/PE4, SIZE/PE3,  $\overline{\text{AS}}/\text{PE2}$ ,  $\overline{\text{DS}}/\text{RD}/\text{PE1}$ ,  $\text{R}/\overline{\text{W}}/\text{WR}/\text{PE0}$ Port F:  $\overline{\text{IRQ}}[7:2]/\text{PF}[7:2]$ ,  $\overline{\text{IRQ}}[\text{X}]/\text{BERR}/\text{PF1}$ , ALE/PF0

Port G/H: D[15:8]/PG[7:0], D[7:0]/PH[7:0]

Port QA: PQA[7:5]/AN[59:57], PQA4/AN56/ETRIG2, PQA3/AN55/ETRIG1, PQA[2:0]/AN[54:52]/MA[2:0]

Port QB: PQB[7:4]/AN[51:48], PQB3/AN3/ANZ, PQB2/AN2/ANY, PQB1/AN1/ANX, PQB0/AN0/ANW

Port CT: CTD22, CTD20, CTD[18:14], CTD[8:3]

Port CS:  $\overline{\text{ACS}}[2:0]/\text{PCS}[2:0]$ Port MC: TXDA/PMC7, RXDA/PMC6, TXDB/PMC5, RXDB/PMC4,  $\overline{\text{SS}}/\text{PMC3}$ , SCK/PMC2, MOSI/PMC1, MISO/PMC0Port SP:  $\overline{\text{RSS}}/\text{PSP7}$ , RSCK/PSP6, RMOSI/PSP5, RMISO/PSP4, RPCS[3:0]/PSP[3:0]Other: T2CLK, TP[15:0], CTM2C,  $\overline{\text{EBR}}/\text{TSC}$ ,  $\overline{\text{RESET}}$ 

## 2. Input/Output Pins:

Group 1 (Full and Half Load Capability):

Port E: CLKOUT/PE4

Group 2 (Full and Half Load Capability):

Port SP:  $\overline{\text{RSS}}/\text{PSP7}$ , RSCK/PSP6, RMOSI/PSP5, RMISO/PSP4, RPCS[3:0]/PSP[3:0]

Group 3(Full Load Capability):

Port A/B: A[15:8]/AD[15:8]/PA[7:0], A[7:0]/AD[7:0]/PB[7:0]

Port C: A[23]/ECLK/PC[7], A[18:16]/PC[2:0]

Port D:  $\overline{\text{CSA}}/\text{PD7}$ ,  $\overline{\text{CSB}}/\text{PD6}$ ,  $\overline{\text{CSC}}/\text{PD5}$ ,  $\overline{\text{DTACK}}/\text{PD4}$ ,  $\overline{\text{FREEZE}}/\text{QOUT}/\overline{\text{FASTREF}}/\text{CSE1}/\text{PD3}$ ,  
 $\overline{\text{BKPT}}/\text{DSCLK}/\text{CSE0}/\text{PD2}$ ,  $\overline{\text{IPIPE1}}/\text{DSI}/\text{PD1}$ ,  $\overline{\text{IPIPE0}}/\text{DSO}/\text{PD0}$ Port E: FC[1:0]/PE[6:5], SIZE/PE3,  $\overline{\text{AS}}/\text{PE2}$ ,  $\overline{\text{DS}}/\text{RD}/\text{PE1}$ ,  $\text{R}/\overline{\text{W}}/\text{WR}/\text{PE0}$ Port F:  $\overline{\text{IRQ}}[7:2]/\text{PF}[7:2]$ ,  $\overline{\text{IRQ}}[\text{X}]/\text{BERR}/\text{PF1}$ , ALE/PF0

Port G/H: D[15:8]/PG[7:0], D[7:0]/PH[7:0]

Port QA: PQA[7:5]/AN[59:57], PQA4/AN56/ETRIG2, PQA3/AN55/ETRIG1, PQA[2:0]/AN[54:52]/MA[2:0]

Port CT: CTD22, CTD20, CTD[18:14], CTD[8:3]

Port MC: TXDA/PMC7, RXDA/PMC6, TXDB/PMC5, RXDB/PMC4,  $\overline{\text{SS}}/\text{PMC3}$ , SCK/PMC2, MOSI/PMC1, MISO/PMC0

Port SP: RPCS[3:0]/PSP[3:0]

Other: TP[15:0]

Group 4 (Open Drain):  $\overline{\text{RESET}}$

## Output Pins:

Group 3(Full Load Capability):

Port CS: ACS[2:0]/PCS[2:0]

Other: CPWM[13:9]

3. Use of an active pulldown device is recommended.
5. Total operating current is the sum of the appropriate  $I_{DD}$ ,  $I_{DDSYN}$  and  $I_{SB}$  values, plus  $I_{DDA}$ .
6. Current measured with system clock frequency of 25.0MHz, all modules active.
7. Power dissipation measured with system clock frequency of 25.0 MHz, all modules active. Power dissipation can be calculated using the following expression:  
$$P_D = \text{Maximum } V_{DD} (I_{DD} + I_{DDSYN} + I_{SB}) + \text{Maximum } V_{DDA}(I_{DDA})$$
  
 $I_{DD}$  includes supply currents for all device modules powered by  $V_{DD}$  pins.
8. This parameter is periodically sampled rather than 100% tested.
9.  $V_{DD}$ ,  $V_{DDmin}$ ,  $V_{DDmax}$  are defined as described below:  
 $V_{DD}$ : a value of supply voltage actually applied to VDD pins  
 $V_{DDmin}$ : the lowest value of supply voltage within operating condition range (see No.0).  
 $V_{DDmax}$ : the highest value of supply voltage within operating condition range (see No.0).
10. In normal mode, RAM is readable/writable.
11. In standby mode, RAM array is protected.



## - SLIM AC 特性

表 164 AC タイミング

(4.5Vdc  $\leq$  ( $V_{DD}$  and  $V_{DDSYN}$ )  $\leq$  5.25Vdc,  $V_{SS} = 0$  Vdc,  $T_A = T_L$  to  $T_H$ )<sup>1</sup>

Num	Characteristic	Symbol	Min	Max	Unit
F2	Frequency of Operation, Fast Reference (6 MHz crystal <sup>2</sup> , ROM 版)	$f_{FST}$	0.46	25.0	MHz
	Frequency of Operation, Fast Reference (6 MHz crystal <sup>2</sup> , FLASH版)	$f_{FST}$	3.2	25.0	MHz
1	Clock Period	$t_{cyc}$	40	—	ns
1A	ECLK Period	$t_{Ecyc}$	8tcyc	16tcyc	ns
1B	External Clock Input Period <sup>3</sup>	$t_{xcyc}$	40	—	ns
2, 3	Clock Pulse Width	$t_{CW}$	$0.5 t_{cyc} - 5$	—	ns
2A, 3A	ECLK Pulse Width	$t_{ECW}$	4tcyc	8tcyc	ns
2B, 3B	External Clock Input High/Low Time <sup>3</sup>	$t_{XCHL}$	0.5tcyc	—	ns
4, 5	CLKOUT Rise and Fall Time	$t_{Crf}$	—	5	ns
4A, 5A	Rise and Fall Time (All outputs except CLKOUT)	$t_{rf}$	—	8	ns
4B, 5B	External Clock Input Rise and Fall Time	$t_{XCrf}$	—	5	ns
6	Clock High to ADDR, FC, SIZE, R/W Valid	$t_{CHAV}$	0	28	ns
7	Clock High to ADDR, Data, FC, SIZE, R/W High Impedance	$t_{CHAZx}$	0	0.5tcyc	ns
8	Clock High to ADDR, FC, SIZE Invalid <sup>4</sup>	$t_{CHAZn}$	0	—	ns
9	Clock Low to $\overline{AS}$ , $\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ , $\overline{WR}$ Asserted	$t_{CLSA}$	2	22	ns
9A	$\overline{AS}$ to $\overline{DS}$ or $\overline{CS}$ Asserted (Read) <sup>5</sup>	$t_{STSA}$	-15	15	ns
9B	$\overline{AS}$ Asserted to $\overline{CS}$ Asserted (STRB = 0) $\overline{DS}$ Asserted to $\overline{CS}$ Asserted (STRB = 1)	$t_{ADCS}$	-15	15	ns
11	ADDR, FC, SIZE Valid to $\overline{AS}$ , $\overline{CS}$ , $\overline{DS}$ , $\overline{RD}$ , $\overline{WR}$ Asserted	$t_{AVSA}$	10	—	ns
12	Clock Low to $\overline{AS}$ , $\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ , $\overline{WR}$ Negated	$t_{CLSN}$	2	22	ns
13	$\overline{AS}$ , $\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ , $\overline{WR}$ Negated to ADDR, FC, SIZE Invalid (Address Hold) <sup>4</sup>	$t_{SNAI}$	10	—	ns
14	$\overline{AS}$ , $\overline{CS}$ (STRB = 0) Width Asserted <sup>8</sup>	$t_{SWA}$	$(0.66+ws)tcyc$	—	ns
14A	$\overline{DS}$ , $\overline{CS}$ (STRB = 1) $\overline{RD}$ , $\overline{WR}$ Width Asserted (Read or Write) <sup>8,19</sup>	$t_{SWAW}$	$(ws - 0.5)tcyc$	—	ns
15	$\overline{AS}$ , $\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ , $\overline{WR}$ Width Negated <sup>9</sup>	$t_{SN}$	0.5tcyc	—	ns
16	Clock High to $\overline{AS}$ , $\overline{DS}$ , R/W, $\overline{RD}$ , $\overline{WR}$ , SIZE, ALE High Impedance	$t_{CHSZ}$	—	0.5tcyc	ns
17	$\overline{AS}$ , $\overline{DS}$ , $\overline{CS}$ Negated to R/W Invalid	$t_{SNRN}$	10	—	ns
18	Clock High to R/W High (Read)	$t_{CHRH}$	0	22	ns
20	Clock High to R/W Low (Write)	$t_{CHRL}$	0	22	ns
21	R/W High to $\overline{AS}$ , $\overline{CS}$ , $\overline{RD}$ , $\overline{WR}$ Asserted (Read)	$t_{RAAA}$	10	—	ns
22	R/W Low to $\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ , $\overline{WR}$ Asserted (Write)	$t_{RASA}$	15	—	ns
23	Clock High to Data Out Valid (Write)	$t_{CHDO}$	—	0.5tcyc	ns

表 164 AC タイミング ( 続き )

(4.5Vdc ≤ (V<sub>DD</sub> and V<sub>DDSYN</sub>) ≤ 5.25Vdc, V<sub>SS</sub> = 0 Vdc, T<sub>A</sub> = T<sub>L</sub> to T<sub>H</sub>)<sup>1</sup>

Num	Characteristic	Symbol	Min	Max	Unit
24	Data Out Valid to Negating Edge of $\overline{AS}$ , $\overline{CS}$ , $\overline{RD}$ , $\overline{WR}$ (Write)	t <sub>CHDO</sub>	10	—	ns
25	$\overline{DS}$ , $\overline{CS}$ , $\overline{WR}$ Negated to Data Out Invalid (Data Out Hold)	t <sub>SNDOI</sub>	5	—	ns
26	Data Out Valid to $\overline{DS}$ , $\overline{CS}$ Asserted (Write) <sup>10</sup>	t <sub>CHDO</sub>	10	—	ns
27	Data In Valid to Clock Low (Data Setup)	t <sub>DICL</sub>	10	—	ns
27A	Late $\overline{BERR}$ Asserted to Clock Low (Setup Time) <sup>11</sup>	t <sub>BELCL</sub>	15	—	ns
27B	Late $\overline{BERR}$ Hold Time <sup>11</sup>	t <sub>LBEH</sub>	15	—	ns
28	$\overline{AS}$ , $\overline{DS}$ Negated to $\overline{DTACK}$ , $\overline{BERR}$ Negated	t <sub>SNDN</sub>	0	0.5tcyc	ns
29	$\overline{DS}$ , $\overline{CS}$ Negated to Data In Invalid (Data In Hold) <sup>12</sup>	t <sub>SNDI</sub>	0	—	ns
29A	$\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ Negated to Data In High Impedance (Read, IDLE = 0) <sup>12</sup>	t <sub>SHDI0</sub>	—	1tcyc	ns
29B	$\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ Negated to Data In High Impedance (Read, IDLE = 1) <sup>12</sup>	t <sub>SHDI1</sub>	—	2tcyc	ns
30	CLKOUT Low to Data In Invalid (Data In Hold) <sup>12</sup>	t <sub>CLDI</sub>	15	—	ns
30A	CLKOUT Low to Data In High Impedance (IDLE = 0) <sup>12</sup>	t <sub>CLDH0</sub>	10	1tcyc	ns
30B	CLKOUT Low to Data In High Impedance (IDLE = 1) <sup>12</sup>	t <sub>CLDH1</sub>	15	2 tcyc	ns
31	$\overline{DTACK}$ Asserted to Data In Valid <sup>11</sup>	t <sub>DADI</sub>	—	0.8tcyc	ns
32	$\overline{AS}$ , $\overline{CS}$ Asserted to $\overline{DTACK}$ Asserted. <sup>8, 20</sup>	t <sub>SADTI</sub>	(ws - 1)tcyc	(ws - 0.5)tcyc - 5	ns
46	R/ $\overline{W}$ Width Asserted (Write or Read Cycle) <sup>8</sup>	t <sub>RWA</sub>	(1.5 + ws)tcyc	—	ns
47A	Input Setup Time EBR, $\overline{DTACK}$ , $\overline{BERR}$ <sup>11</sup>	t <sub>AIST</sub>	15	—	ns
47B	Input Hold Time EBR, $\overline{DTACK}$ , $\overline{BERR}$	t <sub>AIHT</sub>	15	—	ns
48	$\overline{DTACK}$ Asserted to $\overline{BERR}$ or late $\overline{BERR}$ Asserted <sup>11, 13</sup>	t <sub>DABA</sub>	—	0.5tcyc	ns
49	$\overline{IPIPE0}$ High to $\overline{RESET}$ High	t <sub>IHRH</sub>	0.5tcyc	—	ns
50	$\overline{IPIPE0}$ High to Mode Select Impedance	t <sub>IHMZ</sub>	—	5tcyc	ns
51	$\overline{RESET}$ High to $\overline{IPIPE0}$ Valid <sup>14</sup>	t <sub>RHIV</sub>	—	0.5tcyc	ns
53	Data Out Hold from Clock High	t <sub>DOCH</sub>	0	—	ns
54	Clock High to Data Out High Impedance	t <sub>CHDH</sub>	—	0.5tcyc	ns
55	R/ $\overline{W}$ Asserted to Data Bus Impedance Change	t <sub>RADC</sub>	0.5tcyc	—	ns
56	$\overline{RESET}$ Pulse Width	t <sub>HRPW</sub>	512tcyc	—	ns
66	ADDR, FC, SIZE, R/ $\overline{W}$ Valid to ALE Low (Setup) <sup>17</sup>	t <sub>AVAL</sub>	10	—	ns
69	Clock Low to Data Out High Impedance (Show Cycle), Only if the Next Cycle is a Read Cycle	t <sub>CHDOZ</sub>	5	0.5 tcyc	ns
70A	Clock High to Beginning Data Bus Driven (Show Cycle)	t <sub>SCHDD</sub>	0	0.5tcyc	ns
71	Data Setup Time to Clock Low (Show Cycle)	t <sub>SCLDS</sub>	-3	—	ns

表 164 AC タイミング ( 続き )

(4.5Vdc  $\leq$  (V<sub>DD</sub> and V<sub>DDSYN</sub>)  $\leq$  5.25Vdc, V<sub>SS</sub> = 0 Vdc, T<sub>A</sub> = T<sub>L</sub> to T<sub>H</sub>)<sup>1</sup>

Num	Characteristic	Symbol	Min	Max	Unit
72	Data Hold from Clock Low (Show Cycle)	t <sub>SCLDH</sub>	5	—	ns
73	BKPT Input Setup Time	t <sub>BKST</sub>	5	—	ns
74	BKPT Input Hold Time	t <sub>BKHT</sub>	15	—	ns
75	Mode Select Setup Time	t <sub>MSS</sub>	20tcyc	—	ns
76	Mode Select Hold Time	t <sub>MSH</sub>	0	—	ns
77	RESET Assertion Time <sup>14</sup>	t <sub>RSTA</sub>	4tcyc	—	ns
78	RESET Rise Time <sup>15, 16</sup>	t <sub>RSTR</sub>	—	190tcyc	ns
79	RESET Low and IPIPE0 Low to Mode Select Drive	t <sub>RILM</sub>	0	—	ns
80	Data-In Valid to CLKOUT Low (Data Setup, Read) <sup>17</sup>	t <sub>DIOL</sub>	10	—	ns
81	Clock High to Address, FC, SIZE, R/W Valid <sup>17</sup>	t <sub>CHAVM</sub>	0	37	ns
82	Clock High to ALE Asserted <sup>17</sup>	t <sub>CHAA</sub>	0	25	ns
83	ALE Asserted to AddressValid <sup>17</sup>	t <sub>AAAV</sub>	-10	10	ns
84	Clock Low to ALE Negated <sup>17</sup>	t <sub>CLAN</sub>	0	20	ns
85	ALE Negated to AD[15:0] Invalid <sup>17</sup>	t <sub>ANAI</sub>	5	—	ns
86	ALE Negated to AD[15:0] High Impedance (Read) <sup>17</sup>	t <sub>ANAZ</sub>	5	0.5 tcyc	ns
87	Clock High to AD[15:0] Invalid <sup>17</sup>	t <sub>CHAI</sub>	0	—	ns
88	Clock High to Address High Impedance (Read) <sup>17</sup>	t <sub>CHAZ</sub>	0	0.5tcyc	ns
89	AD[15:0] High Impedance to $\overline{DS}$ , $\overline{RD}$ Asserted (Read) <sup>17</sup>	t <sub>AZDA</sub>	10	—	ns
90	ALE Negated to $\overline{DS}$ , $\overline{RD}$ , $\overline{WR}$ Asserted <sup>17</sup>	t <sub>ANDA</sub>	0.5tcyc	—	ns
91	Minimum ALE Assertion Period <sup>17</sup>	t <sub>MALA</sub>	0.5 tcyc- 10	—	ns
92	$\overline{DS}$ , $\overline{RD}$ Asserted to Data-In Valid (Read) <sup>8,17</sup>	t <sub>DSDV</sub>	1	(0.33+ws-1)tcyc	ns
93	Data-Out Valid to $\overline{DS}$ , $\overline{WR}$ Asserted (Write, Setup, SHEN = 0) <sup>17</sup>	t <sub>DVDA</sub>	5	—	ns
93A	Data-Out Valid to $\overline{DS}$ , $\overline{WR}$ Asserted (Write, Setup, SHEN = 1) <sup>17</sup>	t <sub>DVDAI</sub>	-10	10	ns
94	$\overline{CS}$ , $\overline{DS}$ , $\overline{WR}$ Negated to Data-Out Invalid (Write, Hold) <sup>17</sup>	t <sub>DNDOI</sub>	8	—	ns
95	Clock High to Data-Out Valid (Write, SHEN = 0) <sup>17</sup>	t <sub>CHDV0</sub>	—	30	ns
95A	Clock Low to Data-Out Valid (Write, SHEN = 1) <sup>17</sup>	t <sub>CLDV1</sub>	—	30	ns
96	Clock High to Data-Out Invalid (Write, Hold)	t <sub>CHDI</sub>	2	—	ns
97	$\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ Negated to Data-In Invalid (Data-In Hold, Read) <sup>17</sup>	t <sub>DNDII</sub>	0	—	ns
97A	$\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ Negated to Data-In High Impedance (Read, IDLE = 0) <sup>17</sup>	t <sub>DNDZ</sub>	0	0.25tcyc	ns
97B	$\overline{DS}$ , $\overline{CS}$ , $\overline{RD}$ Negated to Data-In High Impedance (Read, IDLE = 1) <sup>17</sup>	t <sub>DNDZI</sub>	0	1.25tcyc	ns
98	$\overline{DS}$ Negated to Data-Out Valid (Show MUX, followed by another bus cycle; see timing diagram) <sup>17</sup>	t <sub>DNDV</sub>	—	2tcyc	ns

表 164 AC タイミング ( 続き )

$$(4.5\text{Vdc} \leq (V_{DD} \text{ and } V_{DDSYN}) \leq 5.25\text{Vdc}, V_{SS} = 0 \text{ Vdc}, T_A = T_L \text{ to } T_H)^1$$

Num	Characteristic	Symbol	Min	Max	Unit
98A	$\overline{DS}$ Negated to Data-Out Valid (Show MUX, followed by an idle bus cycle; see timing diagram) <sup>17</sup>	$t_{DNDVI}$	20	—	ns
99	CLKOUT Low to Data-In Invalid (Data-In Hold, Read) <sup>17</sup>	$t_{OLDI}$	10	—	ns
99A	CLKOUT Low to Data-In High Impedance (Read, IDLE = 0) <sup>17</sup>	$t_{OLDZ}$	—	0.5tcyc+10	ns
99B	CLKOUT Low to Data-In High Impedance (Read, IDLE = 1) <sup>17</sup>	$t_{OLDZI}$	—	1.75tcyc	ns
100	CLKOUT High to Phase 1 Asserted <sup>18</sup>	$t_{CHP1A}$	3	0.5tcyc+10	ns
101	CLKOUT High to Phase 2 Asserted <sup>18</sup>	$t_{CHP2A}$	3	0.5tcyc+10	ns
102	Phase 1 Valid to $\overline{AS}$ or $\overline{DS}$ Asserted <sup>18</sup>	$t_{P1VSA}$	10	—	ns
103	Phase 2 Valid to $\overline{AS}$ or $\overline{DS}$ Negated <sup>18</sup>	$t_{P2VSN}$	10	—	ns
103A	Phase 2 Valid to CLKOUT High <sup>18</sup>	$t_{P2VSN}$	10	—	ns
104	$\overline{AS}$ or $\overline{DS}$ Asserted to Phase 1 Negated <sup>18</sup>	$t_{SAP1N}$	10	—	ns
105	$\overline{AS}$ or $\overline{DS}$ Negated to Phase 2 Negated <sup>18</sup>	$t_{SNP2N}$	10	—	ns
105A	CLKOUT High to Phase 2 Negated <sup>18</sup>	$t_{SNP2N}$	10	—	ns

## NOTES:

1. All AC timing is shown with respect to 20% and 70%  $V_{DD}$  levels unless otherwise noted.
2. Minimum system clock frequency is crystal frequency divided by 128, subject to specified limits.
3. Minimum external clock high and low times are based on a 50% duty cycle. The minimum allowable  $t_{xcyc}$  period is reduced when the duty cycle of the external clock varies. The relationship between external clock input duty cycle and minimum  $t_{xcyc}$  is expressed:  
Minimum  $t_{xcyc}$  period = minimum  $t_{xchl}$  / (50% – external clock input duty cycle tolerance).  
To achieve maximum operating frequency ( $f_{sys}$ ) while using an external clock input, adjust clock input duty cycle to obtain a 50% duty cycle on CLKOUT.
4. For non-multiplexed operation, applies to ADDR[23:0], FC[1:0], SIZE, and  $R/\overline{W}$ ; for multiplexed operation, applies only to ADDR[23:16], FC[1:0], SIZE, and  $R/\overline{W}$ .
5. Specification 9A is the worst-case skew between  $\overline{AS}$  and  $\overline{DS}$  or  $\overline{CS}$ . The amount of skew depends on the relative loading of these signals. When loads are kept within specified limits, skew will not cause  $\overline{AS}$  and  $\overline{DS}$  to fall outside the limits shown in specification 9.
8. Number of wait states = ws. When fast termination is used (2-clock bus) ws = 0. For 3-clock bus, ws = 1.
9. If multiple chip selects are used,  $\overline{CS}$  width negated (specification 15) applies to the time from the negation of a heavily loaded chip select to the assertion of a lightly loaded chip select. The  $\overline{CS}$  width negated specification between multiple chip selects does not apply to chip selects being used for synchronous ECLK cycles.
10. Specification 26 is valid only for 3-clock or more bus cycles. Specification 26 does not apply to 2-clock bus cycles.
11. If the setup time (specification 47A) requirements are satisfied, the  $\overline{DTACK}$  low to data setup time (specification 31) and  $\overline{DTACK}$  low to BERR low setup time (specification 48) can be ignored. The data must only satisfy the data-in to clock low setup time (specification 27) for the following clock cycle. BERR must satisfy only the late BERR low to clock low setup time (specification 27A) and the late  $\overline{BERR}$  hold time (specification 27B) for the following clock cycle.
12. These hold times are specified with respect to  $\overline{DS}$  or  $\overline{CS}$  on asynchronous reads or CLKOUT. The user is free to choose either hold time.
13. In the absence of  $\overline{DTACK}$ ,  $\overline{BERR}$  is an asynchronous input using the asynchronous setup time (specification 47A or 27A).
14. After external  $\overline{RESET}$  negation is detected, a short transition period (approximately 2  $t_{cyc}$ ) elapses, then the SLIM drives  $\overline{RESET}$  low for 512  $t_{cyc}$ . During the transition period  $IPIPE0$  may be High or Low.
15. External assertion of the  $\overline{RESET}$  input can overlap internally-generated resets. To insure that an external reset is recognized in all cases,  $\overline{RESET}$  must be asserted for at least 750 CLKOUT cycles.
16. External logic should pull  $\overline{RESET}$  high during this period. If  $\overline{RESET}$  is not High by the end of this period, the SLIM waits an additional 180  $t_{cyc}$ .

17. Multiplexed timing parameters are for 3-clock and greater bus cycle operation, with the exception of Emulation Mode bus cycles.
18. Applies only to devices that include the CPU16. Eight pipeline states are multiplexed into  $\overline{\text{IPIPE}}[1:0]$ . The multiplexed signals have two phases.
19. When  $ws=0$ , min value = 0.5  $t_{cyc}$ .
20. The WS is 1 up to.

表 165 バッグランド・デバッグ・モード・タイミング  
( $4.5\text{Vdc} \leq (V_{DD} \text{ and } V_{DDSYN}) \leq 5.25\text{Vdc}$ ,  $V_{SS} = 0\text{Vdc}$ ,  $T_A = T_L \text{ to } T_H$ )<sup>1</sup>

Num	Characteristic	Symbol	Min	Max	Unit
B0	DSI Input Setup Time	$t_{DSISU}$	15	—	ns
B1	DSI Input Hold Time	$t_{DSIH}$	10	—	ns
B2	DSCLK Setup Time	$t_{DSCSU}$	18	—	ns
B3	DSCLK Hold Time	$t_{DSCH}$	10	—	ns
B4	DSO Delay Time	$t_{DSOD}$	—	25	ns
B5	DSCLK Cycle Time	$t_{DSCCYC}$	$2t_{cyc}$	—	ns
B6	CLKOUT High to FREEZE Asserted/Negated	$t_{FRZAN}$	—	50	ns
B7	CLKOUT High to $\overline{\text{IPIPE}}1$ /DSI High Impedance	$t_{IFZ}$	—	50	ns
B8	CLKOUT High to $\overline{\text{IPIPE}}1$ /DSI High Impedance Change (Drive)	$t_{IF}$	—	50	ns
B9	DSCLK Low Time	$t_{DSCLO}$	$1t_{cyc}$	—	ns
B10	$\overline{\text{IPIPE}}1$ /DSI High Impedance to FREEZE Asserted	$t_{DSIZFA}$	16	—	ns
B11	FREEZE Negated to $\overline{\text{IPIPE}}1$ /DSI High Impedance Change (Drive)	$t_{FNDSID}$	16	—	ns

## NOTES:

1. All AC timing is shown with respect to 20%  $V_{DD}$  and 70%  $V_{DD}$  levels unless otherwise noted.

表 166 ECLK バス・タイミング

(4.5Vdc  $\leq$  ( $V_{DD}$  and  $V_{DDSYN}$ )  $\leq$  5.25Vdc,  $V_{SS} = 0$  Vdc,  $T_A = T_L$  to  $T_H$ )<sup>1</sup>

Num	Characteristic	Symbol	Min	Max	Unit
E1	ECLK Low to Address Valid <sup>2</sup>	$t_{EAD}$	—	$1t_{cyc}$	ns
E2	ECLK Low to Address Hold	$t_{EAH}$	10	—	ns
E3	ECLK Low to $\overline{CS}$ Valid ( $\overline{CS}$ Delay)	$t_{ECSD}$	—	$3.5t_{cyc}$	ns
E4	ECLK Low to $\overline{CS}$ Hold	$t_{ECSH}$	15	—	ns
E5	$\overline{CS}$ Negated Width	$t_{ECSN}$	$0.5t_{cyc}$	—	ns
E6	Read Data Setup Time	$t_{EDSR}$	$0.75t_{cyc}$	—	ns
E7	Read Data Hold Time	$t_{EDHR}$	15	—	ns
E8	ECLK Low to Data High Impedance	$t_{EDHZ}$	—	$1t_{cyc}$	ns
E9	$\overline{CS}$ Negated to Data Hold (Read)	$t_{ECDH}$	0	—	ns
E10	$\overline{CS}$ Negated to Data High Impedance (Read)	$t_{ECDZ}$	—	$1t_{cyc}$	ns
E11	ECLK Low to Data Valid (Write)	$t_{EDDW}$	—	$2t_{cyc}$	ns
E12	ECLK Low to Data Hold (Write)	$t_{EDHW}$	5	—	ns
E13	$\overline{CS}$ Negated to Data Hold (Write)	$t_{ECHW}$	0	—	ns
E14	Address Access Time (Read) <sup>3</sup>	$t_{EACC}$	$6t_{cyc}$	—	ns
E15	Chip-Select Access Time (Read) <sup>4</sup>	$t_{EACS}$	$4.5t_{cyc}$	—	ns
E16	Address Setup Time	$t_{EAS}$	$0.5t_{cyc}$	—	ns

## NOTES:

1. All AC timing is shown with respect to  $V_{IH}/V_{IL}$  levels unless otherwise noted.
2. When previous bus cycle is not an ECLK cycle, the address may be valid before ECLK goes low.
3. Address access time =  $t_{Ecyc} - t_{EAD} - t_{EDSR}$ .
4. Chip-select access time =  $t_{Ecyc} - t_{ECSD} - t_{EDSR}$ .

## - ACS AC 特性

表 167 ACS タイミング

$$(4.5\text{Vdc} \leq (V_{DD} \text{ and } V_{DDSYN}) \leq 5.25\text{Vdc}, V_{SS} = 0\text{Vdc}, T_A = T_L \text{ to } T_H)$$

Num	Characteristic	Symbol	Min	Max	Unit
1	Clock Low to ACS asrt	$t_{CLSA}$	2.0	25.0	ns
2	Clock Low to ACS neg	$t_{CLSN}$	2.0	23.0	ns

## - SPI AC 特性

表 168 SPI タイミング

(4.5Vdc ≤ (V<sub>DD</sub> and V<sub>DDSYN</sub>) ≤ 5.25Vdc, V<sub>SS</sub> = 0 Vdc, T<sub>A</sub> = T<sub>L</sub> to T<sub>H</sub>)<sup>1</sup>

Num	Parameter	Symbol	Min	Max	Unit
0	Operating Frequency Master Slave	f <sub>op</sub>	DC DC	1/4 1/4	System Clock Frequency System Clock Frequency
1	Cycle Time Master Slave	t <sub>qcy</sub>	4 4	510 —	t <sub>cyc</sub> t <sub>cyc</sub>
2	Enable Lead Time Master Slave	t <sub>lead</sub>	2 2	— —	t <sub>cyc</sub> t <sub>cyc</sub>
3	Enable Lag Time Master(CPHA=1) Master(CPHA=0) Slave	t <sub>lag</sub>	— 2 2	1/2 — —	SCK t <sub>cyc</sub> t <sub>cyc</sub>
4	Clock (SCK) High or Low Time Master Slave <sup>2</sup>	t <sub>sw</sub>	t <sub>cyc</sub> - 60 t <sub>cyc</sub> - n	255 t <sub>cyc</sub> —	ns ns
5	Sequential Transfer Delay Master Slave(Does Not Require Deselect)	t <sub>td</sub>	— 13	— —	t <sub>cyc</sub> t <sub>cyc</sub>
6	Data Setup Time (Inputs) Master Slave	t <sub>su</sub>	30 20	— —	ns ns
7	Data Hold Time (Inputs) Master Slave	t <sub>hi</sub>	0 20	— —	ns ns
8	Slave Access Time	t <sub>a</sub>	—	1	t <sub>cyc</sub>
9	Slave MISO Disable Time	t <sub>dis</sub>	—	2	t <sub>cyc</sub>
10	Data Valid (after SCK Edge) Master Slave	t <sub>v</sub>	— —	50 50	ns ns
11	Data Hold Time (Outputs) Master Slave	t <sub>ho</sub>	0 0	— —	ns ns
12	Rise Time Input Output	t <sub>ri</sub> t <sub>ro</sub>	— —	2 30	μs ns
13	Fall Time Input Output	t <sub>ri</sub> t <sub>ro</sub>	— —	2 30	μs ns

## NOTE:

1. All AC timing is shown with respect to 20% V<sub>DD</sub> and 70% V<sub>DD</sub> levels unless otherwise noted.
2. For high time, n=External SCK rise, for low time, n=External SCK fall time.



## - RSPI AC 特性

表 169 RSPI タイミング (Master)

(4.5Vdc  $\leq$  (V<sub>DD</sub> and V<sub>DDSYN</sub>)  $\leq$  5.25Vdc, V<sub>SS</sub> = 0 Vdc, T<sub>A</sub> = T<sub>L</sub> to T<sub>H</sub>)

Num	Function	Symbol	Skew Off		Skew On		Unit
			Min	Max	Min	Max	
0	System Operation Frequency	f <sub>sys</sub>	DC	25	DC	25	MHz
1	RSE Setup Time	t <sub>rsu</sub>	---	12*t <sub>cyc</sub> + 25	---	12*t <sub>cyc</sub> + 25	ns
2	RSE Hold Time	t <sub>rho</sub>	0	---	0	---	ns
3	$\overline{\text{RSS}}$ Fall Time	t <sub>sf</sub>	---	30	---	30	ns
4	$\overline{\text{RSS}}$ Rise Time	t <sub>rf</sub>	---	30	---	30	ns
5	Slave Enable Lead Time	t <sub>lead</sub>	2*t <sub>cyc</sub> - 25	1024*t <sub>cyc</sub>	2*t <sub>cyc</sub> - 25	1024*t <sub>cyc</sub>	ns
6 <sup>1</sup>	Master Cycle Time	t <sub>sck</sub>	4	2048	4	2048	t <sub>cyc</sub>
7 <sup>1</sup>	Slave Enable Lag Time	t <sub>lag</sub>	4	2048	4	2048	t <sub>cyc</sub>
8	RSCK Low Time	t <sub>slow</sub>	2*t <sub>cyc</sub> - 30	1024*t <sub>cyc</sub> - 30	2*t <sub>cyc</sub> - 30	1024*t <sub>cyc</sub> - 30	ns
9	RSCK High Time	t <sub>shigh</sub>	2*t <sub>cyc</sub> - 30	1024*t <sub>cyc</sub> - 30	2*t <sub>cyc</sub> - 30	1024*t <sub>cyc</sub> - 30	ns
10	RSCK Fall Time	t <sub>f</sub>	---	30	---	30	ns
11	RSCK Rise Time	t <sub>r</sub>	---	30	---	30	ns
12 <sup>1,2</sup>	Command Enable Setup Time	t <sub>csu</sub>	2	1024	2	1024	t <sub>cyc</sub>
13 <sup>2</sup>	Command Enable Hold Time	t <sub>cho</sub>	2*t <sub>cyc</sub>	1024*t <sub>cyc</sub>	2*t <sub>cyc</sub>	1024*t <sub>cyc</sub>	ns
14	Input Data Setup Time	t <sub>isu</sub>	30	---	30 - t <sub>sck</sub> *SKEW/8	---	ns
15	Input Data Hold Time	t <sub>iho</sub>	0	---	t <sub>sck</sub> *SKEW/8	---	ns
17	Output Data Valid Time	t <sub>v</sub>	---	50	---	50	ns
18	Output Data Hold Time	t <sub>ho</sub>	---	50	---	50	ns
19	RSFIN Assertion Time	t <sub>fin</sub>	---	10*t <sub>cyc</sub>	---	10*t <sub>cyc</sub> +t <sub>sck</sub> *3/8	ns
27	MST bit Setup Time	t <sub>msu</sub>	0	---	0	---	ns
28	Output Port Enable Lead Time	t <sub>olead</sub>	---	35	---	35	ns
29	Output Port Enable Lag Time	t <sub>olag</sub>	---	35	---	35	ns
30	RSE Clear Lead Time	t <sub>rlead</sub>	---	10*t <sub>cyc</sub>	---	10*t <sub>cyc</sub> +t <sub>sck</sub> *3/8	ns

## NOTES:

1. t<sub>cyc</sub> is the system clock period of Master RSPI.(= 1/f<sub>sys</sub>)
2. Valid only for Address Slave-Select Mode (SSM=1)

表 170 RSPI タイミング (Slave)

(4.5Vdc  $\leq$  (V<sub>DD</sub> and V<sub>DDSYN</sub>)  $\leq$  5.25Vdc, V<sub>SS</sub> = 0 Vdc, T<sub>A</sub> = T<sub>L</sub> to T<sub>H</sub>)

Num	Function	Symbol	Skew Off		Skew On		Unit
			Min	Max	Min	Max	
0	System Operation Frequency	f <sub>sys</sub>	DC	25	DC	25	MHz
1 <sup>1</sup>	RSE Setup Time	t <sub>rsu</sub>	12	---	12	---	t <sub>cyc</sub>
2 <sup>2</sup>	RSE Hold Time	t <sub>rho</sub>	0	---	t <sub>baud</sub> *2/8	---	ns
3	RSS Fall Time	t <sub>sf</sub>	---	1	---	1	ns
4	RSS Rise Time	t <sub>rf</sub>	---	1	---	1	ns
5	Slave Enable Lead Time	t <sub>lead</sub>	2*t <sub>cyc</sub> - 25	---	2*t <sub>cyc</sub> - 25	---	ns
6	Master Cycle Time	t <sub>sck</sub>	4	---	4	---	t <sub>cyc</sub>
7	Slave Enable Lag Time	t <sub>lag</sub>	0	---	0	---	t <sub>cyc</sub>
8	RSCK Low Time	t <sub>slow</sub>	50	---	50	---	ns
9	RSCK High Time	t <sub>shigh</sub>	50	---	50	---	ns
10	RSCK Fall Time	t <sub>f</sub>	---	1	---	1	μs
11	RSCK Rise Time	t <sub>r</sub>	---	1	---	1	μs
12 <sup>1</sup>	Command Enable Setup Time	t <sub>csu</sub>	30	---	30	---	t <sub>cyc</sub>
13 <sup>3</sup>	Command Enable Hold Time	t <sub>cho</sub>	0	---	0	---	ns
14	Input Data Setup Time	t <sub>isu</sub>	30	---	30	---	ns
15	Input Data Hold Time	t <sub>iho</sub>	0	---	0	---	ns
16 <sup>2</sup>	Slave Select Lag Time	t <sub>slag</sub>	---	25	---	25 + t <sub>baud</sub> *2/8	ns
17 <sup>2</sup>	Output Data Valid Time	t <sub>v</sub>	---	25	---	25 + t <sub>baud</sub> *2/8	ns
18 <sup>2</sup>	Output Data Hold Time	t <sub>ho</sub>	---	25	---	25 + t <sub>baud</sub> *2/8	ns
19 <sup>2</sup>	RSFIN Assertion Time	t <sub>fin</sub>	---	10*t <sub>cyc</sub>	---	10*t <sub>cyc</sub> +t <sub>sck</sub> *3/8	ns
20 <sup>2</sup>	RSS Noise (High)	t <sub>sn</sub>	---	20	---	20 + t <sub>baud</sub> *2/8	ns
21 <sup>2</sup>	RSS Noise (Low)	t <sub>sa</sub>	---	20	---	20 + t <sub>baud</sub> *2/8	ns
22 <sup>2</sup>	Valid RSS Negation	t <sub>sv</sub>	20	---	20 + t <sub>baud</sub> *2/8	---	ns
23 <sup>2</sup>	MODF Window Lead Time	t <sub>mfllead</sub>	25	---	20 + t <sub>baud</sub> *2/8	---	ns
24	MODF Window Lag Time	t <sub>mflag</sub>	0	---	0	---	ns
25 <sup>1</sup>	RSCK Don't Care Period	t <sub>sd</sub>	---	10	---	10	t <sub>cyc</sub>
26 <sup>1</sup>	Wait Time	t <sub>dtt</sub>	10	---	10	---	t <sub>cyc</sub>

## NOTES:

- 1.t<sub>cyc</sub> is the system clock period of Slave RSPI.(= 1/f<sub>sys</sub>)
2. t<sub>baud</sub> is the cycle time of slave baud rate generator.
- 3.Valid only for Address Slave-Select Mode (SSM=1)

## - QADC DC characteristics/AC タイミング

表 171 QADC 最大定格

Num	Parameter	Symbol	Min	Max	Unit
1	Analog Supply, with reference to $V_{SSA}$	$V_{DDA}$	- 0.3	6.5	V
2	Internal Digital Supply, with reference to $V_{SSI}$	$V_{DDI}$	- 0.3	6.5	V
3	Reference Supply, with reference to $V_{RL}$	$V_{RH}$	- 0.3	6.5	V
4	$V_{SS}$ Differential Voltage	$V_{SSI} - V_{SSA}$	- 0.1	0.1	V
5	$V_{DD}$ Differential Voltage	$V_{DDI} - V_{DDA}$	- 6.5	6.5	V
6	$V_{REF}$ Differential Voltage	$V_{RH} - V_{RL}$	- 6.5	6.5	V
7	$V_{RH}$ to $V_{DDA}$ Differential Voltage	$V_{RH} - V_{DDA}$	- 6.5	6.5	V
8	$V_{RL}$ to $V_{SSA}$ Differential Voltage	$V_{RL} - V_{SSA}$	- 6.5	6.5	V
9	Disruptive Input Current <sup>1, 2, 3, 4, 5, 6, 7</sup> $V_{NEGCLAMP} = -0.3\text{ V}$ $V_{POSCLAMP} = 8\text{ V}$	$I_{NA}$	- 500	500	m A
10	Positive Overvoltage Current Coupling Ratio <sup>1, 5, 6, 8</sup> PQA PQB	$K_P$	2000 2000	—	—
11	Negative Overvoltage Current Coupling Ratio <sup>1, 5, 6, 8</sup> PQA PQB	$K_N$	125 500	—	—
12	Maximum Input Current <sup>3, 4, 6</sup> $V_{NEGCLAMP} = -0.3\text{ V}$ $V_{POSCLAMP} = 8\text{ V}$	$I_{MA}$	- 25	25	mA

## NOTES:

1. Below disruptive current conditions, the channel being stressed has conversion values of \$3FF for analog inputs greater than  $V_{RH}$  and \$000 for values less than  $V_{RL}$ . This assumes that  $V_{RH}$ ,  $V_{DDA}$  and  $V_{RL}$ ,  $V_{SSA}$  due to the presence of the sample amplifier. Other channels are not affected by non-disruptive conditions.
2. Input signals with large slew rates or high frequency noise components cannot be converted accurately. These signals also affect the conversion accuracy of other channels.
3. Exceeding limit may cause conversion error on stressed channels and on unstressed channels. Transitions within the limit do not affect device reliability or cause permanent damage.
4. Input must be current limited to the value specified. To determine the value of the required current-limiting resistor, calculate resistance values using positive and negative clamp values, then use the larger of the calculated values.
5. This parameter is periodically sampled rather than 100% tested.
6. Condition applies to one pin at a time.
7. Determination of actual maximum disruptive input current, which can affect operation, is related to external system component values.
8. Current coupling is the ratio of the current induced from overvoltage (positive or negative, through an external series coupling resistor), divided by the current induced on adjacent pins. A voltage drop may occur across the external source impedances of the adjacent pins, impacting conversions on these adjacent pins.

表 172 QADC DC 電氣的特性 (動作中)  
( $V_{SSI}$  and  $V_{SSA} = 0Vdc$ ,  $F_{QCLK} = 2.1\text{ MHz}$ ,  $T_A = T_L$  to  $T_H$ )

Num	Parameter	Symbol	Min	Max	Unit
1	Analog Supply <sup>1</sup>	$V_{DDA}$	4.5	5.25	V
2	Internal Digital Supply <sup>1</sup>	$V_{DDI}$	4.5	5.25	V
3	$V_{SS}$ Differential Voltage	$V_{SSI} - V_{SSA}$	- 1.0	1.0	mV
4	$V_{DD}$ Differential Voltage	$V_{DDI} - V_{DDA}$	- 1.0	1.0	V
5	Reference Voltage Low <sup>2</sup>	$V_{RL}$	$V_{SSA}$	—	V
6	Reference Voltage High <sup>2</sup>	$V_{RH}$	—	$V_{DDA}$	V
7	$V_{REF}$ Differential Voltage <sup>3</sup>	$V_{RH} - V_{RL}$	4.5	5.25	V
8	Mid-Analog Supply Voltage	$V_{DDA}/2$	2.25	2.625	V
9	Input Voltage	$V_{INDC}$	$V_{SSA}$	$V_{DDA}$	V
10	Input High Voltage, PQA and PQB	$V_{IH}$	0.7 ( $V_{DDA}$ )	$V_{DDA} + 0.3$	V
11	Input Low Voltage, PQA and PQB	$V_{IL}$	$V_{SSA} - 0.3$	0.2 ( $V_{DDA}$ )	V
12	Input Hysteresis <sup>4</sup>	$V_{HYS}$	0.5	—	V
13	Output Low Voltage, PQA <sup>5</sup> $I_{OL} = 5.3\text{ mA}$ $I_{OL} = 10.0\text{ A}$	$V_{OL}$	— —	0.4 0.2	V
14	Analog Supply Current Normal Operation <sup>6</sup> Low-Power Stop	$I_{DDA}$	— —	15.0 30.0	mA $\mu\text{A}$
15	Reference Supply Current	$I_{REF}$	—	150	$\mu\text{A}$
16	Load Capacitance, PQA	$C_L$	—	90	pF
17	Input Current, Channel Off <sup>7</sup> PQA PQB	$I_{OFF}$	— —	250 150	nA
18	Total Input Capacitance <sup>8</sup> PQA Not Sampling PQA Sampling PQB Not Sampling PQB Sampling	$C_{IN}$	— — — —	15 20 10 15	pF

## NOTES:

- Refers to operation over full temperature and frequency range.
- To obtain full-scale, full-range results,  $V_{SSA}$   $V_{RL}$   $V_{INDC}$   $V_{RH}$   $V_{DDA}$ .
- Accuracy tested and guaranteed at  $V_{RH} - V_{RL} = 4.5V - 5.25V$
- Parameter applies to the following pins:  
Port A: PQA[7:0]/AN[59:58]/ETRIG[2:1]  
Port B: PQB[7:0]/AN[3:0]/AN[51:48]/AN[Z:W]
- Open drain only.
- Current measured at maximum system clock frequency with QADC active.
- Maximum leakage occurs at maximum operating temperature. Current decreases by approximately one-half for each 10 °C decrease from maximum temperature.
- This parameter is periodically sampled rather than 100% tested.

表 173 QADC AC 電気的特性 (動作中)  
 $(4.5\text{Vdc} \leq (V_{\text{DDI}} \text{ and } V_{\text{DDA}}) \leq 5.25\text{Vdc}, V_{\text{SS}} = 0\text{ Vdc}, T_{\text{A}} = T_{\text{L}} \text{ to } T_{\text{H}})$

Num	Parameter	Symbol	Min	Max	Unit
1	QADC Clock (QCLK) Frequency <sup>1</sup>	$F_{\text{QCLK}}$	0.5	2.1	MHz
2	QADC Clock Duty Cycle <sup>2, 3</sup> High Phase Time ( $T_{\text{PSL}} \leq T_{\text{PSH}}$ )	$T_{\text{PSH}}$	500	—	ns
3	Conversion Cycles <sup>4</sup>	CC	18	32	QCLK cycles
4	Conversion Time <sup>2,4,5</sup> $F_{\text{QCLK}} = 1\text{ MHz}$ <sup>6</sup> Min = CCW/IST = %00 Max = CCW/IST = %11 $F_{\text{QCLK}} = 2.083\text{ MHz}$ <sup>1, 7</sup> Min = CCW/IST = %00 Max = CCW/IST = %11	$T_{\text{CONV}}$	18.0 8.64	32 17.28	$\mu\text{s}$
5	Stop Mode Recovery Time	$T_{\text{SR}}$	—	10	$\mu\text{s}$

## NOTES:

1. Conversion characteristics vary with  $F_{\text{QCLK}}$  rate. Reduced conversion accuracy occurs at max  $F_{\text{QCLK}}$  rate.
2. Duty cycle must be as close as possible to 75% to achieve optimum performance.
3. Minimum applies to 1.0 MHz operation.
4. Assumes that short input sample time has been selected (IST = 0).
5. Assumes that  $f_{\text{SYS}} = 25\text{ MHz}$ .
6. Assumes  $F_{\text{QCLK}} = 1\text{ MHz}$ , with clock prescaler values of:  
QACR0: PSH = %10001, PSA = %1, PSL = %110)  
CCW: BYP = %0
7. Assumes  $F_{\text{QCLK}} = 2.083\text{ MHz}$ , with clock prescaler values of:  
QACR0: PSH = %01000, PSA = %1, PSL = %010)  
CCW: BYP = %0

表 174 QADC 変換特性 (動作中)  
 $(4.5\text{Vdc} \leq (V_{DD} \text{ and } V_{DDA}) \leq 5.25\text{Vdc}, V_{SS} = 0\text{Vdc}, T_A = T_L \text{ to } T_H$   
 $0.5\text{MHz} \leq F_{QCLK} \leq 2.1\text{MHz}, 2\text{ clock input sample time})$

Num	Parameter	Symbol	Min	Typ	Max	Unit
1	Resolution <sup>1</sup>	1 Count	—	5	—	mV
2	Differential nonlinearity <sup>2</sup>	DNL	—	—	0.5	Counts
3	Integral nonlinearity	INL	—	—	1.5	Counts
4	Absolute error <sup>2, 3, 4</sup>	AE	—	—	± 2.0	Counts
	$F_{QCLK} = 1\text{MHz}^5$					
	PQA					
	PQB					
	$F_{QCLK} = 2.083\text{MHz}^6$				± 2.5	
	PQA					
	PQB					
5	Source impedance at input <sup>7</sup>	$R_S$	—	20	—	k $\Omega$

## NOTES:

- At  $V_{RH} - V_{RL} = 5.12\text{V}$ , one count = 5 mV.
- This parameter is periodically sampled rather than 100% tested.
- Absolute error includes 1/2 count (2.5 mV) of inherent quantization error and circuit (differential, integral, and offset) error. Specification assumes that adequate low-pass filtering is present on analog input pins — capacitive filter with 0.01 F to 0.1 F capacitor between analog input and analog ground, typical source isolation impedance of 20 K.
- Assumes  $f_{sys} = 25\text{MHz}$ .
- Assumes clock prescaler values of:  
QACR0: PSH = %10001, PSA = %1, PSL = %110)  
CCW: BYP = %0
- Assumes clock prescaler values of:  
QACR0: PSH = %01000, PSA = %1, PSL = %010)  
CCW: BYP = %0
- Maximum source impedance is application-dependent. Error resulting from pin leakage depends on junction leakage into the pin and on leakage due to charge-sharing with internal capacitance.  
Error from junction leakage is a function of external source impedance and input leakage current. In the following expression, expected error in result value due to junction leakage is expressed in voltage ( $V_{errj}$ ):  

$$V_{errj} = R_S \times I_{OFF}$$
 where  $I_{OFF}$  is a function of operating temperature. (See Table 表 172, Note 7).  
 Charge-sharing leakage is a function of input source impedance, conversion rate, change in voltage between successive conversions, and the size of the decoupling capacitor used. Error levels are best determined empirically. In general, continuous conversion of the same channel may not be compatible with high source impedance.

## - CTM AC 特性

表 175 MCSM タイミング

(4.5Vdc  $\leq$  (V<sub>DD</sub> and V<sub>DDSYN</sub>)  $\leq$  5.25Vdc, V<sub>SS</sub> = 0 Vdc, T<sub>A</sub> = T<sub>L</sub> to T<sub>H</sub>)

Characteristic	Symbol	Min	Max	Unit
System operating frequency	f <sub>CLK</sub>	0	25.0	MHz
Input pin frequency <sup>1</sup>	f <sub>PCNTR</sub>	0	f <sub>CLK</sub> /4	MHz
Input pin low time <sup>1</sup>	t <sub>PINL</sub>	2.0/f <sub>CLK</sub>	—	μs
Input pin high time <sup>1</sup>	t <sub>PINH</sub>	2.0/f <sub>CLK</sub>	—	μs
Clock pin to counter increment	t <sub>PINC</sub>	4.5/f <sub>CLK</sub>	6.5/f <sub>CLK</sub>	μs
Clock pin to new TBB value	t <sub>PTBB</sub>	5.0/f <sub>CLK</sub>	7.0/f <sub>CLK</sub>	μs
Clock pin to COF set (\$FFFF)	t <sub>PCOF</sub>	4.5/f <sub>CLK</sub>	6.5/f <sub>CLK</sub>	μs
Load pin to new counter value	t <sub>LOAD</sub>	2.5/f <sub>CLK</sub>	3.5/f <sub>CLK</sub>	μs
Pin to IN bit delay	t <sub>PINB</sub>	1.5/f <sub>CLK</sub>	2.5/f <sub>CLK</sub>	μs
Flag to IMB interrupt request	t <sub>FIRQ</sub>	1.0/f <sub>CLK</sub>	1.0/f <sub>CLK</sub>	μs
Counter resolution <sup>2</sup>	t <sub>CRES</sub>	—	2.0/f <sub>CLK</sub>	μs

Note:1. Value applies when using external clock.

2. Value applies when using internal clock. Minimum counter resolution depends on prescaler divide ration selection.

表 176 DASM タイミング

(4.5Vdc  $\leq$  (V<sub>DD</sub> and V<sub>DDSYN</sub>)  $\leq$  5.25Vdc, V<sub>SS</sub> = 0 Vdc, T<sub>A</sub> = T<sub>L</sub> to T<sub>H</sub>)

Characteristic	Symbol	Min	Max	Unit
System operating frequency	f <sub>CLK</sub>	0	25.0	MHz
Input capture mode:(IPLM,IPM,IC):				
Input pin low time	t <sub>PINL</sub>	2.0/f <sub>CLK</sub>	—	μs
Input pin high time	t <sub>PINH</sub>	2.0/f <sub>CLK</sub>	—	μs
Input capture resolution <sup>1</sup>	t <sub>RESCA</sub>	—	2.0/f <sub>CLK</sub>	μs
Pin to input capture delay	t <sub>PCAPT</sub>	2.5/f <sub>CLK</sub>	4.5/f <sub>CLK</sub>	μs
Pin to FLAG set	t <sub>PFLAG</sub>	2.5/f <sub>CLK</sub>	4.5/f <sub>CLK</sub>	μs
Pin to IN bit delay	t <sub>PCAPT</sub>	1.5/f <sub>CLK</sub>	2.5/f <sub>CLK</sub>	μs
Output compare mode:(OC,OPWM):				
OCT output pulse	t <sub>OCT</sub>	2.0/f <sub>CLK</sub>	—	μs
Compare resolution <sup>1</sup>	t <sub>RESCM</sub>	—	2.0/f <sub>CLK</sub>	μs
TBB change to FLAG set	t <sub>FLAG</sub>	1.5/f <sub>CLK</sub>	1.5/f <sub>CLK</sub>	μs
TBB change to pin change <sup>2</sup>	t <sub>CPIN</sub>	1.5/f <sub>CLK</sub>	1.5/f <sub>CLK</sub>	μs
Flag to IMB interrupt request <sup>2</sup>	t <sub>FIRQ</sub>	1.0/f <sub>CLK</sub>	1.0/f <sub>CLK</sub>	μs

Note:1. Minimum resolution depends on counter and prescaler divide ratio selection.

2. Time given from when new value is stable on time base bus.

表 177 PWMSM タイミング

(4.5Vdc  $\leq$  (V<sub>DD</sub> and V<sub>DDSYN</sub>)  $\leq$  5.25Vdc, V<sub>SS</sub> = 0 Vdc, T<sub>A</sub> = T<sub>L</sub> to T<sub>H</sub>)

Characteristic	Symbol	Min	Max	Unit
System operating frequency	f <sub>CLK</sub>	0	25.0	MHz
PWMSM output resolution <sup>1</sup>	t <sub>PWMR</sub>	—	2.0/f <sub>CLK</sub>	μs
PWMSM output pulse <sup>2</sup>	t <sub>PWMO</sub>	2.0/f <sub>CLK</sub>	—	μs
CPSM enable to output set	t <sub>PWMP</sub> <sup>3</sup>	3.5/f <sub>CLK</sub>		μs
	t <sub>PWMP</sub> <sup>4</sup>	6.5/f <sub>CLK</sub>		μs
PWM enable to output set	t <sub>PWMP</sub> <sup>5</sup>	3.5/f <sub>CLK</sub>	4.5/f <sub>CLK</sub>	μs
	t <sub>PWMP</sub> <sup>6</sup>	5.5/f <sub>CLK</sub>	6.5/f <sub>CLK</sub>	μs
Flag to IMB interrupt request <sup>2</sup>	t <sub>FIRQ</sub>	1.0/f <sub>CLK</sub>	1.0/f <sub>CLK</sub>	μs

Note:1. Minimum resolution depends on counter and prescaler divide ratio selection.

2. Excluding the case where the output is always zero.

3. With PWMSM enabled before enabling CPSM and DIV23=0.

4. With PWMSM enabled before enabling CPSM and DIV23=1.

5. With CPSM enabled before enabling PWMSM and DIV23=0.

6. With CPSM enabled before enabling PWMSM and DIV23=1.



## - Flash EEPROM Module/TPU Flash EEPROM Module 特性

表 178 Flash EEPROM Module/TPU Flash EEPROM Module 特性  
 $(4.5\text{Vdc} \leq (V_{DD} \text{ and } V_{DDSYN}) \leq 5.25\text{Vdc}, V_{SS} = 0\text{Vdc}, T_A = T_L \text{ to } T_H)^1$

Num	Characteristic	Symbol	Min	Max	Unit
1	Program/Erase Supply Voltage <sup>2</sup> Read Operation Program/Erase/Verify Operation	$V_{FPE}$	$V_{DD} - 0.35$ 12	5.25 12.6	V
2	Program/Erase/Verify Supply Current <sup>3</sup> Read Operation Program/Erase/Verify Operation Verify (ENPE = 0) Program Byte (ENPE = 1) Program Word (ENPE = 1) Erase (ENPE = 1)	$I_{FPE}$	— — — — —	15 50 15 30 4	$\mu\text{A}$ $\mu\text{A}$ mA mA mA
3	Program Recovery Time <sup>4</sup>	$t_{pr}$	10	—	$\mu\text{s}$
4	Program Pulse Width	$pw_{pp}$	20	25	$\mu\text{s}$
5	Number of Program Pulses <sup>5</sup>	$n_{pp}$	1	50	—
6	Program Margin <sup>6</sup>	$p_m$	100	—	%
7	Number of Erase Pulses <sup>5</sup>	$n_{ep}$	1	5	—
8	Erase Pulse Time ( $=t_{ei} \times n_{ep}$ )	$t_{epk}$	90	550	ms
9	Amount to Increment $t_{epk}$	$t_{ei}$	90	110	ms
10	Erase Margin = $\sum_{k=1}^{n_{ep}} t_{ei} \times k$	$e_m$	90	1650	ms
11	Erase Recovery Time	$t_{er}$	1	—	ms
12	Low-Power Stop Recovery Time <sup>7</sup>	$t_{sb}$	1	—	$\mu\text{s}$

## NOTES:

- All AC timing is shown with respect to 20% and 70%  $V_{DD}$  levels unless otherwise noted.  
As for the Program/Erase operation,  $T_A$  must be in the range of 0°C to 70°C.
- $V_{FPE}$  must not be raised to programming voltage while  $V_{DD}$  is below specified minimum value.  $V_{FPE}$  must not be reduced below minimum specified value while  $V_{DD}$  is applied.
- Current parameters apply to each individual EEPROM module.
- Minimum software delay from the end of the write cycle that clears ENPE bit to the read of the flash array
- Without margin.
- At 100% margin, the number of margin pulses required is the same as the number of pulses used to program the byte or word.
- Minimum software delay from the end of the write cycle that clears the STOP bit to the read of the flash array.

表 179 Flash EEPROM/TPU Flash EEPROM の寿命

Num	Parameter	Symbol	Value	Unit
1	Program-Erase Endurance <sup>1</sup>	$e_{pe}$	100	cyc

## NOTES:

- Number of program-erase cycles (1 to 0, 0 to 1) per bit.

## - HD Flash EEPROM Module 特性

表 180 HD Flash EEPROM Module 特性  
 $(4.5\text{Vdc} \leq (V_{DD} \text{ and } V_{DDSYN}) \leq 5.25\text{Vdc}, V_{SS} = 0\text{Vdc}, T_A = T_L \text{ to } T_H)^1$

Num	Characteristic	Symbol	Min	Max	Unit
1	Program/Erase Supply Voltage <sup>2</sup> Read Operation Program/Erase/Verify Operation	$V_{FPE}$	$V_{DD} - 0.35$ 12	5.25 12.6	V
2	Program/Erase/Verify Supply Current <sup>3</sup> Read Operation Program/Erase/Verify Operation Verify (EHV = 0) Program Byte (EHV = 1) Program Word (EHV = 1) Erase (EHV = 1)	$I_{FPE}$	— — — — —	15 50 15 30 4	$\mu\text{A}$ $\mu\text{A}$ mA mA mA
3	Program Recovery Time <sup>4</sup>	$t_{pr}$	10	—	$\mu\text{s}$
4	Program Pulse Width	$pw_{pp}$	20	25	$\mu\text{s}$
5	Number of Program Pulses <sup>5</sup>	$n_{pp}$	1	50	—
6	Program Margin <sup>6</sup>	$p_m$	100	—	%
7	Number of Erase Pulses <sup>5</sup>	$n_{ep}$	1	5	—
8	Erase Pulse Time ( $=t_{ei} \times n_{ep}$ )	$t_{epk}$	90	550	ms
9	Amount to Increment $t_{epk}$	$t_{ei}$	90	110	ms
10	Erase Margin = $\sum_{k=1}^{n_{ep}} t_{ei} \times k$	$e_m$	90	1650	ms
11	Erase Recovery Time	$t_{er}$	1	—	ms
12	Low-Power Stop Recovery Time <sup>7</sup>	$t_{sb}$	1	—	$\mu\text{s}$

## NOTES:

- All AC timing is shown with respect to 20% and 70%  $V_{DD}$  levels unless otherwise noted. As for the Program/Erase operation,  $T_A$  must be in the range of 0°C to 70°C.
- $V_{FPE}$  must not be raised to programming voltage while  $V_{DD}$  is below specified minimum value.  $V_{FPE}$  must not be reduced below minimum specified value while  $V_{DD}$  is applied.
- Current parameters apply to each individual EEPROM module.
- Minimum software delay from the end of the write cycle that clears EHV bit to the read of the flash array
- Without margin.
- At 100% margin, the number of margin pulses required is the same as the number of pulses used to program the byte or word.
- Minimum software delay from the end of the write cycle that clears the STOP bit to the read of the flash array.

表 181 HD Flash EEPROM の寿命

Num	Parameter	Symbol	Value	Unit
1	Program-Erase Endurance <sup>1</sup>	$e_{pe}$	100	cyc

## NOTES:

- Number of program-erase cycles (1 to 0, 0 to 1) per bit.

## タイミング図

## - SLIM タイミング

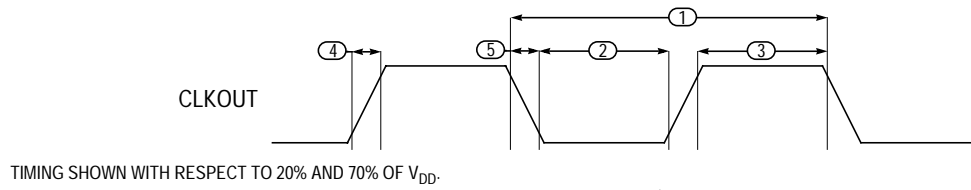


図 56 CLKOUT 出力のタイミング図 (表 164 参照)

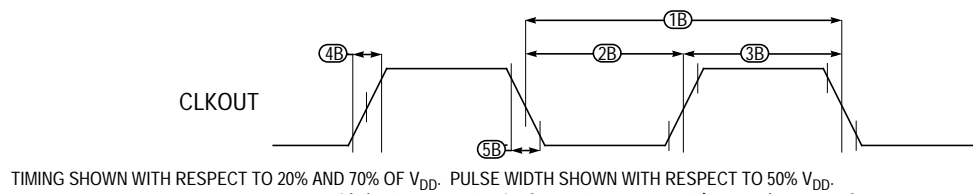


図 57 外部クロック入力のタイミング図 (表 164 参照)

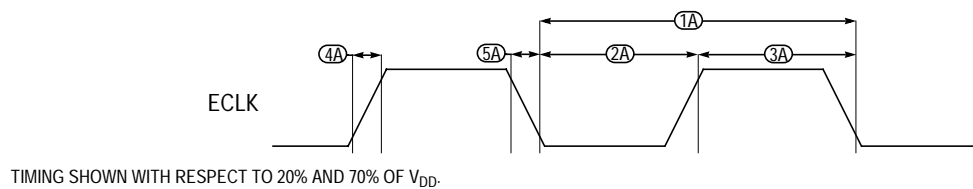


図 58 ECLK 出力のタイミング図 (表 164 参照)

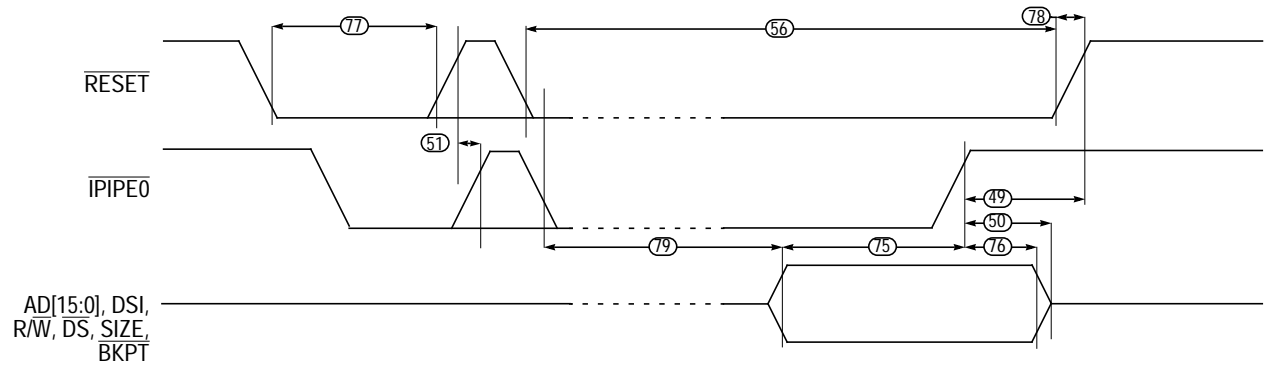


図 59 リセットおよびモード・セレクトのタイミング図 (表 164 参照)

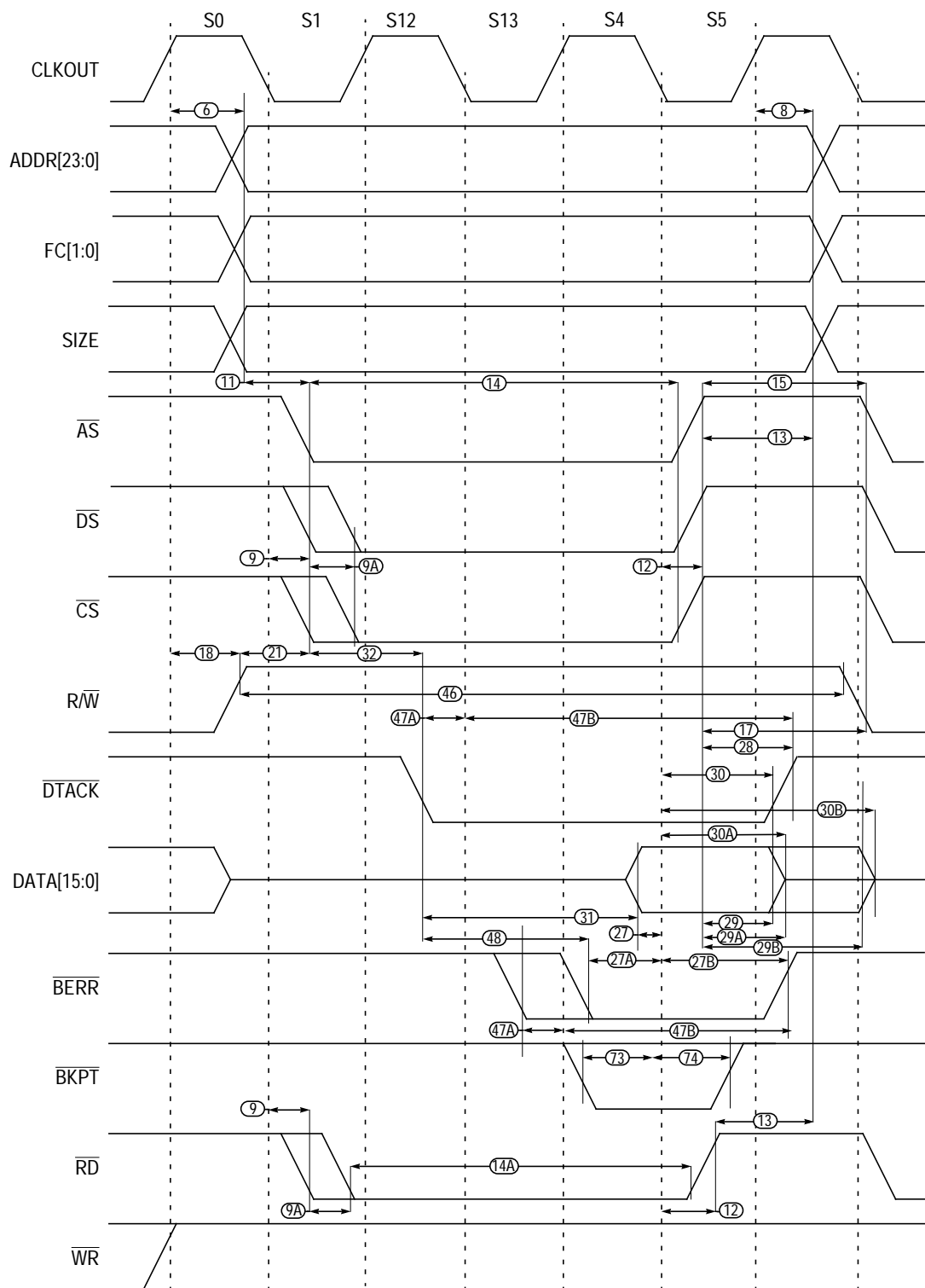


図 60 非多重化リード・サイクル (表 164 参照)

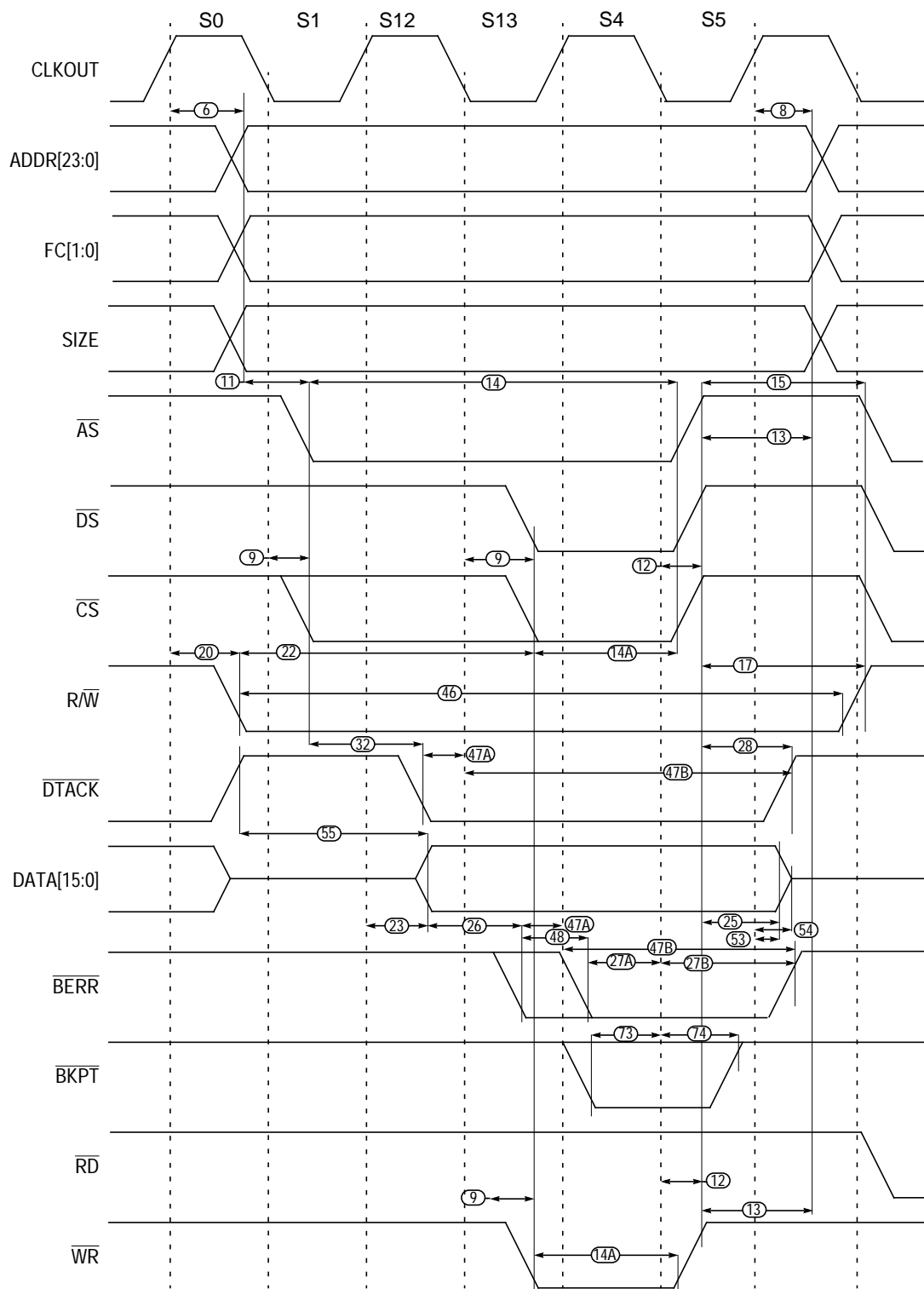


図 61 非多重化ライト・サイクル (表 164 参照)

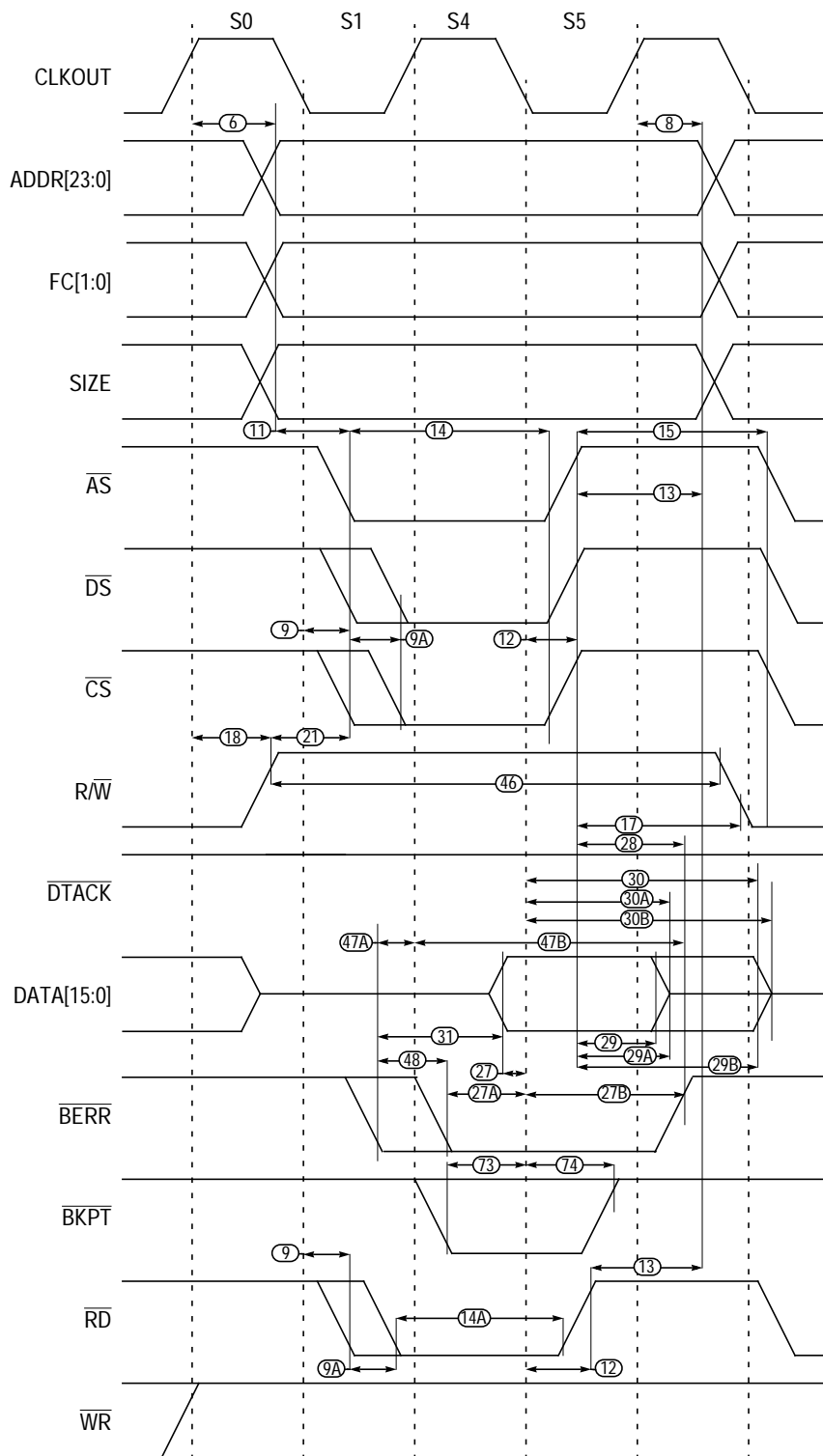


図 62 非多重化 2 クロック・リード・サイクル (表 164 参照)

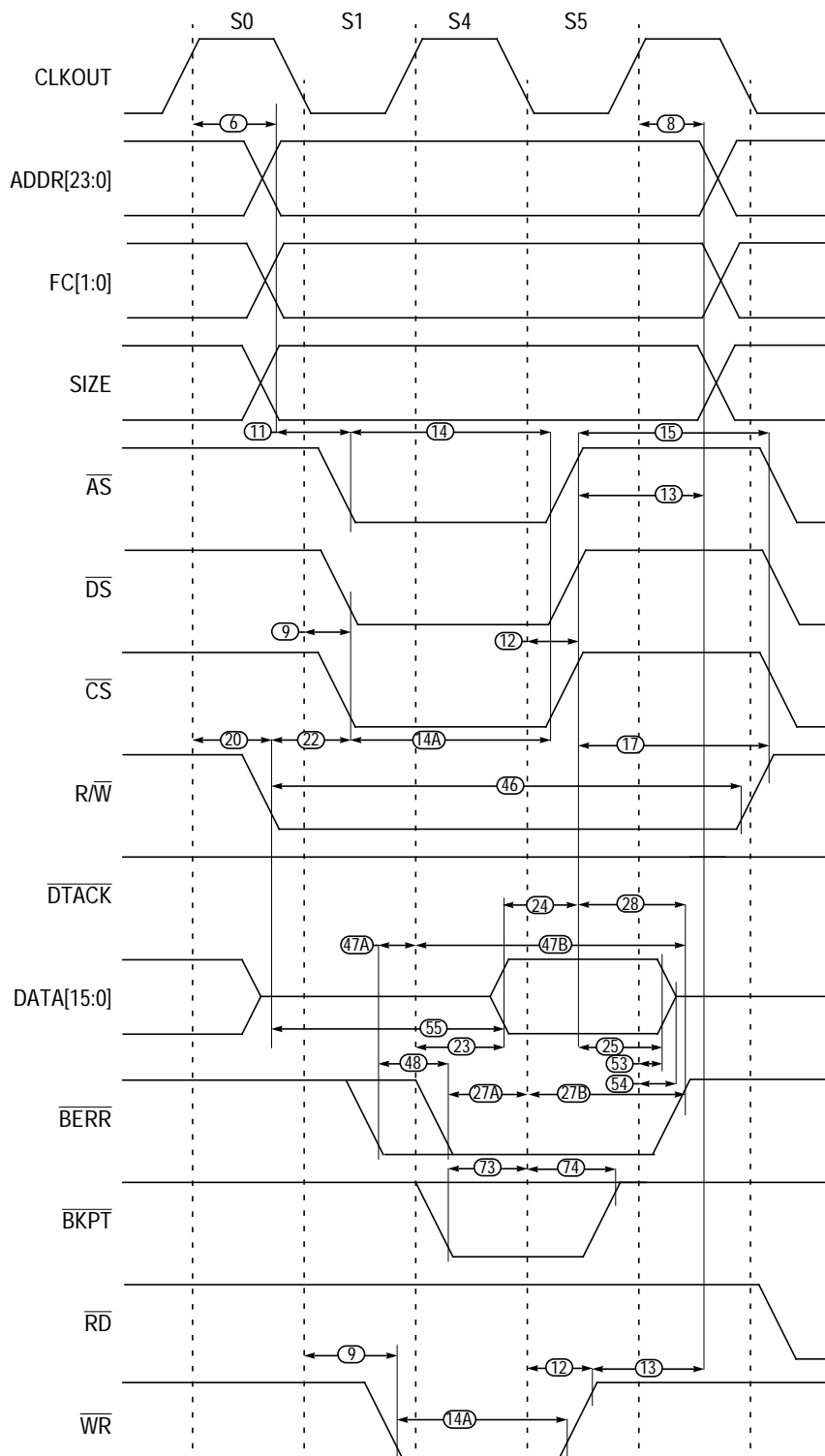


図 63 非多重化 2 クロック・ライト・サイクル (表 164 参照)



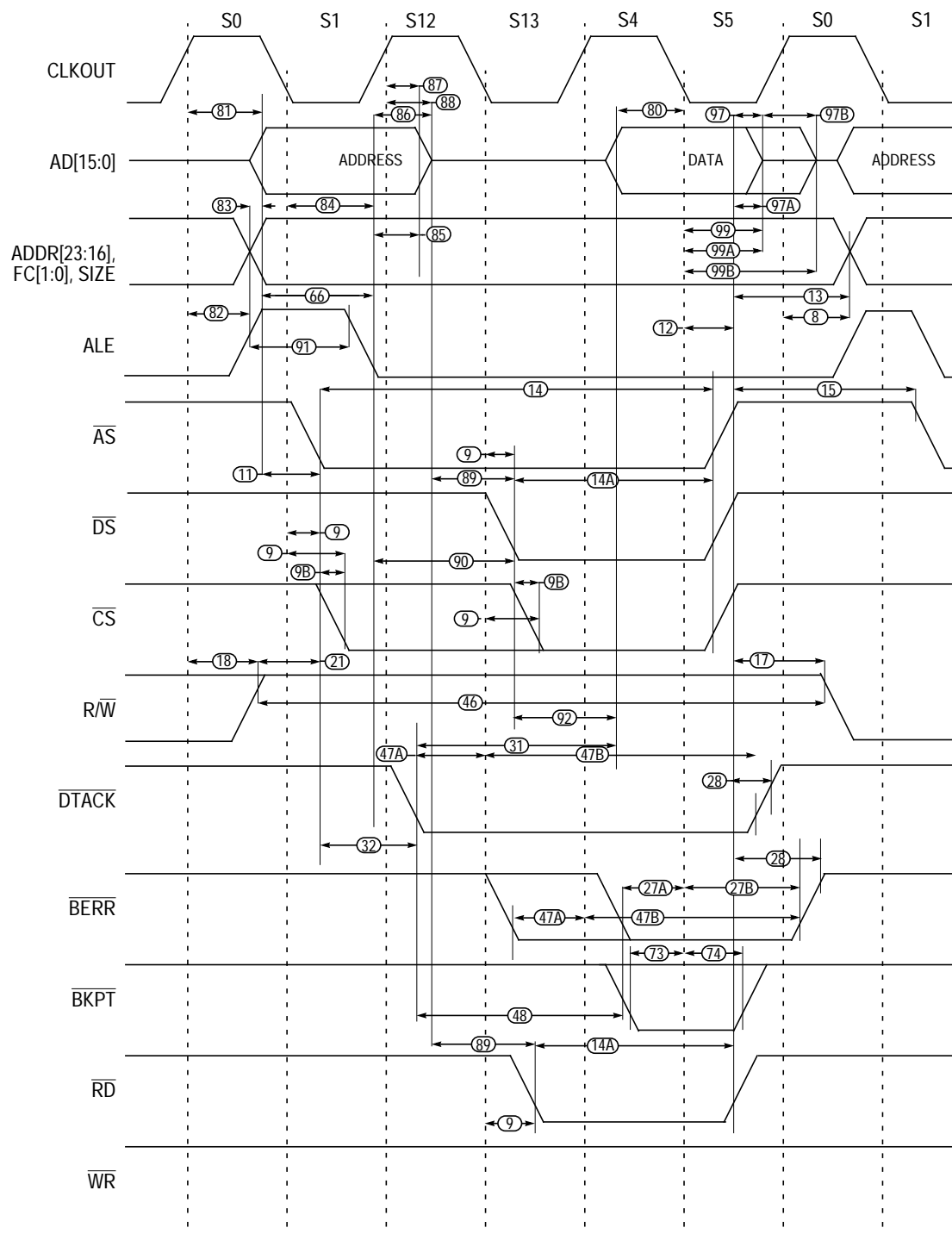


図 64 多重化リード・サイクルのタイミング図 (表 164 参照)

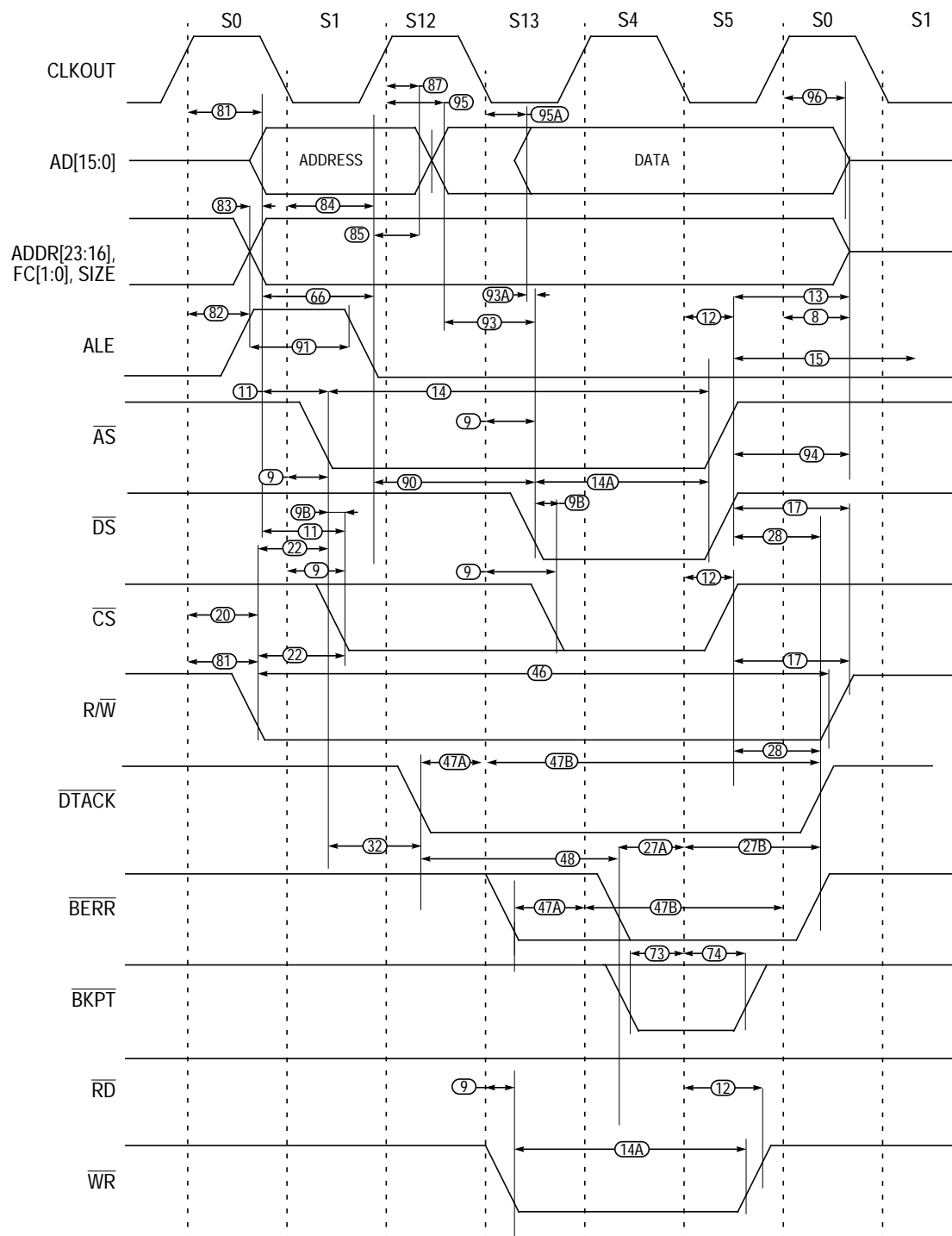
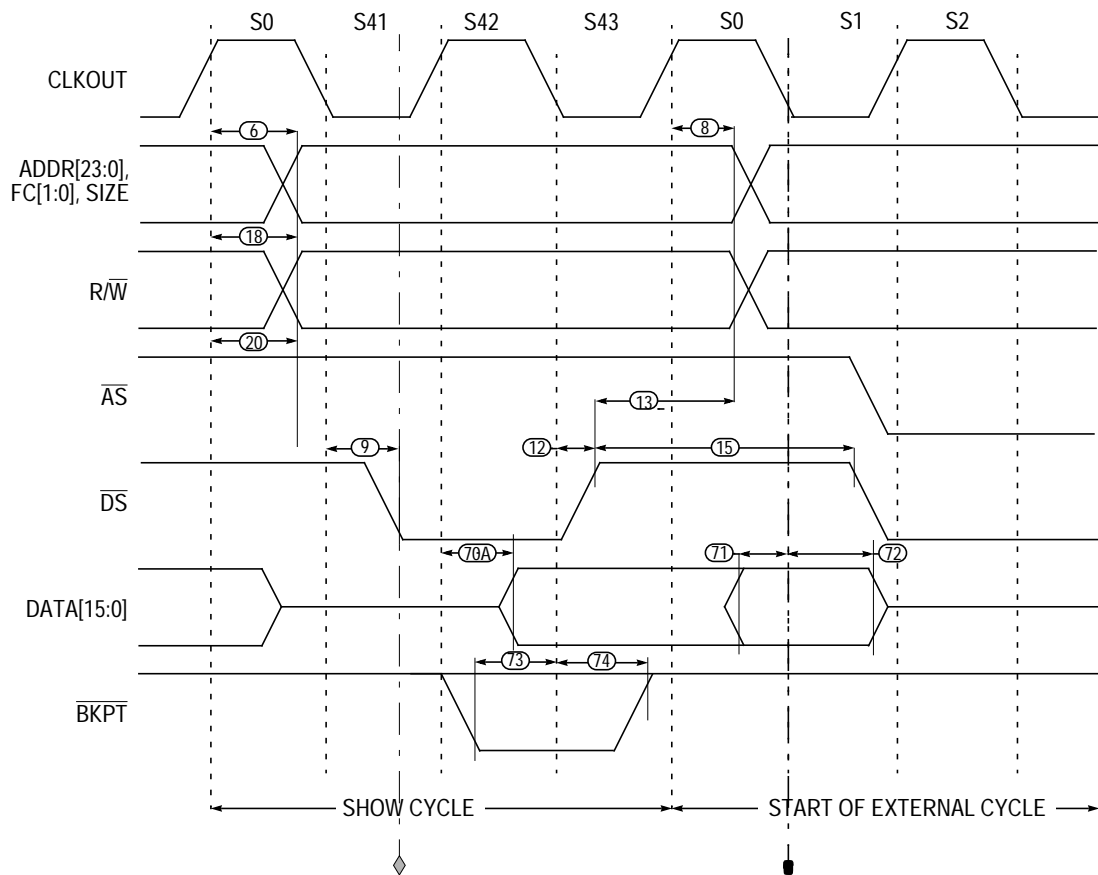


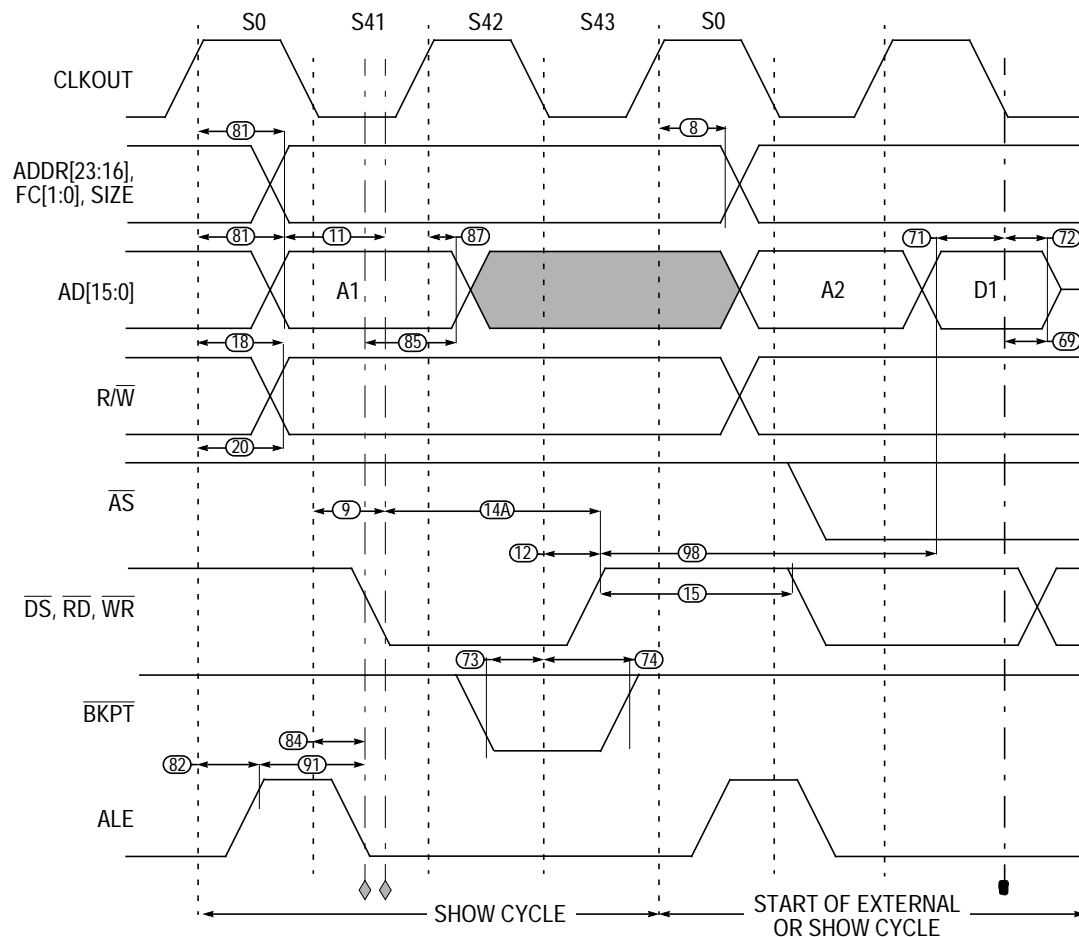
図 65 多重化ライト・サイクルのタイミング図 (表 164 参照)



TIMING FOR LOGIC ANALYZER TRIGGER POINTS:

- ◆ LATCH ADDR, FC, SIZE, R/W,  $\overline{AS}$ ,  $\overline{CS}$ , ETC. ON FALLING EDGE OF  $\overline{DS}$ .
- LATCH DATA ON FALLING EDGE OF CLKOUT AFTER  $\overline{DS}$  GOES HIGH.

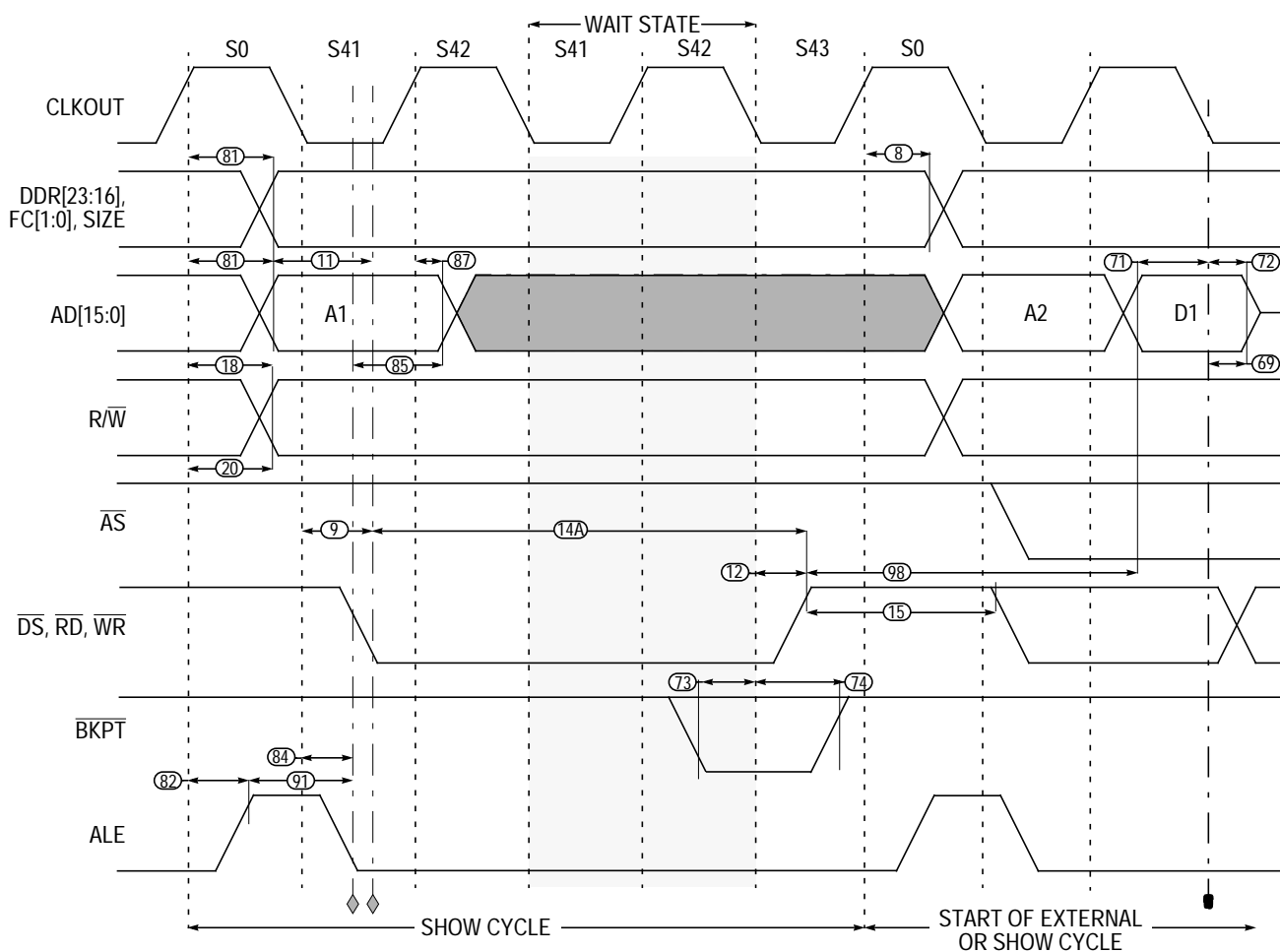
図 66 非多重化 2 クロック・ショー・サイクル (表 164 参照)



TIMING FOR LOGIC ANALYZER TRIGGER POINTS:

- ◆ LATCH ADDR, SIZE,  $R/\overline{W}$ ,  $\overline{AS}$ ,  $\overline{CS}$ , ETC. ON FALLING EDGE OF ALE OR  $\overline{DS}$ .
- LATCH DATA ON FALLING EDGE OF CLKOUT (SECOND FALLING EDGE AFTER  $\overline{DS}$  GOES HIGH).

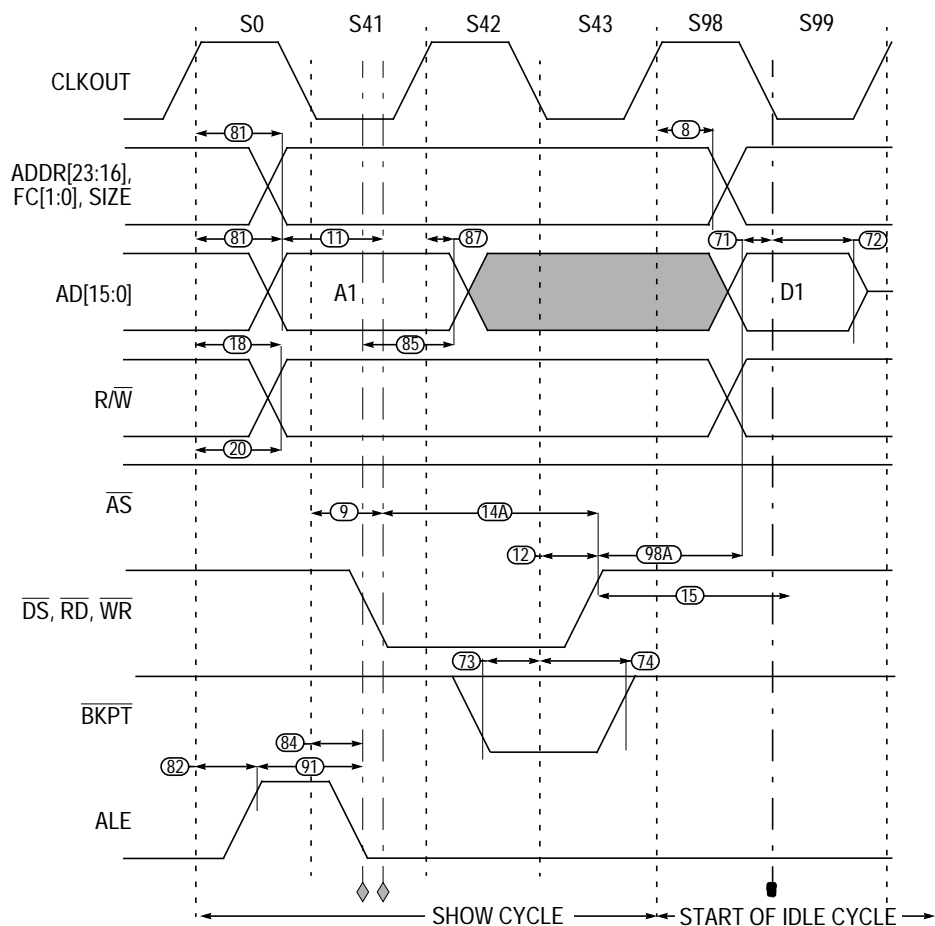
図 67 多重化ショー・サイクルと次のタイミング図 (表 164 参照)



TIMING FOR LOGIC ANALYZER TRIGGER POINTS:

- ◆ LATCH ADDR, SIZE,  $\overline{R/W}$ ,  $\overline{AS}$ ,  $\overline{CS}$ , ETC. ON FALLING EDGE OF ALE OR  $\overline{DS}$ .
- LATCH DATA ON FALLING EDGE OF CLKOUT (SECOND FALLING EDGE AFTER  $\overline{DS}$  GOES HIGH).

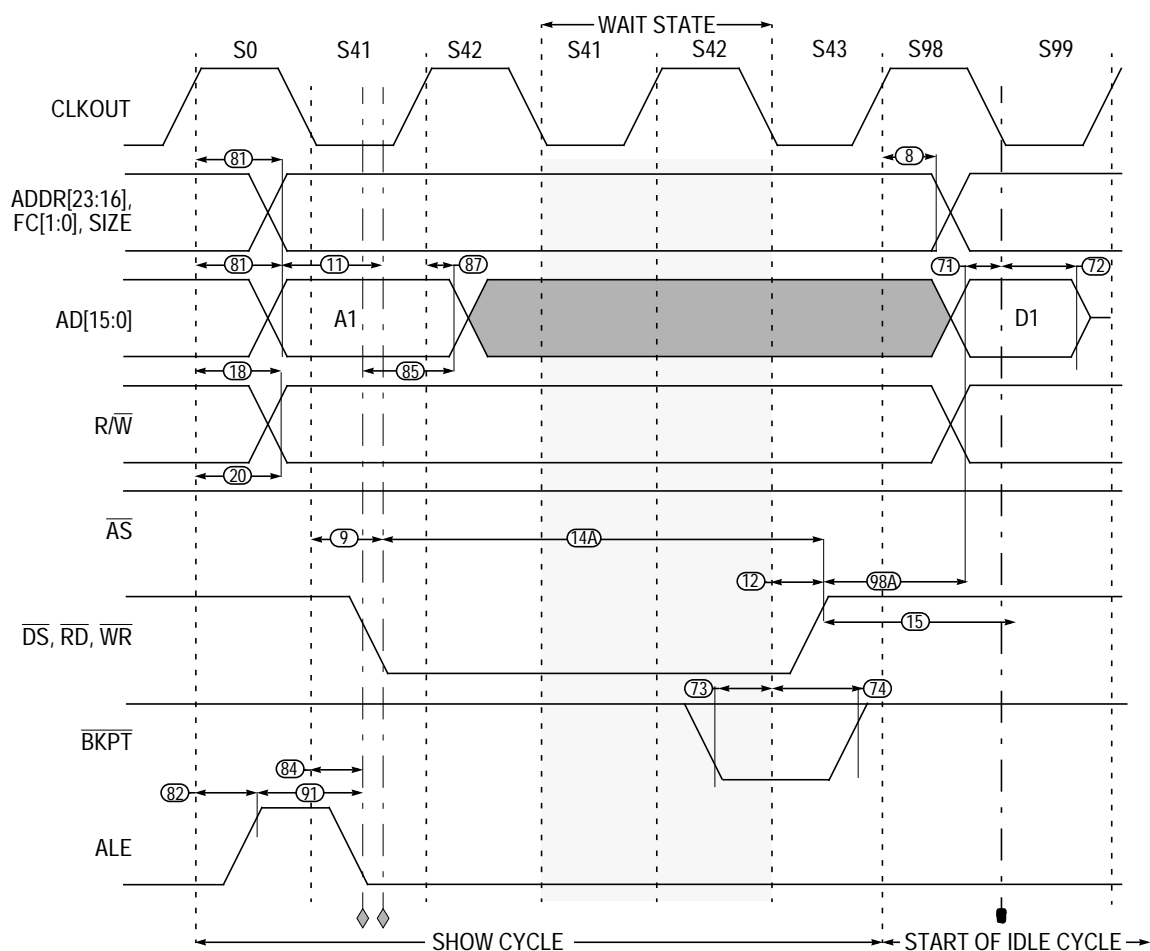
図 68 内部ウェイト・ステイト付き多重化ショー・サイクルのタイミング図 (表 164 参照)



TIMING FOR LOGIC ANALYZER TRIGGER POINTS:

- ◆ LATCH ADDR, SIZE,  $R/\overline{W}$ ,  $\overline{AS}$ ,  $\overline{CS}$ , ETC. ON FALLING EDGE OF ALE OR  $\overline{DS}$ .
- LATCH DATA ON FALLING EDGE OF CLKOUT AFTER  $\overline{DS}$  GOES HIGH.

図 69 多重化ショー・サイクルと次のアイドル・サイクルのタイミング図 (表 164 参照)



TIMING FOR LOGIC ANALYZER TRIGGER POINTS:

- ◆ LATCH ADDR, SIZE, R/W, AS, CS, ETC. ON FALLING EDGE OF ALE OR DS.
- LATCH DATA ON FALLING EDGE OF CLKOUT AFTER DS GOES HIGH.

図 70 アイドル・サイクルによる内部ウェイト・ステイト付きマルチプレクスされた  
ショー・サイクルのタイミング図 (表 164 参照)

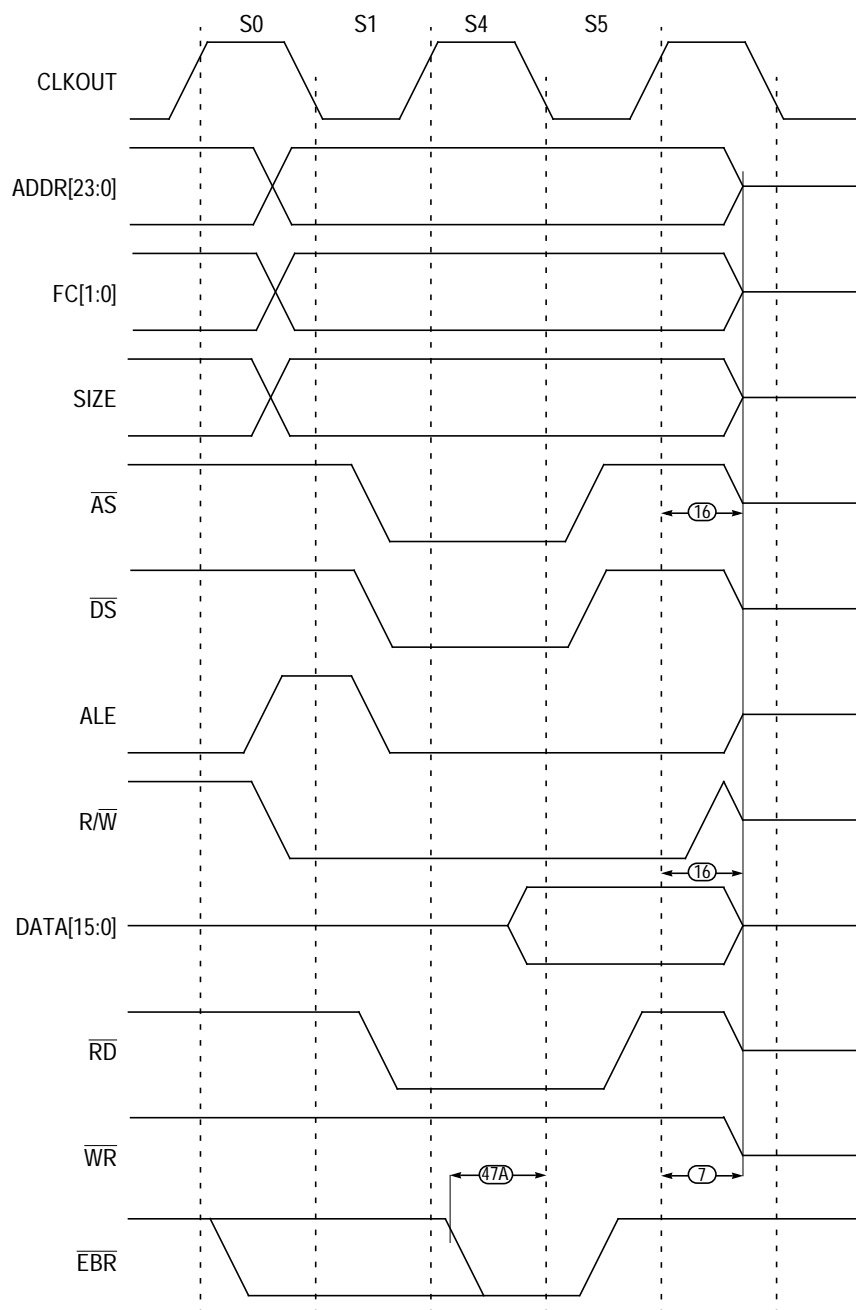


図 71 EBR タイミングー アクティブ・バス・ケースのタイミング図 (表 164 参照)



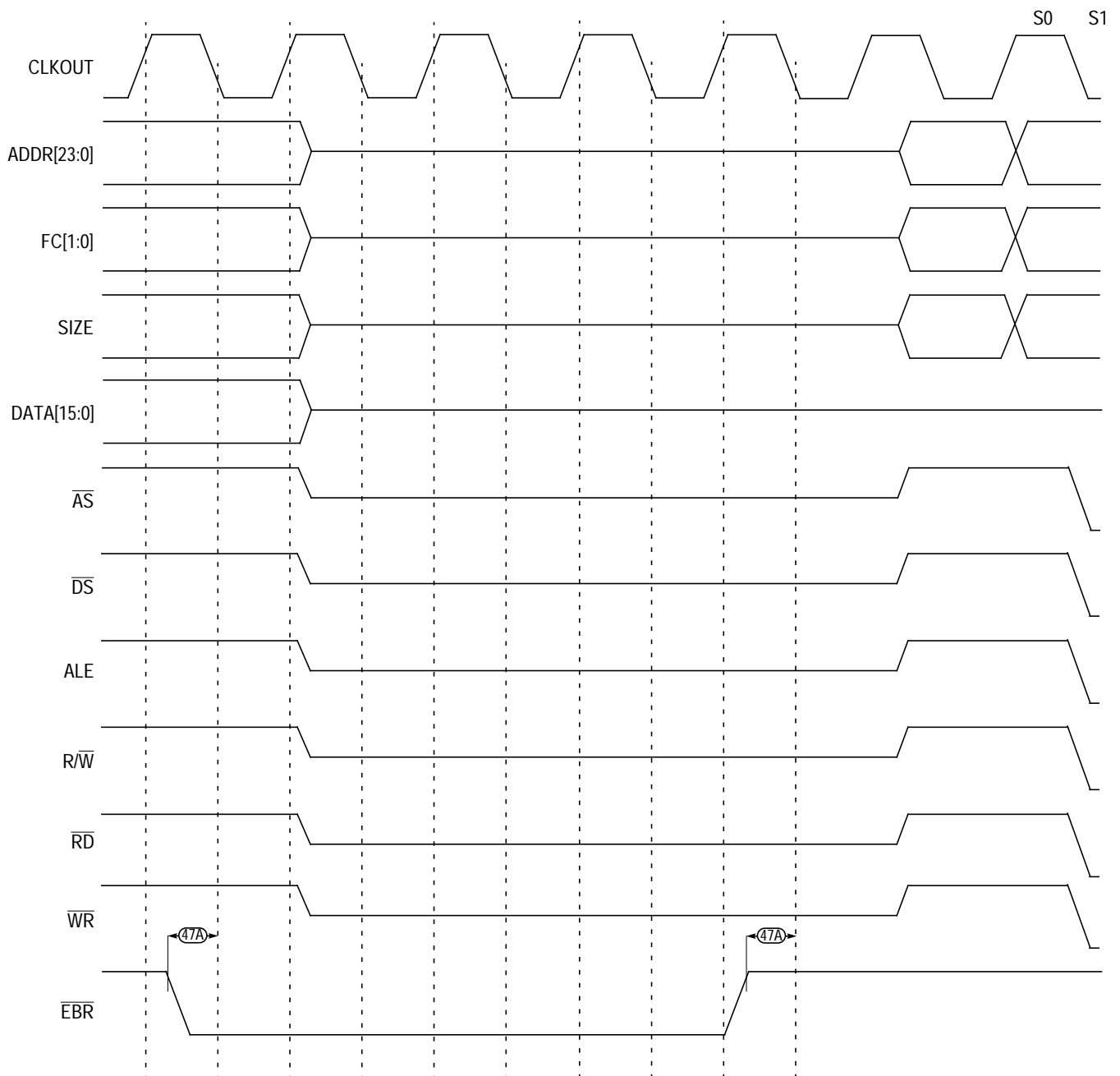


図 72 EBR タイミングー アイドル・バス・ケースのタイミング図 (表 164 参照)

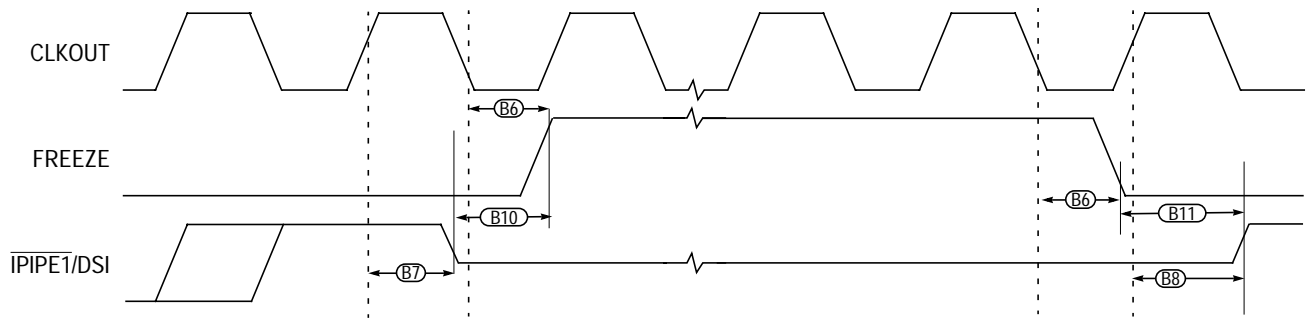


図 73 バックグラウンド・デバッグ・モード (FREEZE をアサート / ネゲート) の  
タイミング図 (表 164 参照)

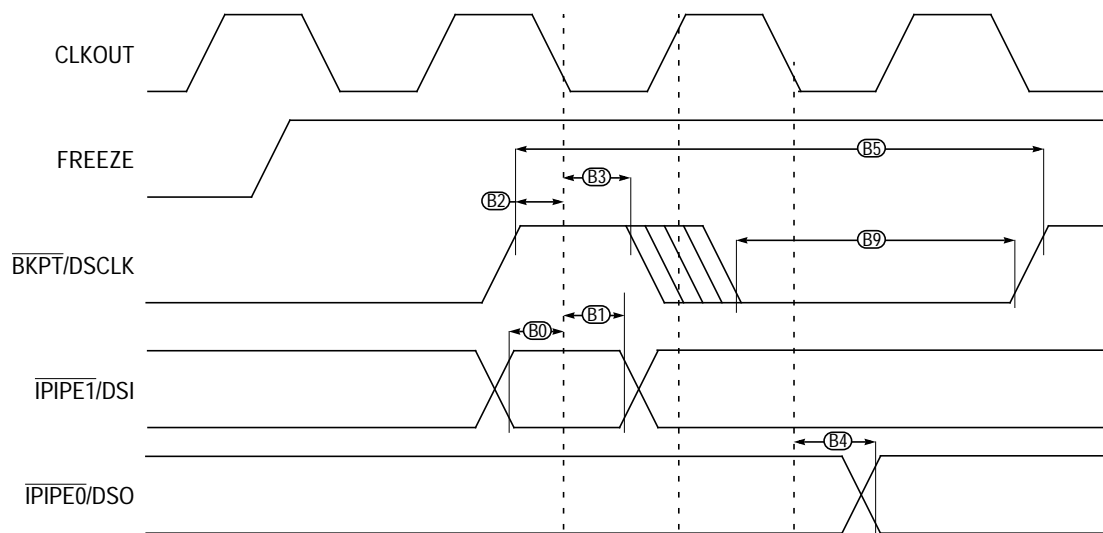


図 74 バックグラウンド・デバッグ・モード (シリアル・コミュニケーション) の  
タイミング図 (表 164 参照)

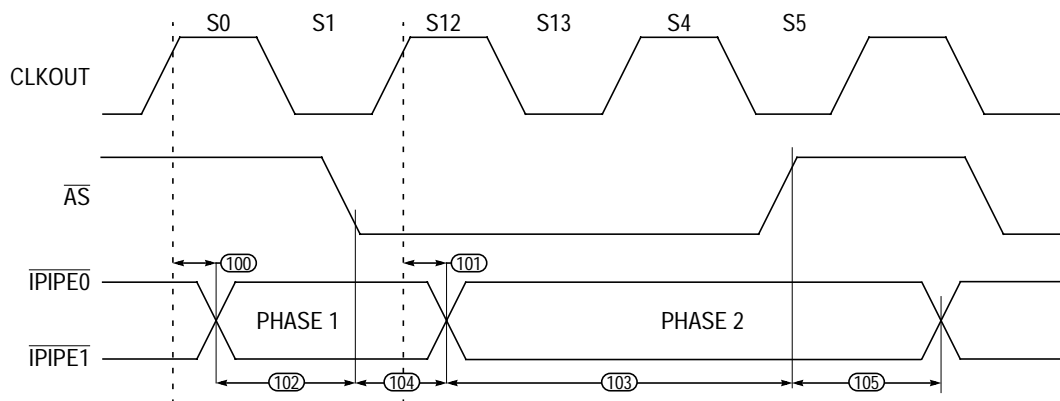


図 75 CPU16 ピン (リード/ライト・サイクル) のタイミング図 (表 164 参照)

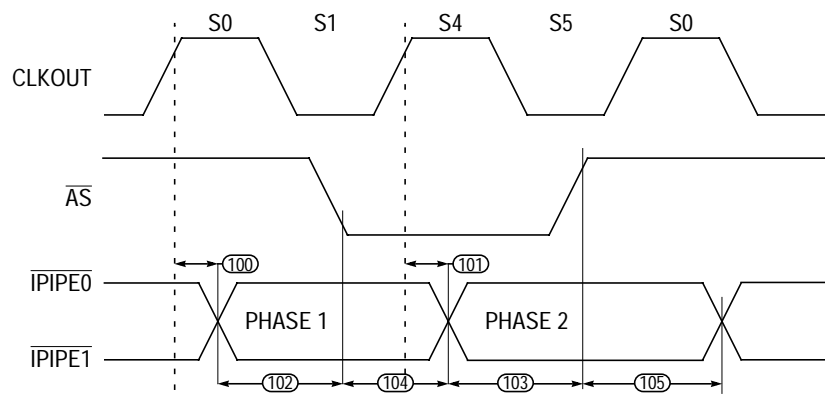


図 76 CPU16 ピン (2 リード/ライト・サイクル) のタイミング図 (表 164 参照)

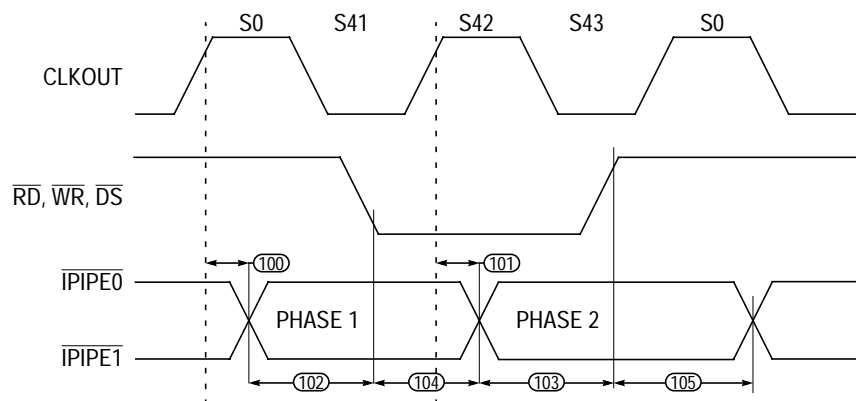


図 77 CPU16 ピン (2 クロック・ショー・サイクル) のタイミング図 (表 164 参照)

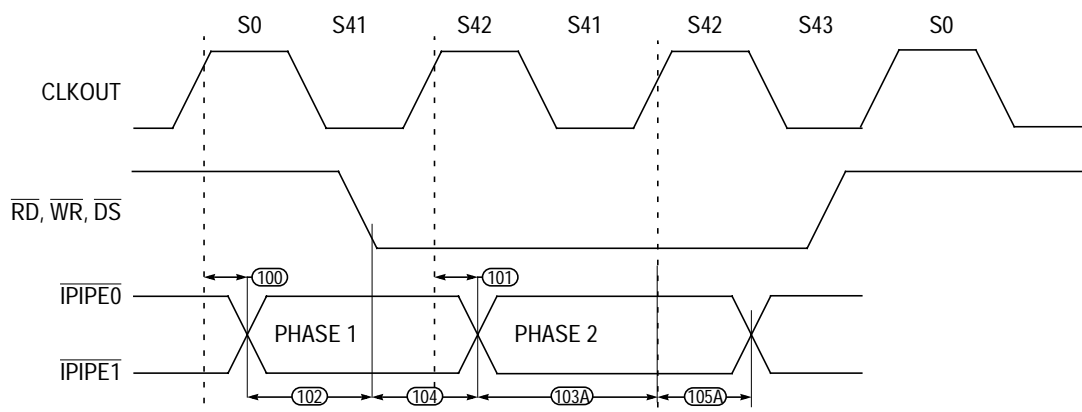


図 78 CPU16 ピン (3 クロック・ショー・サイクル) のタイミング図 (表 164 参照)

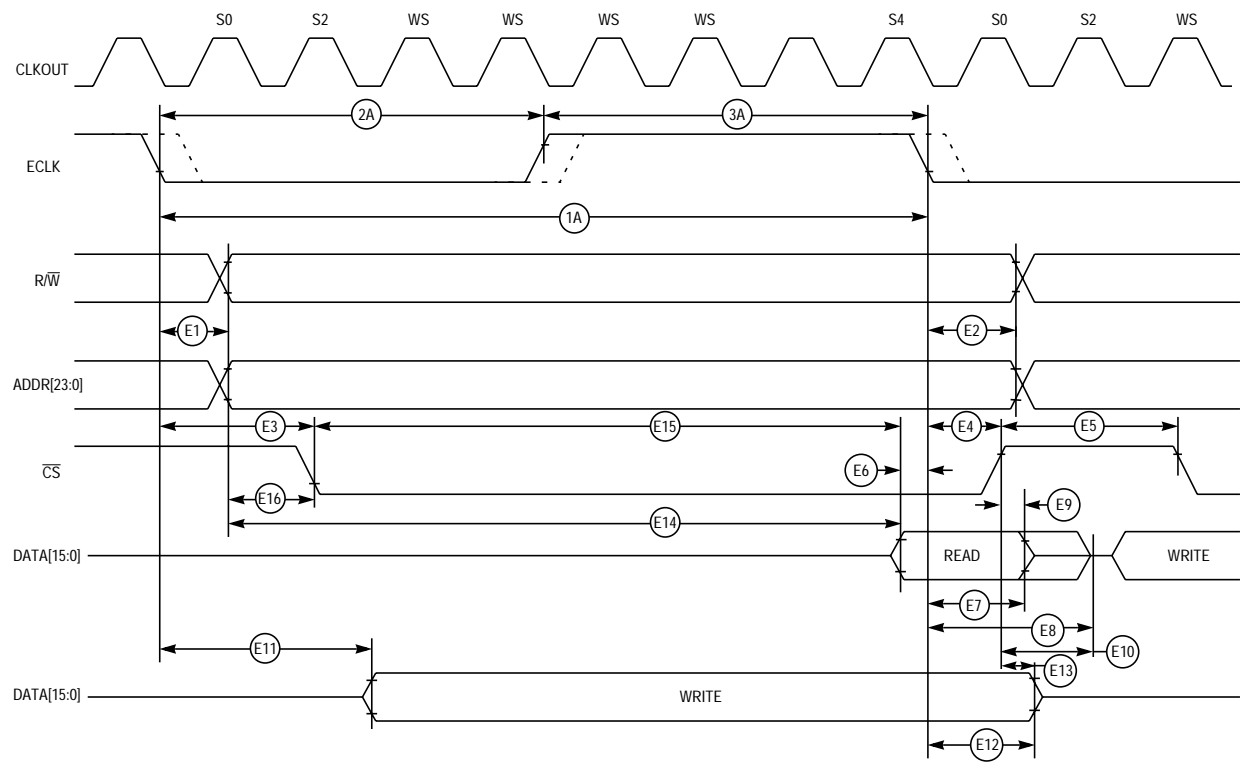


図 79 ECLK のタイミング図 (表 164 参照)

## - ACS タイミング

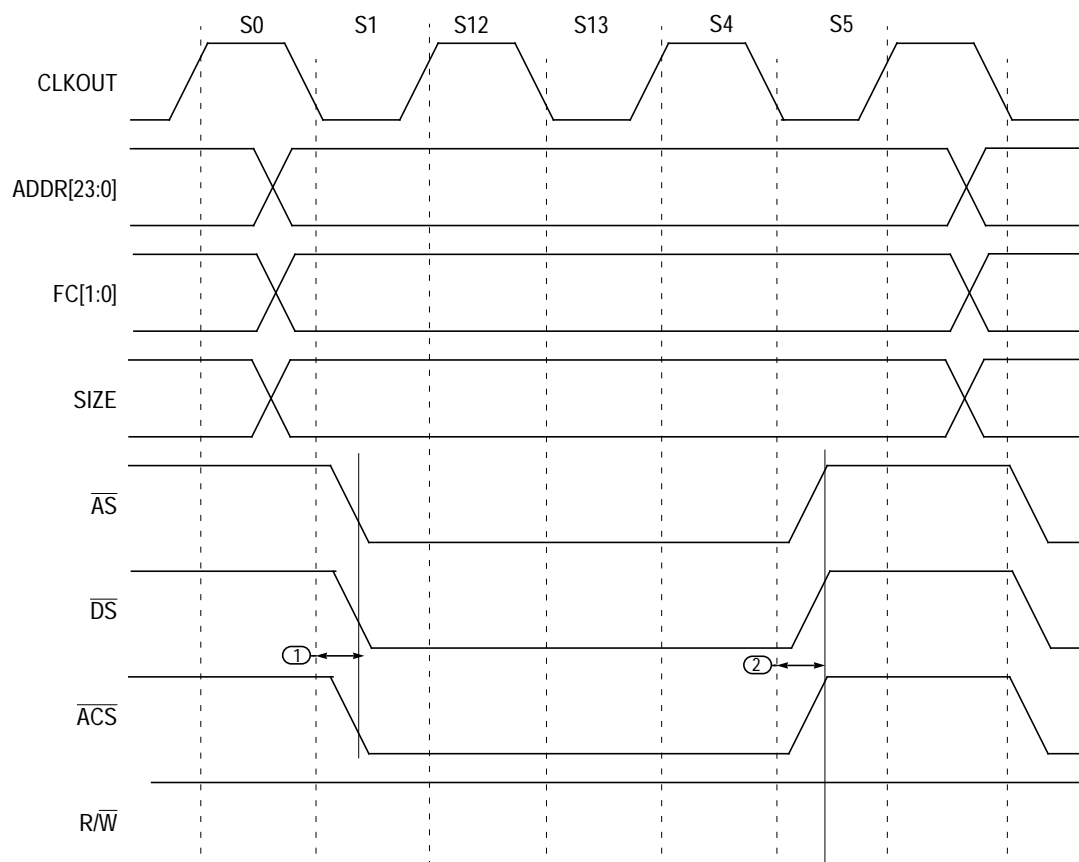


図 80 ACS 非多重マスタ・リード・サイクル (表 167 参照)

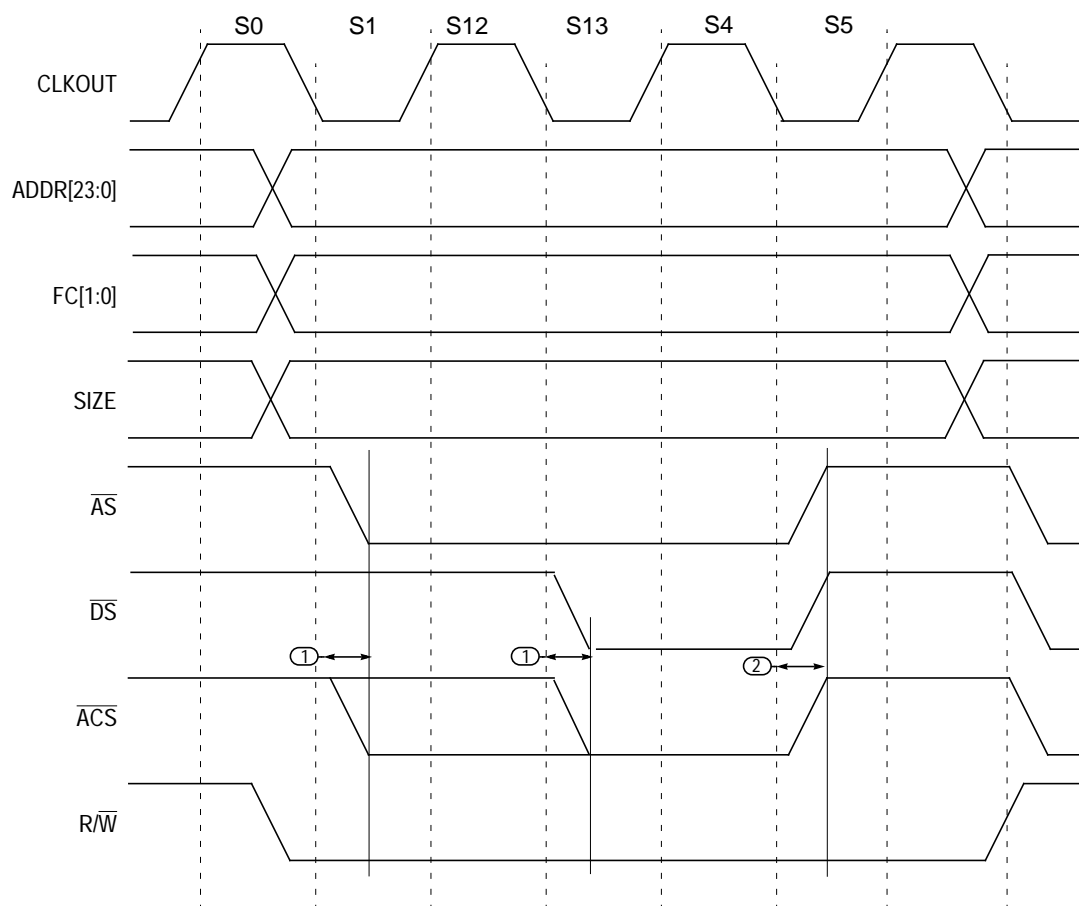


図 81 ACS 非多重マスタ・ライト・サイクル (表 167 参照)

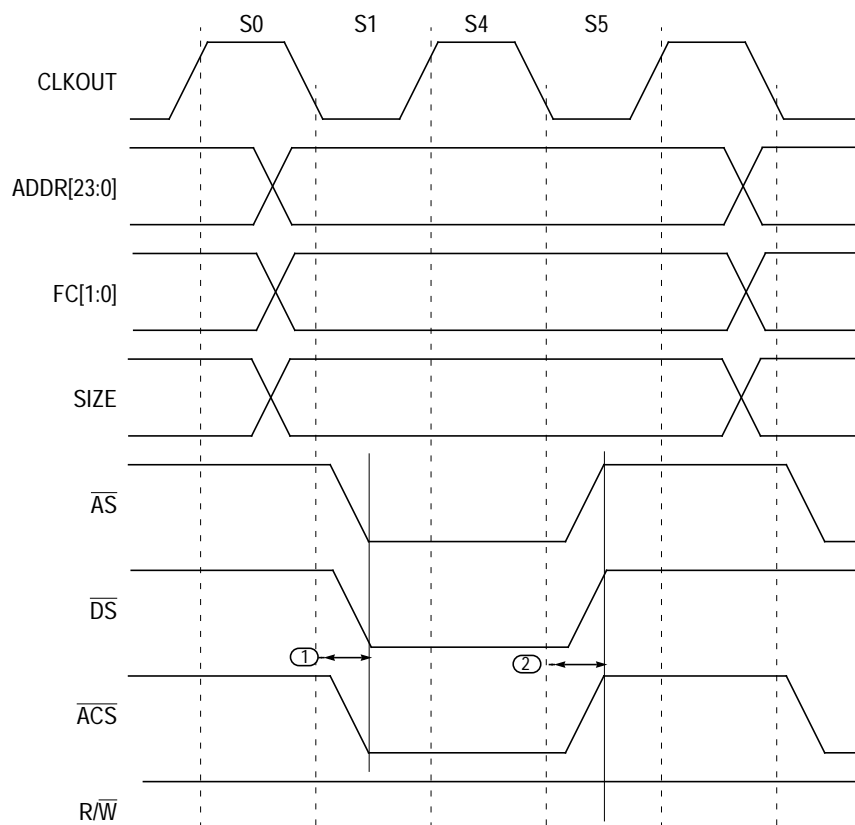


図 82 ACS 非多重マスタ・2クロック・リード・サイクル (表 167 参照)



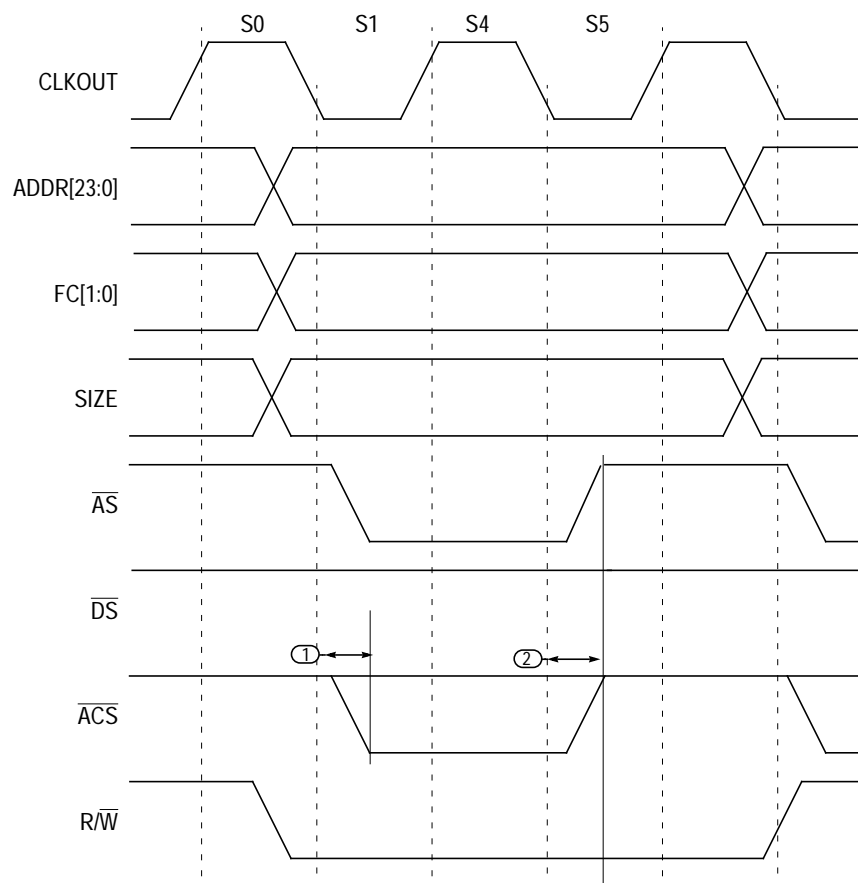


図 83 ACS 非多重マスタ・2クロック・ライト・サイクル (表 167 参照)

## - SPI(MCCI) タイミング

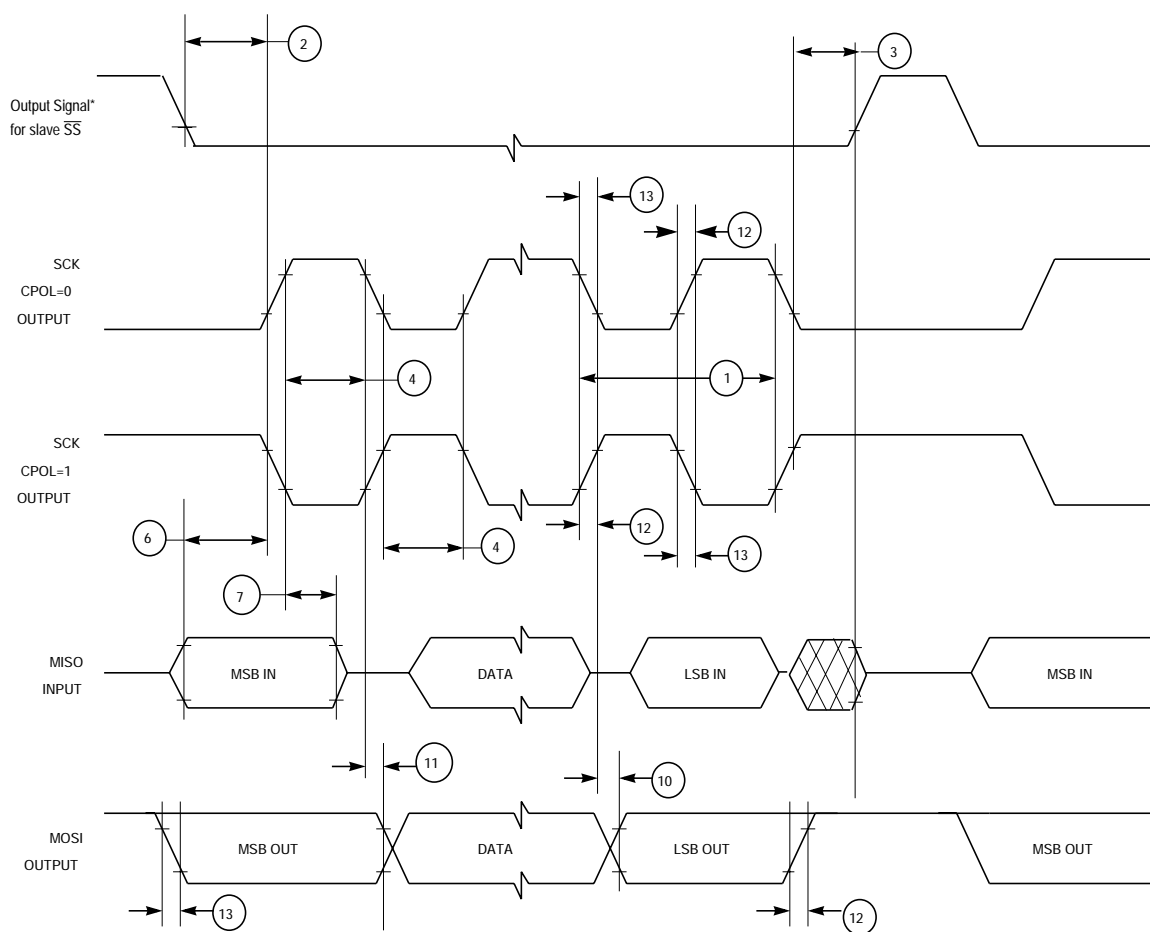


図 84 SPI タイミング・マスタ CPHA = 0 (表 168 参照)

注\*: この信号はマスターモードにおいて汎用ポートで生成しなければいけません。

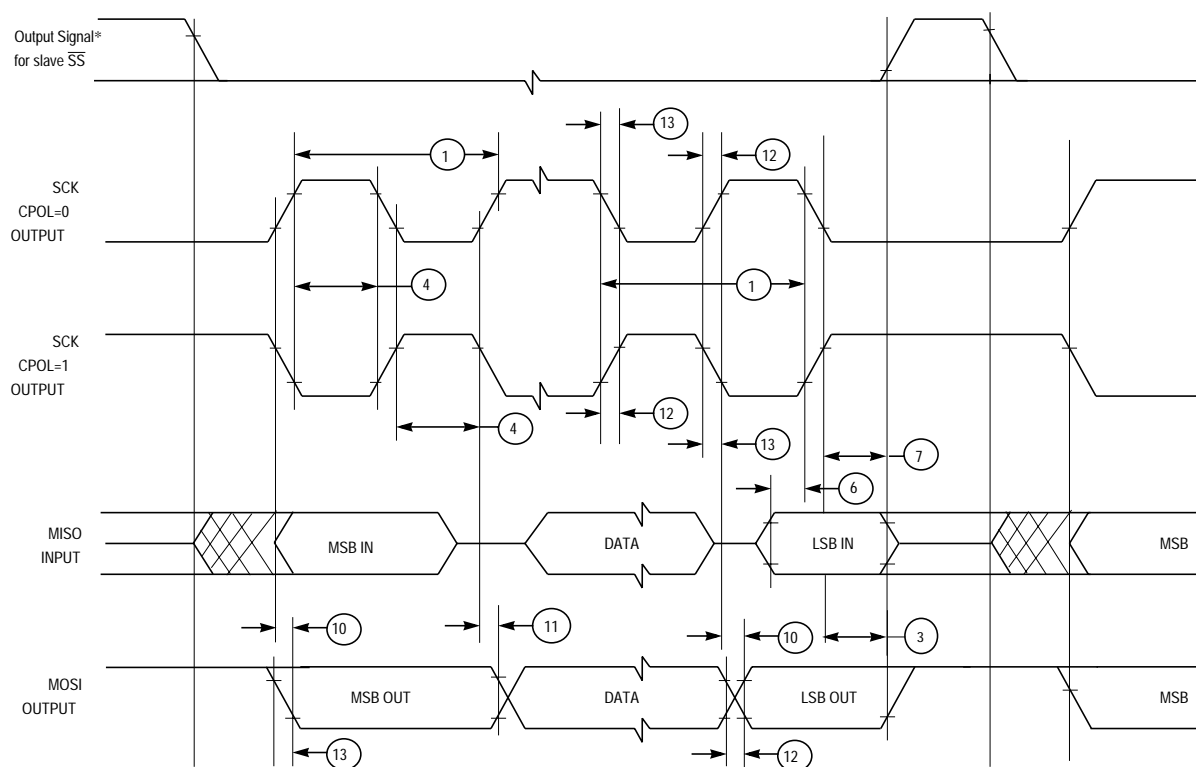


図 85 SPI タイミング・マスタ CPHA = 1 (表 168 参照)

注\* : この信号はマスターモードにおいて汎用ポートで生成しなければいけません、通信先が単独の場合、この信号が未使用でも通信は可能です。

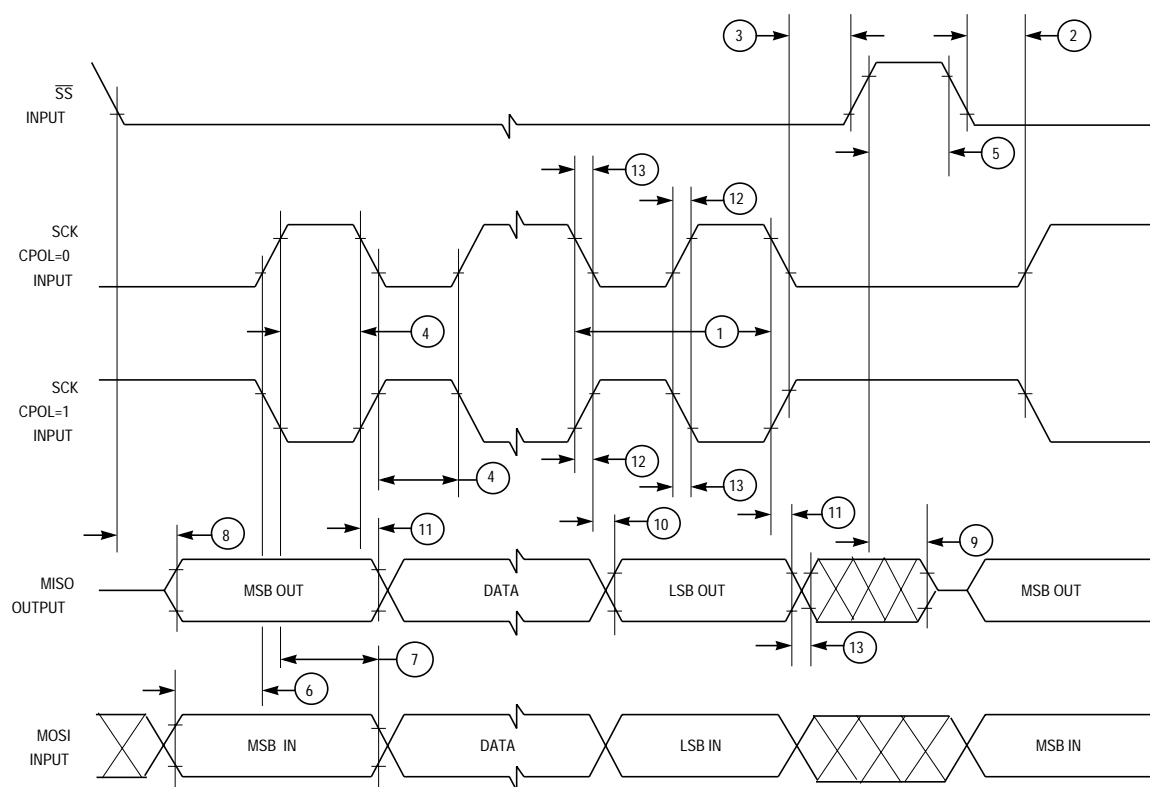


図 86 SPI タイミング・スレーブ CPHA = 0 (表 168 参照)

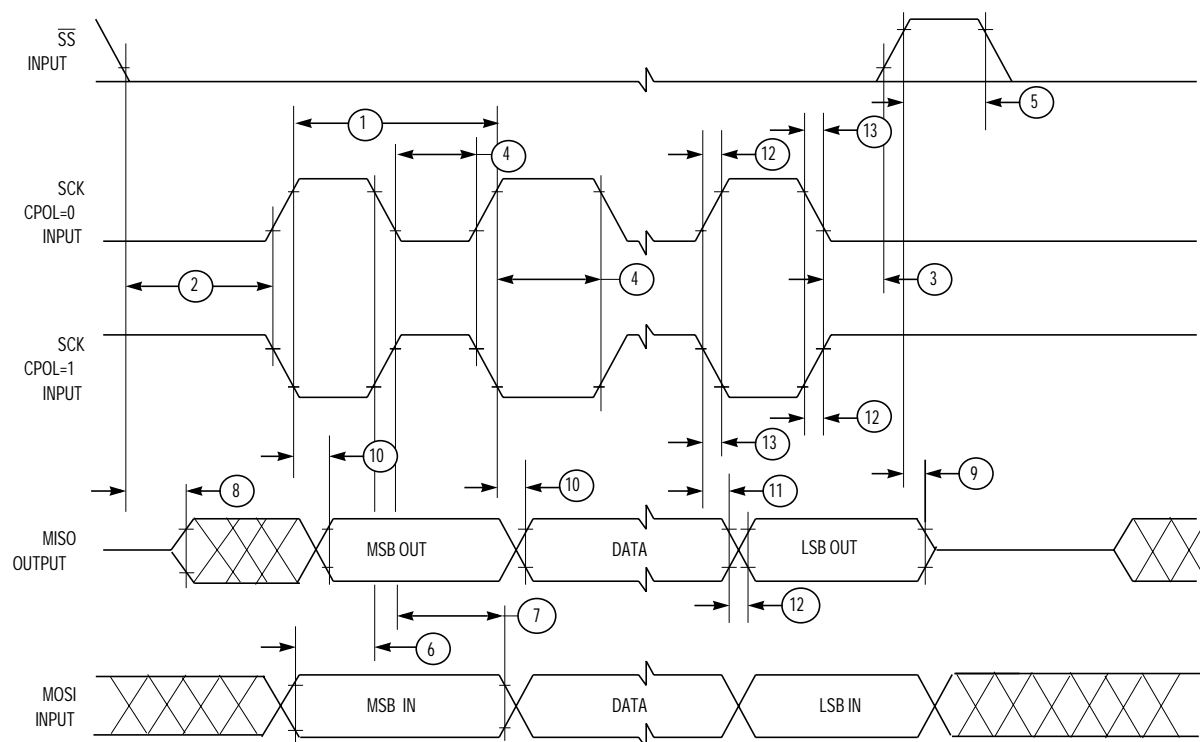


図 87 SPI タイミング・スレーブ CPHA = 1 (表 168 参照)

## - RSPI AC タイミング

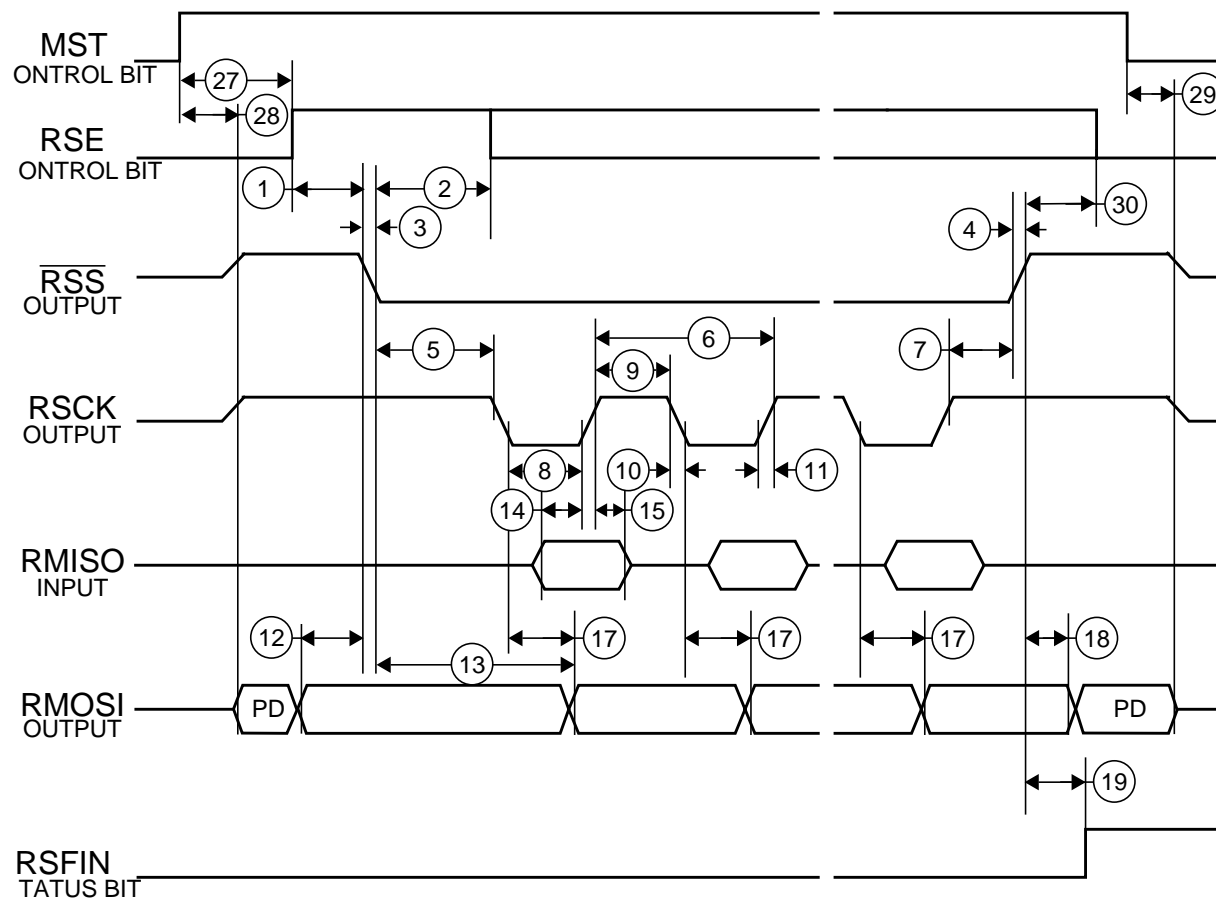


図 88 RSPI AC タイミング (Master Mode) (表 169 参照)  
Address Slave Select Mode (SSM=1)

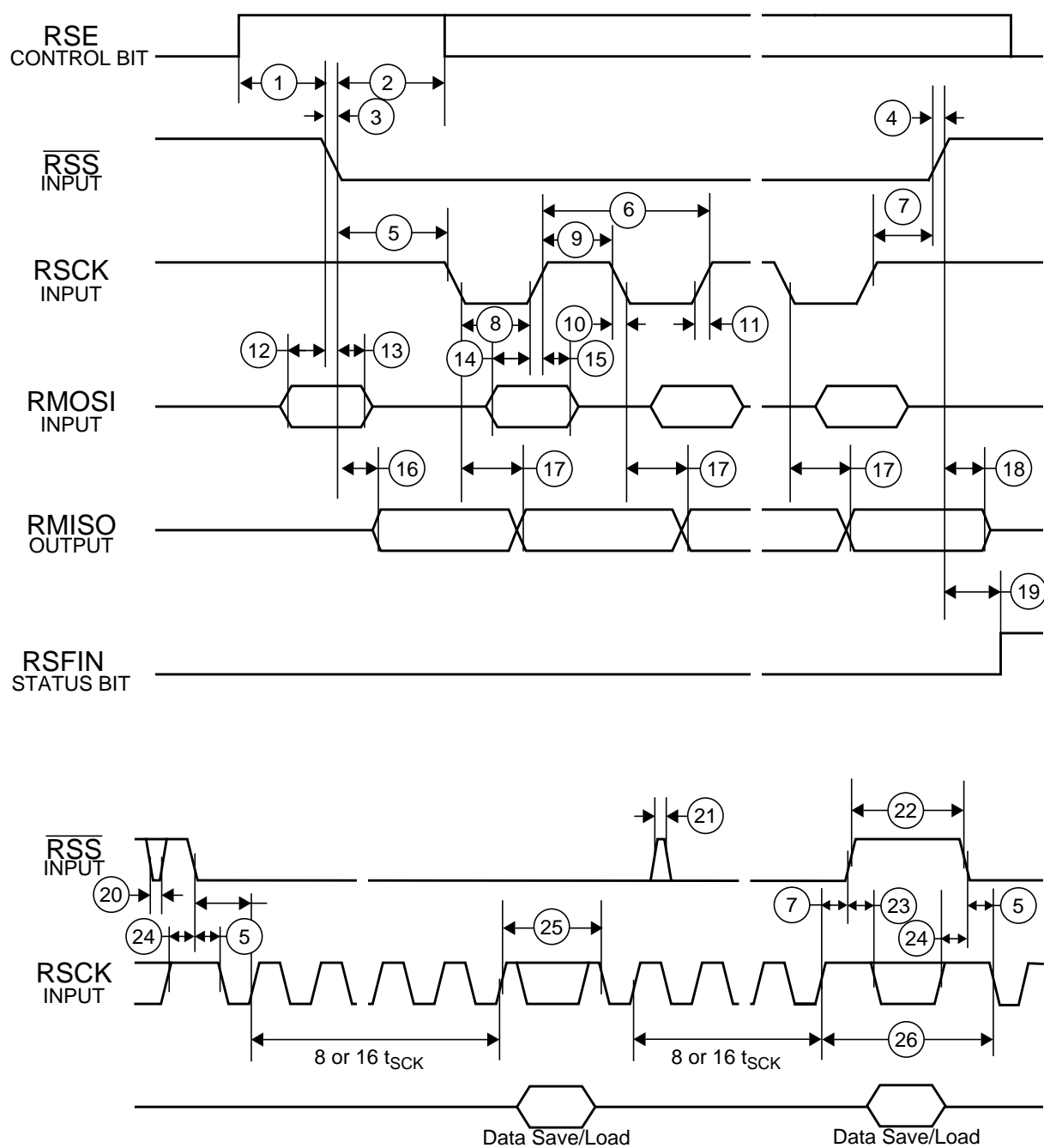


図 89 RSPI AC タイミング (Slave Mode) (表 170 参照)  
Address Slave Select Mode (SSM=1)

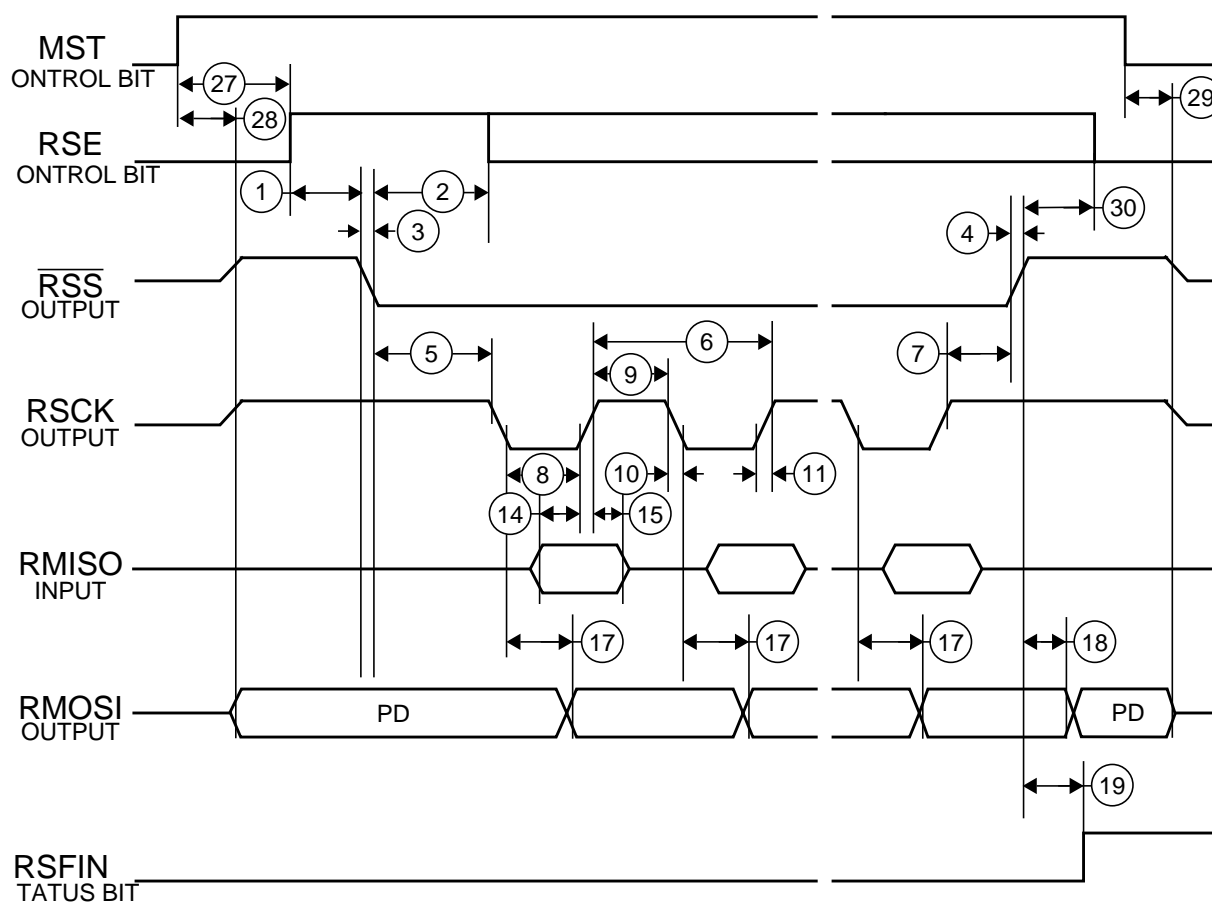


図 90 RSPI AC タイミング (Master Mode) (表 169 参照)  
Address Slave Select Mode (SSM=0)



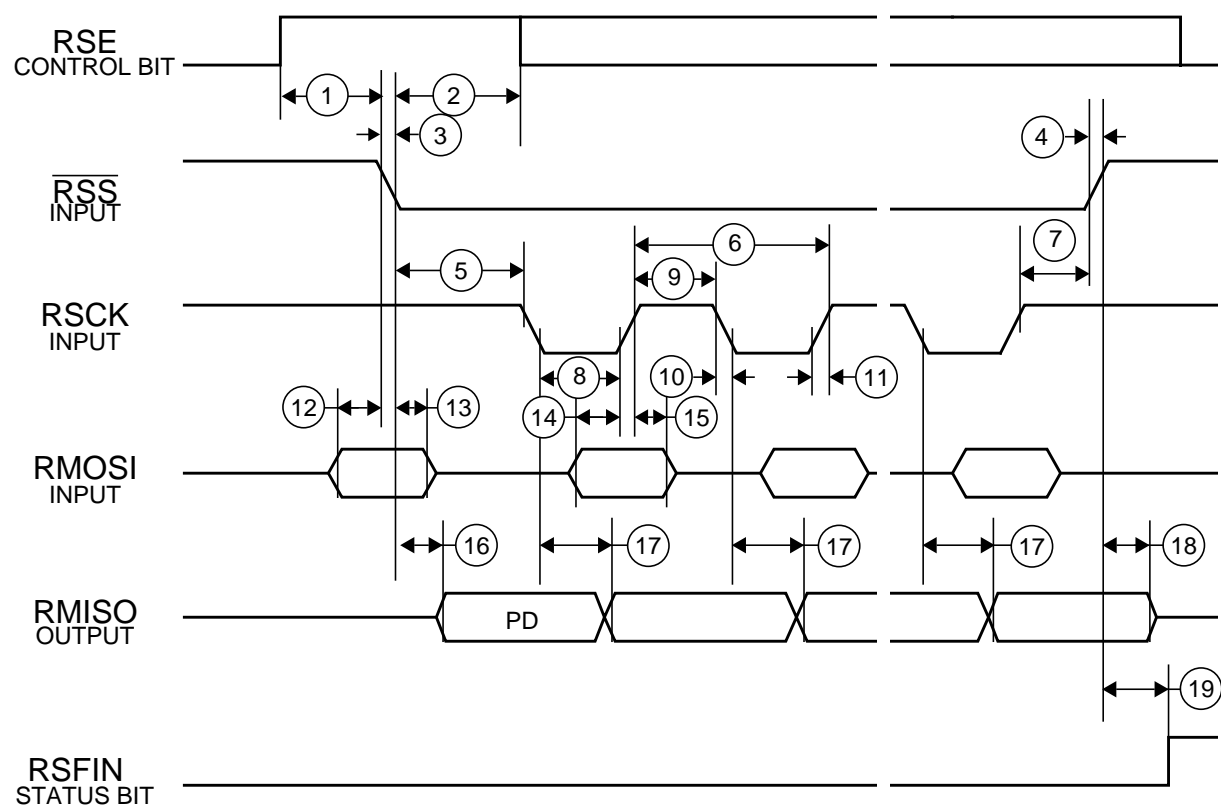
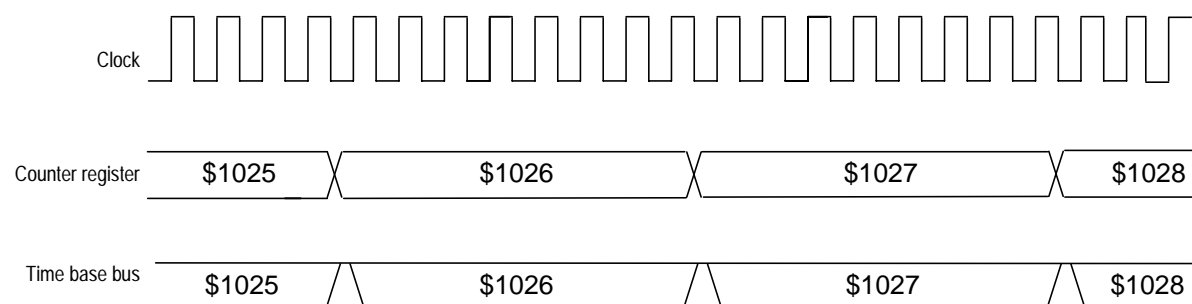


図 91 RSPI AC タイミング (Slave Mode) (表 170 参照)  
Address Slave Select Mode (SSM=0)

## - CTM タイミング

カウンタ・レジスタに対する書込みなしの場合:



カウンタ・レジスタに対する書込みありの場合:

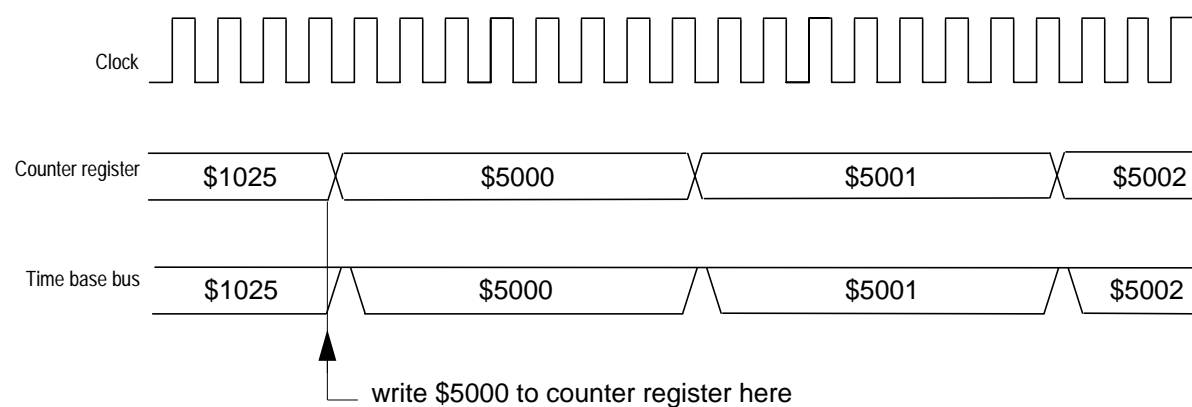
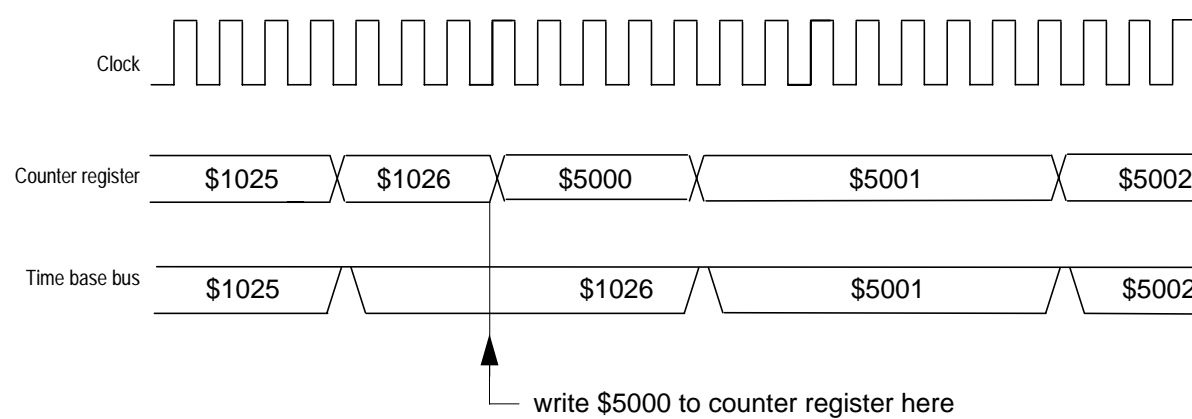


図 92 MCSM タイムベースのタイミング図 (表 175 参照)

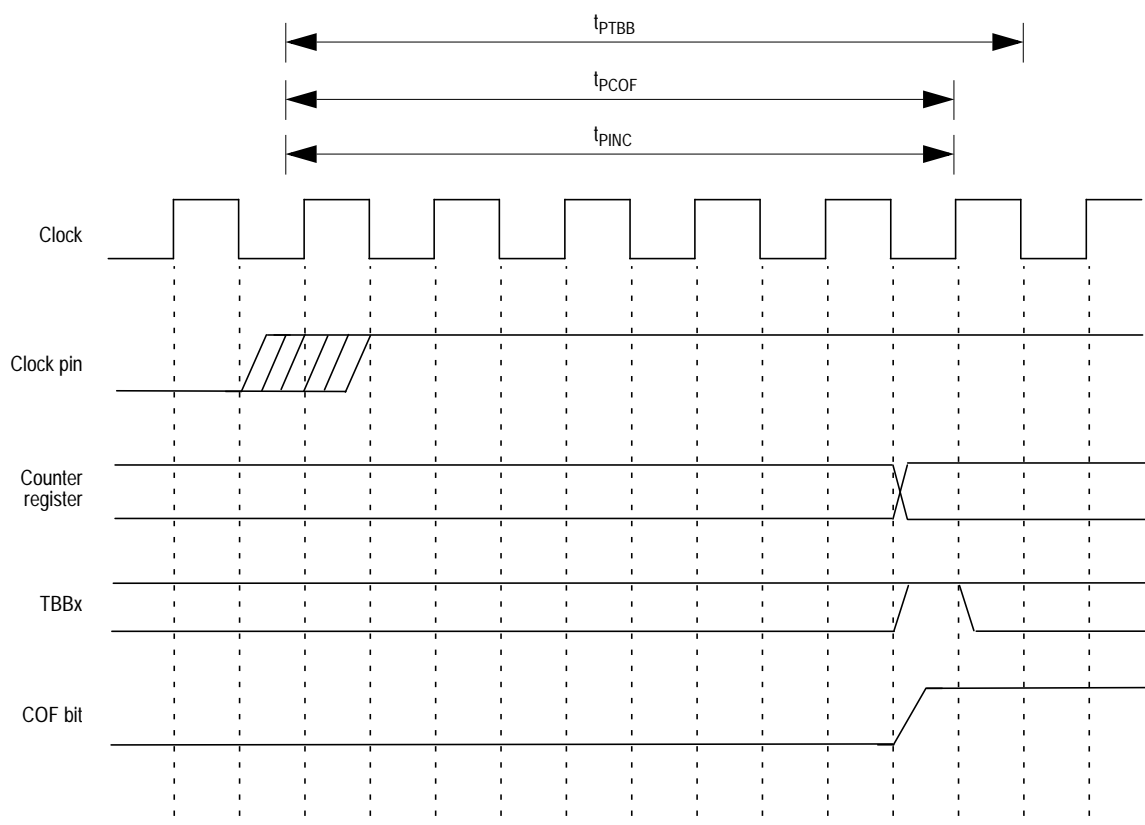


図 93 MCSM のクロック・ピンからカウンタまでのタイミング図 (表 175 参照)

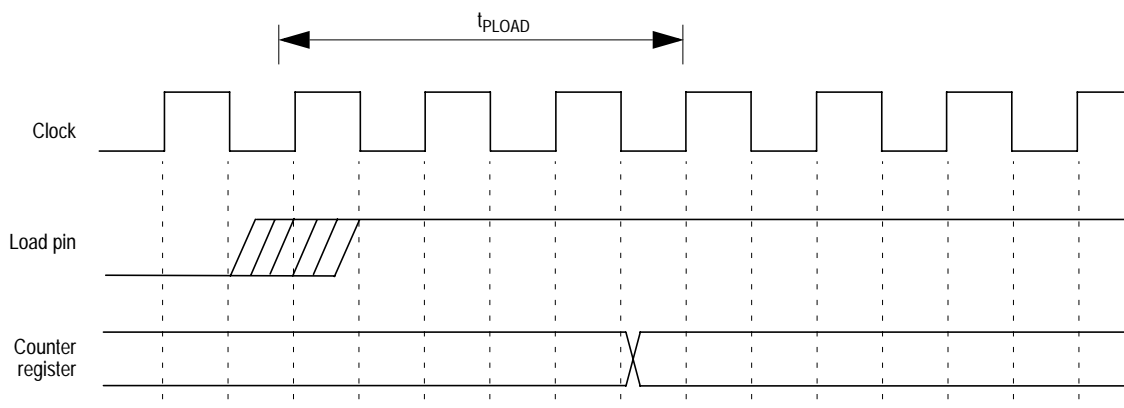


図 94 MCSM の LOAD ピンから カウンタまでのタイミング図 (表 175 参照)

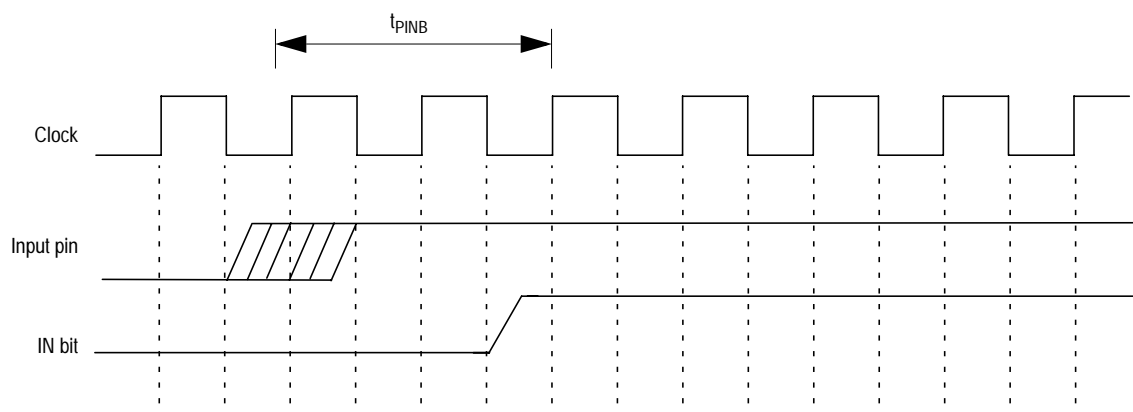


図 95 MCSM ピンから IN ビットまでのタイミング図 (表 175 参照)

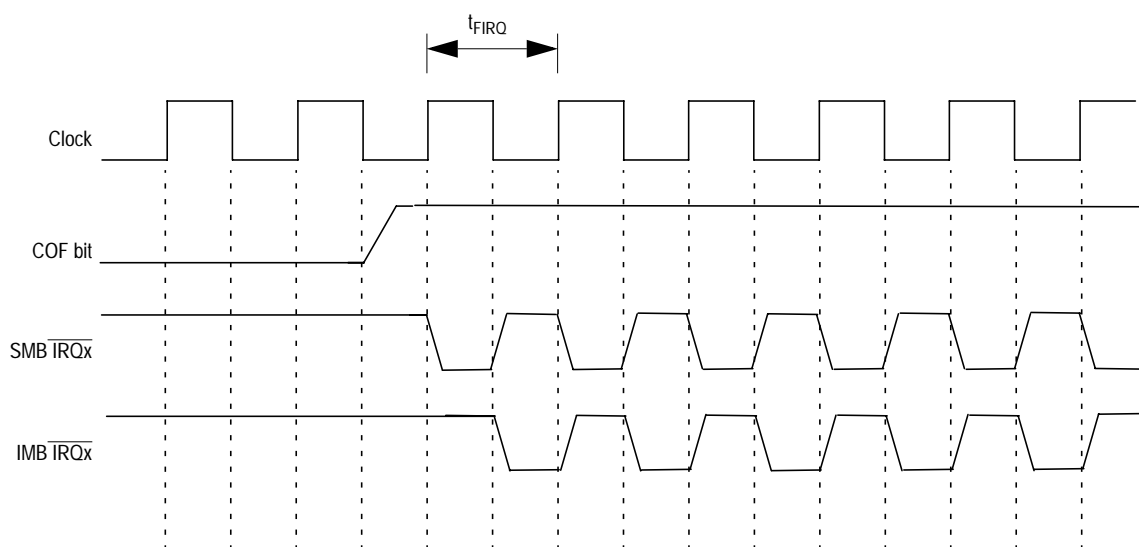


図 96 MCSM の COF ビットから割込み要求までのタイミング図 (表 175 参照)

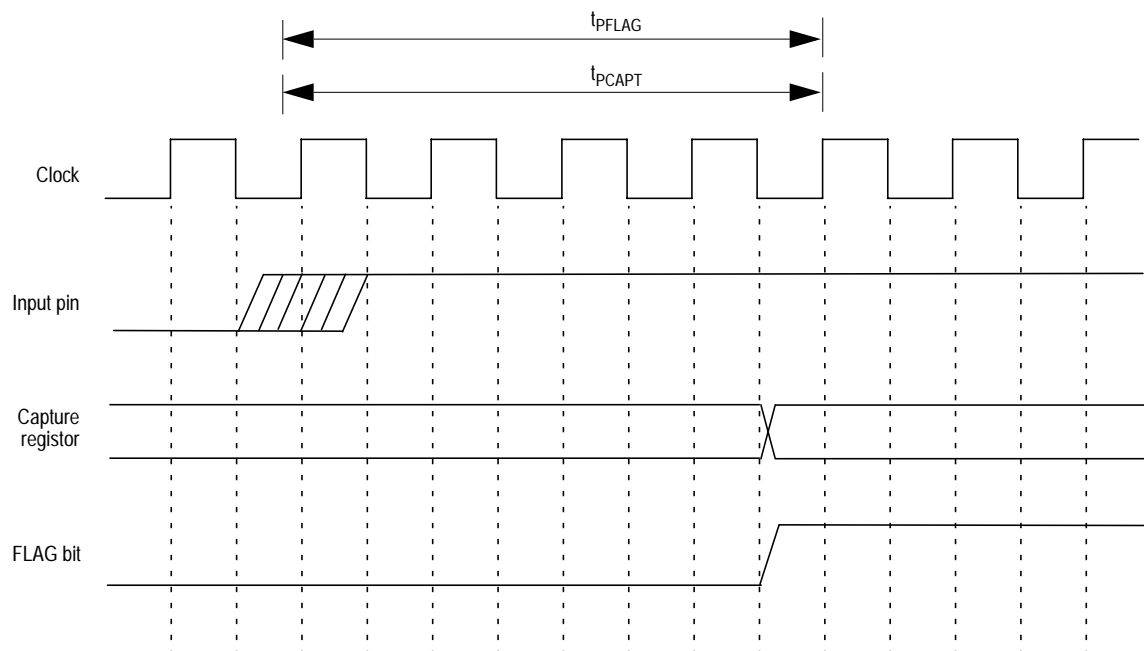


図 97 DASM 入力キャプチャのタイミング図 (表 176 参照)

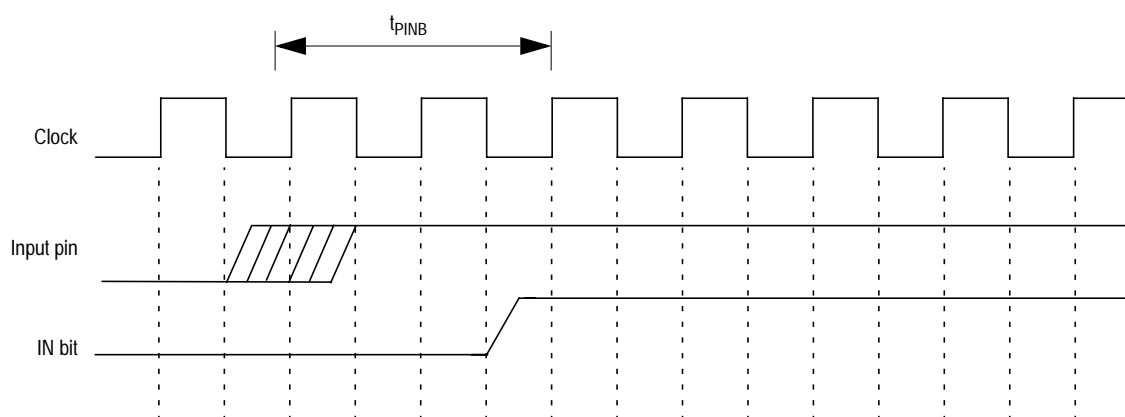


図 98 DASM ピンから IN ビットまでのタイミング図 (表 176 参照)

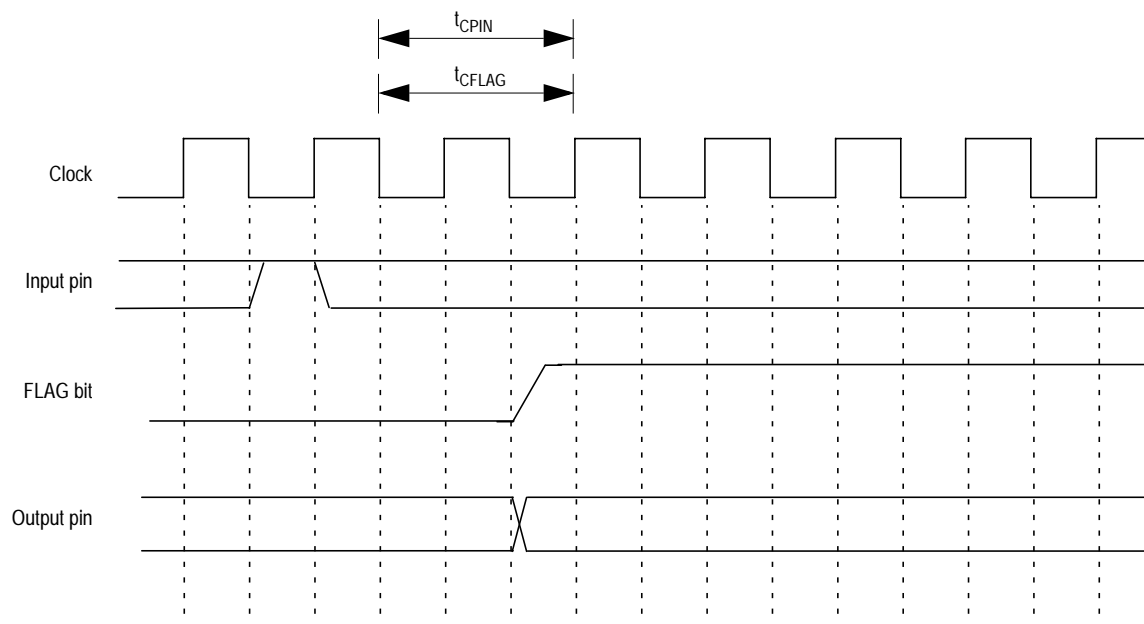


図 99 DASM 出力コンペアのタイミング図 (表 176 参照)

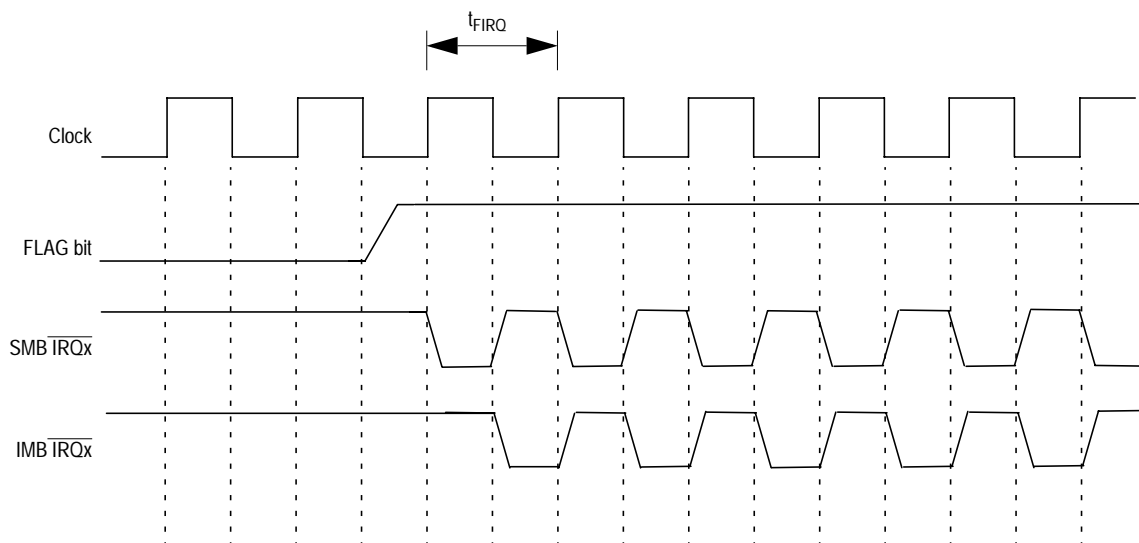


図 100 DASM の FLAG ビットから割り込み要求までのタイミング図 (表 176 参照)

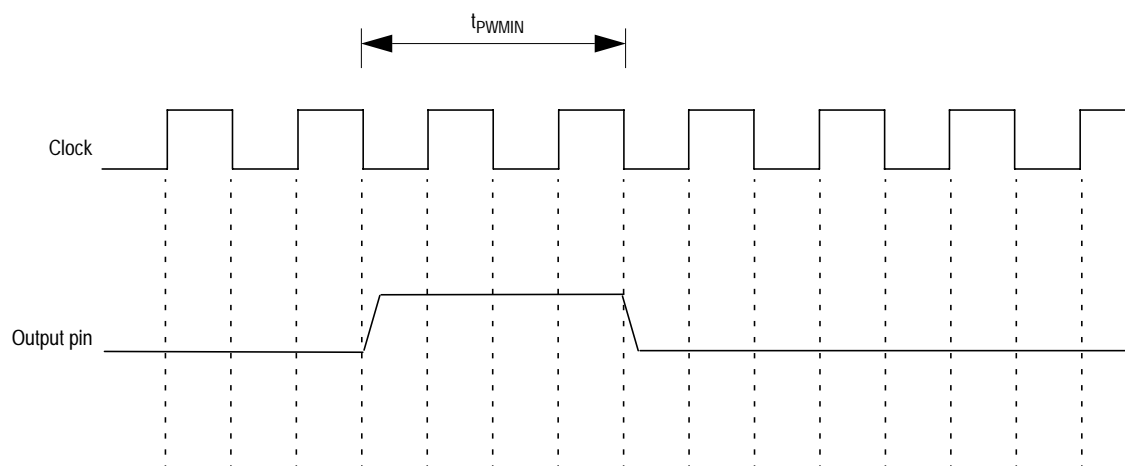


図 101 PWMSM 最小出力パルスのタイミング図 (表 177 参照)

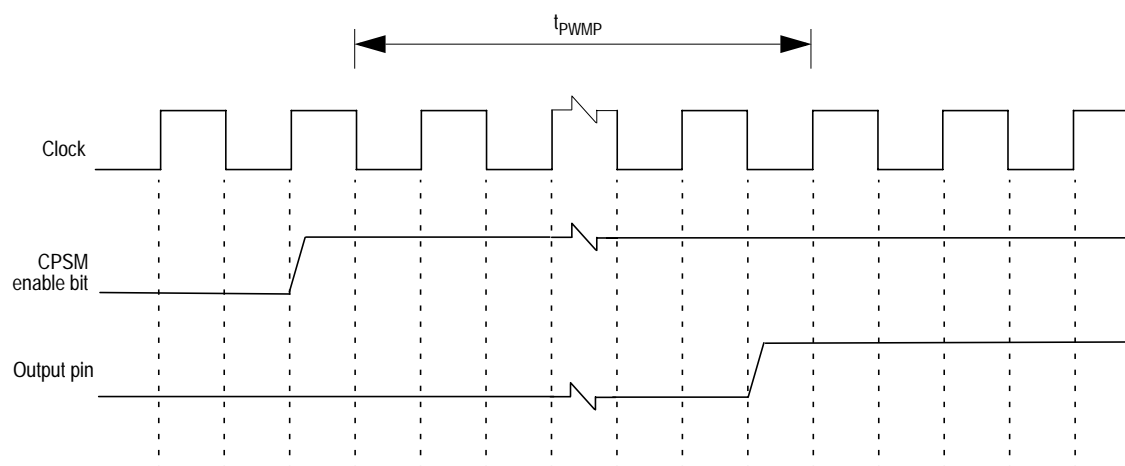


図 102 PWMSM の CPSM イネーブルから PWM 出力のセット (表 177 参照)

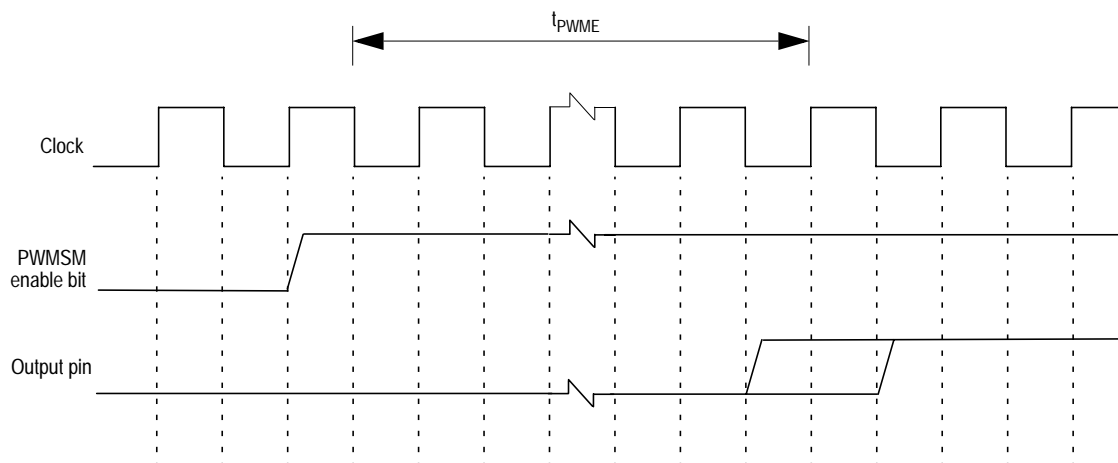


図 103 PWMSM のイネーブルから出力のセットまでのタイミング図 (表 177 参照)

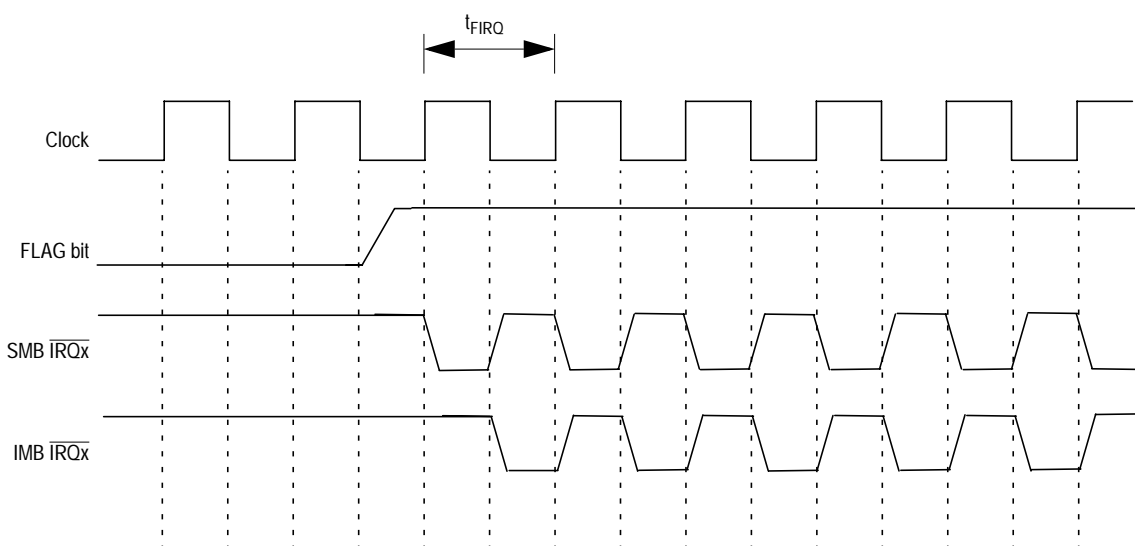
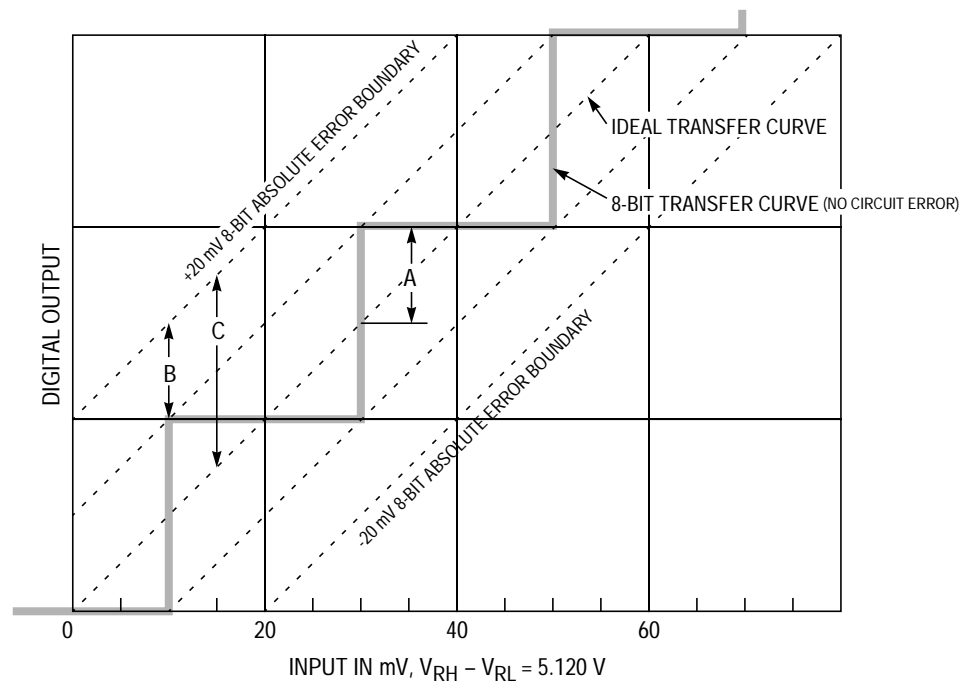


図 104 PWMSM の FLAG ビットから割込み要求までのタイミング図 (表 177 参照)



## - QADC 变换精度图

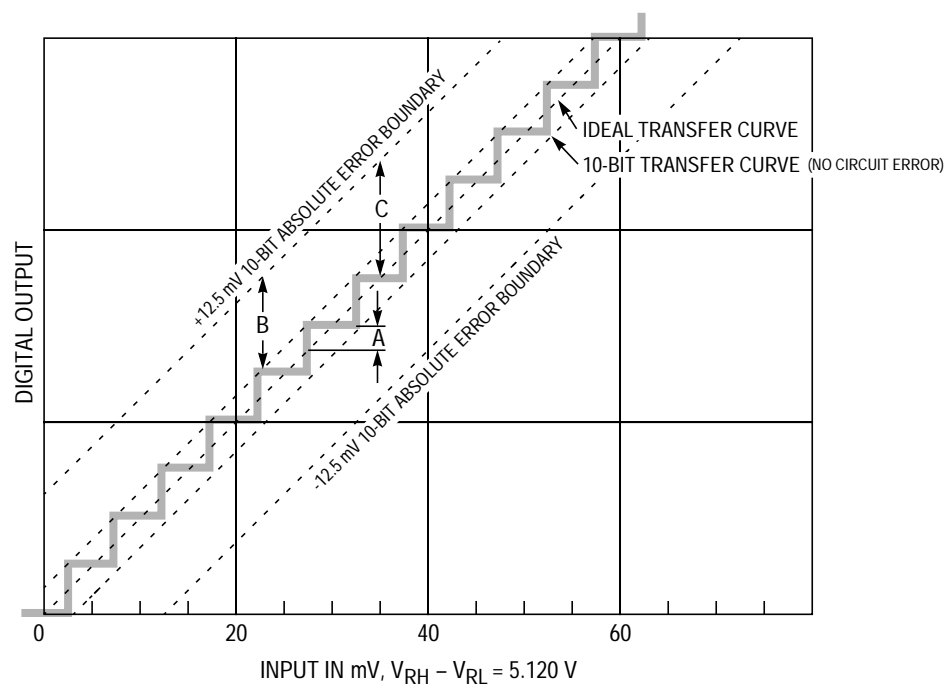


A - +1/2 COUNT (10 mV) INHERENT QUANTIZATION ERROR

B - CIRCUIT-CONTRIBUTED +10mV ERROR

C - +20 mV ABSOLUTE ERROR (ONE 8-BIT COUNT)

图 105 8-Bit QADC 变换精度 (表 174 参照)

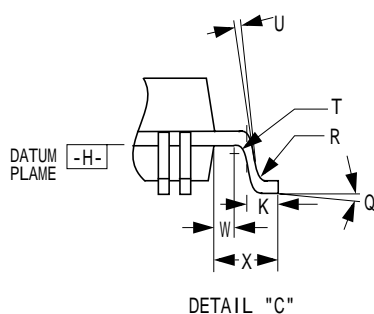
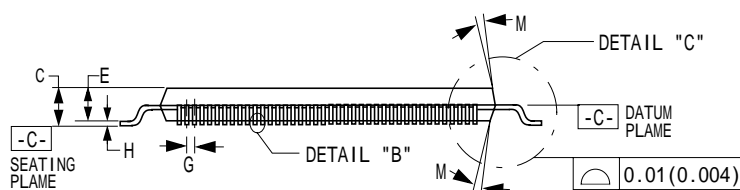
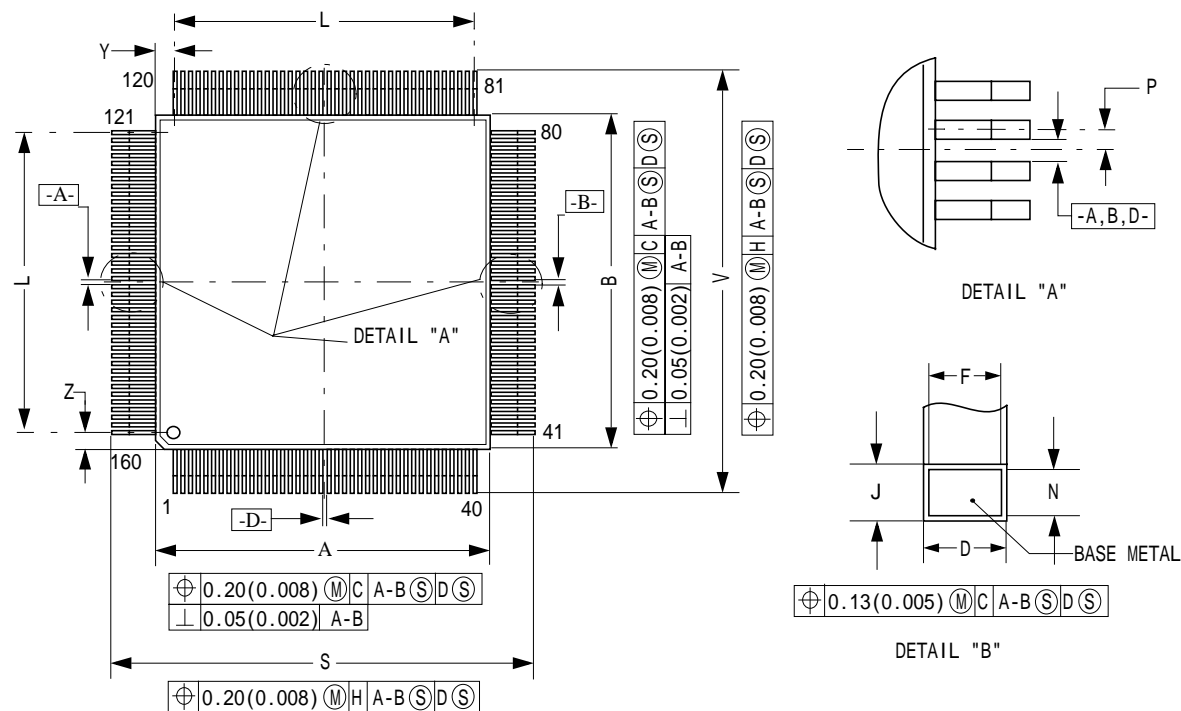


- A - +.5 COUNT (2.5 mV) INHERENT QUANTIZATION ERROR  
 B - CIRCUIT-CONTRIBUTED +10 mV ERROR  
 C - +12.5 mV ABSOLUTE ERROR (2.5 10-BIT COUNTS)

图 106 10-Bit QADC 变换精度 (表 174 参照)

# 付録 B

## パッケージ外形寸法図




- 注: 1. 寸法と許容差は ANSI Y14.5M, 1982 による。  
 2. 基準寸法単位: ミリメートル  
 3. 基準面 -H- はリードの下側に位置し、リードが分岐線の下側でプラスチック・パッケージのボディから出た位置と一致する。  
 4. 基準 -A-, -B- および -D- は基準面 -H- において決定される。  
 5. 寸法 S および V は設置面 -C- において決定される。  
 6. 寸法 A および B はモールドの突起を含まない。突起は片側で 0.25 ミリ (0.010 インチ) を越えてはならない。寸法 A および B はモールドの不整合を含まず、また基準面 -H- で決定される。  
 7. 寸法 D はダンパの突起を含まない。ダンパの突起は最大材質条件で合計で寸法 D を 0.08 ミリ (0.003 インチ) を越えてはならない。

CASE684A-01

寸法	ミリメートル		インチ	
	最小	最大	最小	最大
A	27.90	28.10	1.098	1.106
B	27.90	28.10	1.098	1.106
C	3.35	3.85	0.132	0.152
D	0.22	0.38	0.009	0.015
E	3.20	3.50	0.126	0.138
F	0.22	0.33	0.009	0.013
G	0.650BSC		0.0256BSC	
H	0.25	0.35	0.010	0.012
J	0.11	0.23	0.004	0.009
K	0.70	0.90	0.028	0.035
L	25.35REF		0.998REF	
M	5°	16°	5°	16°
N	0.11	0.19	0.004	0.007
P	0.325BSC		0.013BSC	
Q	0°	7°	0°	7°
R	0.13	0.30	0.005	0.012
S	31.00	31.40	1.220	1.236
T	0.13	-	0.005	-
U	0°	-	0°	-
V	31.00	31.40	1.220	1.236
W	0.40	-	0.016	-
X	1.60REF		0.050REF	
Y	1.33REF		0.052REF	
Z	1.33REF		0.052REF	

図 107 160 ピン QFP パッケージ寸法

当社は、本書に記載した製品について、信頼性、機能または設計を改善するために予告なく変更を加える権限を保有しています。当社はここに記載した製品、回路の適用、使用に起因するいかなる責務をも負うものではなく、また、当社の特許権または第三者の権利に基づくライセンスを許諾するものでもありません。当社の製品は、外科的に人体に移植することを意図したシステムの構成部品として、または、他の生命維持を意図した用途に、または、当社の製品の不都合により人体に危害を加えたり死に至らしめるかもしれない状況が発生するような用途に使用するために、設計、意図または認可されているものではありません。購入者が万一このような意図または認可されていない用途のために当社の製品を購入あるいは使用する場合、購入者は、当社およびその役員、従業員、子会社、関連会社、代理店に対し、直接または間接を問わず、当該使用に関連した傷害や死についてのすべての申し立て（たとえ、当社が部品の設計や製造において不注意であったという主張であったとしても）から生ずるすべての請求、費用、損害、および相当の弁護士費用を補償し、被害が及ばないようにするものとします。

"Motorola" および  は、モトローラ社の登録商標です。当社は、すべての人に均等な雇用機会を与えるよう努力している会社です。